บทคัดย่อ

รหัสโครงการ: MRG5080062

ชื่อโครงการ: การออกแบบหน่วยประมวลผลเลขทศนิยมความเร็วสูงสำหรับระบบประมวลผลสัญญาณดิจิตอลความละเอียดสูงบน FPGAs

ชื่อนักวิจัย: ผศ. ดร. ณัฏฐา จินดาเพ็ชร์ มหาวิทยาลัยสงขลานครินทร์

อีเมล์: snattha@eng.psu.ac.th, nattha.s@psu.ac.th

ระยะเวลาโครงการ: 2 ปี

งานวิจัยนี้นำเสนอระเบียบวิธีการออกแบบเพื่อสังเคราะห์หน่วยประมวลผลเลขทศนิยมความเร็วสูงสำหรับระบบประมวลผลสัญญาณดิจิตอลความละเอียดสูง วงจรเป้าหมายเป็นวงจรไปป์ไลน์ละเอียดแบบซิงโครนัสและหน่วยประมวลผลเลขทศนิยมขนาด 32 บิต ขั้นตอนการออกแบบประกอบด้วย การแบ่งสเตจไปป์ไลน์ การลดจำนวนทรัพยากร การสังเคราะห์วงจรควบคุม และการวิเคราะห์หาเซทคำตอบหรือจุดออกแบบ โดยคำตอบของการแบ่งสเตจที่เหมาะสมที่สุดได้มาจากการวิเคราะห์ผลลัพธ์การแบ่งสเตจทุกคำตอบที่เป็นไปได้ ระเบียบวิธีพิจารณาทั้งวงจรไปป์ไลน์ละเอียดแบบสมดุลและแบบไม่สมดุล โดยวงจรไปป์ไลน์ละเอียดแบบสมดุลถูกสร้างจากโมดูลที่มีการแบ่งสเตจแบบสมดุลหรือมีเวลาทำงานของแต่ละสเตจเท่ากัน ในทางกลับกันวงจรไปป์ไลน์ละเอียดแบบไม่สมดุลถูกสร้างจากโมดูลที่มีการแบ่งสเตจแต่ละสเตจไม่เท่ากัน ผลการทดลองแสดงให้เห็นว่าเซทคำตอบของวงจรไปป์ไลน์ละเอียดแบบไม่สมดุลมีขนาดใหญ่กว่าแบบสมดุล ผลที่ได้ตามมาคือ คำตอบที่ให้สมรรถนะที่ดีกว่ามักได้จากการแบ่งสเตจแบบไม่สมดุลในหลายวงจรประมวลผลสัญญาณดิจิตอลมาตรฐาน นอกจากนี้ผลจากการออกแบบวงจรกรองดิจิตอลปรับตัว ADALINE สำหรับกำจัดสัญญาณรบกวนบนชิพ FPGA ได้ยืนยันให้เห็นถึงประสิทธิภาพที่ดีกว่าของระเบียบวิธีการออกแบบที่นำเสนอเทียบกับการออกแบบที่มีอยู่และชิพประมวลผลสัญญาณดิจิตอลเบอร์ TMS320VC5509A

คำหลัก: หน่วยประมวลผลเลขทศนิยม, วงจรไปป์ไลน์ละเอียด, วงจรประมวลผลสัญญาณดิจิตอล, FPGA

Abstract

Project Code: MRG5080062

Project Title: Design of High-Speed Floating-Point Arithmetic Units for High-Accuracy DSP Systems on FPGAs

Investigator: Asst. Dr. Nattha Jindapetch Prince of Songkla University

E-mail Address: snattha@eng.psu.ac.th, nattha.s@psu.ac.th

Project Period: 2 years

In this work, a design methodology to synthesize high-speed floating-point arithmetic units for high-accuracy DSP (Digital Signal Processing) systems on FPGAs (Field Programmable Gate Arrays) is proposed. The target circuit is based on a synchronous fine-grain pipeline model and 32-bit floating-point arithmetic functions. The design steps include stage partitioning, resource minimization, controller generation, and design space exploration. The optimal stage partitioning is obtained by design space exploration on all possible stage partitioning solutions. Both balanced and unbalanced fine-grain pipelines are concerned. The balanced fine-grain pipelines are implemented from the balanced stage partitioned modules. The unbalanced fine-grain pipelines are implemented from the unbalanced stage partitioned modules. The experimental results show that the design space of the unbalanced fine-grain pipelines is larger than that of the balanced ones. Consequently, the better performance can be explored in the unbalanced fine-grain pipelines in many benchmark circuits. A design example on an ADALINE adaptive filter based noise cancellation on an FPGA chip also proved the effectiveness of the proposed design methodology compared to the conventional design and the TMS320VC5509A digital signal processor.

Keywords: floating-point arithmetic unit, fine-grain pipeline, DSP, FPGA