บทคัดย่อ

รหัสโครงการ: MRG5080411

ชื่อโครงการ: โพรเซสเซอร์ร่วมกำลังไฟต่ำสามารถปรับเปลี่ยนโครงสร้างได้แบบไดนามิก

ชื่อนักวิจัย: ผศ. ดร. วรรณรัช สันติอมรทัต มหาวิทยาลัยสงขลานครินทร์

อีเมล์: wannarat@coe.psu.ac.th, suntiamorntut@gmail.com

ระยะเวลาโครงการ: 2 ปี

เนื่องจากหน่วยประมวลผลที่เป็นแบบ ASIC (application specific integrated circuit) สามารถตอบสนองความต้องการในเรื่องการทำให้พลังงานต่ำและสามารถให้ประสิทธิภาพการสูง แต่ราคาที่สูงของเทคโนโลยีแบบ ASIC ทำให้ไม่เหมาะที่จะนำมาใช้งานสำหรับผลผลิตทางอิเล็กทรอนิกส์ระดับกลาง – เล็ก สำหรับเทคโนโลยีแบบที่สามารถโปรแกรมได้ (programmable device) ที่อาจจะไม่ได้เปรียบในเชิงของการใช้พลังงาน แต่สามารถช่วยเพิ่มประสิทธิภาพและความยืดหยุ่นให้กับผู้ใช้งาน ในงานวิจัยนี้จึงใช้โครงสร้างแบบผสมระหว่าง ASIC ในบล็อคถือว่าเป็น element หนึ่ง โดยผู้ใช้สามารถควบคุมและโปรแกรมได้ ซึ่งมีโครงสร้างของ datapath ที่สามารถปรับเปลี่ยนได้ตามงานที่ได้รับ เราเรียกว่า dynamically reconfigurable datapath (DRD)

การปรับเปลี่ยนโครงสร้างภายในเช่นนี้ช่วยให้งานแต่ละชนิดสามารถใช้ทรัพยากรที่มีอยู่ได้อย่างคุ้มค่า ส่งผลให้เกิดการใช้พลังงานได้อย่างเหมาะสมที่สุด งานวิจัยนี้นำเสนอโพรเซสเซอร์ร่วมที่สามารถปรับเปลี่ยนได้แบบไดนามิกที่ออกแบบด้วยเทคนิค clock-gating และนำเสนอแนวคิดของซอฟต์แวร์ช่วยออกแบบในการวางอุปกรณ์และการเชื่อมต่อที่ทำงานได้รวดเร็ว เพื่อลด overhead ในระหว่างการทำงาน

โพรเซสเซอร์ร่วมมีโครงสร้างที่สามารถโปรแกรมให้ใช้งานได้สูงสุด 4 FU (Functional Unit) ผลการจำลองการทำงานบนเทคโนโลยี FPGA XC3SD1800 ในกรณีที่ทำงานด้วย FU สูงสุด 4 ตัว พบว่าทำงานได้ด้วยความถี่ 59 MHz ใช้พลังงาน 34.64mW ซึ่งสามารถประมวลผล FIR 20-tap เสร็จภายในเวลา 0.339 ไมโครวินาทีและสำหรับผลการทดสอบแนวคิดการวาง task แบบไดนามิกบน FPGA ของซอฟต์แวร์ช่วยออกแบบ พบว่าใช้อัลกอริทึมแบบ first fit และ best fit ใช้ความเร็ว และจำนวนของ task ที่วางลงบน FPGA ไม่ได้ไม่แตกต่างกัน ดังนั้นจึงเลือกใช้อัลกอริทึมแบบ first fit เนื่องจากมีจำนวนของพื้นที่ว่างน้อยกว่า

คำหลัก: dynamically reconfigurable datapath, run-time placement algorithm, FPGA

Abstract

Project Code: MRG5080411

Project Title: Low Power Coprocessor using Dynamically Reconfiguration

Investigator: Asst. Dr. Wannarat Suntiamorntut Prince of Songkla University

E-mail Address: wannarat@coe.psu.ac.th, suntiamorntut@gmail.com

Project Period: 2 years

ASIC (application specific integrated circuit) processor dissipates a low power consumption and is able to perform at a high speed. Unfortunately, ASIC production costs every high expense. Therefore, it is not suitable for a prototype or a small volume product. A programmable device becomes a good choice. Reconfigurable hardware will give a better performance and flexibility. This research work proposes Dynamically Reconfigurable Datapath (DRD) which is to reconfigure a part of FPGA while the processor of FPGA is still working.

This reconfigurable datapath can increase resource utilization and sharing when image or video processing applications are applied. Thus it also increases the energy efficiency. This dynamically reconfigurable co-processor employs clock-gating technique. We also introduce the concept of computer aided software for dynamic reconfigurable design which is able to reduce an overhead of place and route algorithm.

This dynamic reconfigurable co-processor can be programmed and used up to four parallel functional units (FUs). The design was implemented on FPGA XC3SD1800. The simulation result shows that the co-processor can run at 59 MHz and dissipated 34.64 mW which can complete FIR 20-tap within 0.339 us. The preliminary result of task placement suggests that both first fit and best fit algorithms give the similar speed and the number of task that cannot be placed. Therefore, we choose first fit algorithm in our EDA tool because of the lower list of the empty space.

Keywords: dynamically reconfigurable datapath, run-time placement algorithm, FPGA