**รายงานวิจัยฉบับสมบูรณ์**

**โครงการ การออกแบบวงจรกรองสัญญาณปรับตัวได้ย่านกว้างแบบไฟเลี้ยงและกำลังงานต่ำ**

**โดย นาย อมร จิรเสรีอมรกุล**

มิถุนายน พ.ศ. ๒๕๕๙

สัญญาเลขที่ MRG5480056

# รายงานวิจัยฉบับสมบูรณ์

## โครงการ การออกแบบวงจรกรองสัญญาณปรับตัวได้ย่านกว้างแบบไฟเลี้ยงและกำลังงานต่ำ


| ผู้วิจัย | สังกัด |
| --- | --- |
| นายอมร จิรเสรีอมรกุล | มหาวิทยาลัยเทคโนโลยีมหานคร |



**สนับสนุนโดยสำนักงานคณะกรรมการการอุดมศึกษา สำนักงานกองทุนสนับสนุนการวิจัย และ มหาวิทยาลัยเทคโนโลยีมหานคร**



(ความเห็นในรายงานนี้เป็นของผู้วิจัย สกอ. และ สกว. ไม่จำเป็นต้องเห็นด้วยเสมอไป)

# บทคัดย่อ

**รหัสโครงการ: MRG5480056**

**ชื่อโครงการ: การออกแบบวงจรกรองสัญญาณปรับตัวได้ย่านกว้างแบบไฟเลี้ยงและกำลังงานต่ำ**

**ชื่อนักวิจัย และสถาบัน: อมร จิรเสรีอมรกุล มหาวิทยาลัยเทคโนโลยีมหานคร**

**อีเมล์: amorn@mut.ac.th**

**ระยะเวลาโครงการ: 2 ปี**

**บทคัดย่อ:**

โครงการวิจัยนี้มุ่งพัฒนาระบบวงจรกรองเลือกช่องสัญญาณในวงจรส่วนหน้าของระบบรับ-ส่งสัญญาณไร้สายด้วยเทคโนโลยีวงจรรวม ที่มีความสามารถในการปรับเปลี่ยนคุณลักษณะเพื่อชดเชยความผิดพลาดจากความแปรปรวนของอุปกรณ์อันเนื่องมาจากกระบวนการผลิต อุณหภูมิ และสภาพแวดล้อมได้ โดยยังจำเป็นต้องมีความเป็นเชิงเส้นสูงเนื่องจากต้องประมวลสัญญาณย่านความถี่กว้าง ซึ่งสัญญาณอื่นนอกเหนือย่านความถี่ที่สนใจสามารถถูกโอนย้ายเข้ามารบกวนชุดข้อมูลได้ผ่านความไม่เป็นเชิงเส้นของวงจรกรองสัญญาณเอง หัวใจสำคัญคือการใช้เทคนิคสวิตช์-ตัวต้านทาน ซึ่งจะทำการเปิด-ปิดสวิตช์ที่ต่ออนุกรมอยู่กับตัวต้านทานพาสซิฟเพื่อควบคุมปริมาณกระแสเฉลี่ยที่ไหลผ่านตัวต้านทาน โดยการปรับเปลี่ยนค่ารอบเวลาทำงานของสัญญาณนาฬิกา ส่งผลให้เสมือนหนึ่งว่าค่าความต้านทานประสิทธิผลเปลี่ยนแปลงได้ และทำให้ค่าคงตัวเวลาซึ่งเป็นตัวกำหนดช่วงความถี่ตัดของวงจรกรองสัญญาณถูกปรับเปลี่ยนไปด้วยเช่นกัน และเนื่องจากการปรับเปลี่ยนค่าความต้านทานกระทำในโดเมนเวลา จึงไม่เกิดข้อจำกัดจากระดับแรงดันไฟเลี้ยงอีกด้วย นอกจากนี้ ยังได้ประยุกต์เอาโพลภายในของวงจรขยายสัญญาณมาใช้เป็นส่วนหนึ่งในการสร้างโพลของวงจรกรอง ส่งผลให้สามารถออกแบบวงจรขยายให้มีช่วงปฏิบัติการทางความถี่ที่ใกล้เคียงกับความถี่ตัดของวงจรกรอง ช่วยให้ลดการใช้พลังงานลงได้อย่างมากเมื่อเทียบกับหลักการออกแบบด้วยโครงสร้างทั่วไป ซึ่งผลจำลองการทำงานของวงจรกรองสัญญาณช่วงความถี่ต่ำผ่านที่มีความถี่ตัด 10 เมกกะเฮิรตซ์ โดยอาศัยเทคนิคสวิตซ์-ตัวต้านทาน ด้วยเทคโนโลยีซีมอสขนาด 18 ไมครอนให้ผลที่สอดรับกับที่คาดหมายไว้

**คำหลัก : ไฟเลี้ยงและกำลังงานต่ำ, สวิตช์-ตัวต้านทาน, วงจรกรองสัญญาณปรับตัวได้**

## Abstract

**Project Code : MRG5480056**

**Project Title : Low-voltage low-power reconfigurable active filter**

**Investigator : Amorn Jiraseree-amornkun, Mahanakorn University of Technology**

**E-mail Address : amorn@mut.ac.th**

**Project Period : 2 years**

**Abstract:**

This project has developed a reconfigurable channel select filter for front-end circuits in telecommunication systems. This filter is a crucial part as it helps in separating the desired channel from the others and from interference. The challenge has arisen because several strong signals may exist within the wide receiving frequency range. These pose a stringent linearity requirement on analog filters, which is difficult especially if a wide tuning range is also needed. The continuous-time active-RC filters comprising operational amplifiers (opamps) and highly linear passive resistors and capacitors have superior linearity properties for baseband applications, where opamps with sufficient gain are feasible. Nevertheless, there is a critical issue, which is the RC time-constant variation due to process uncertainty, temperature drift, and aging. The Switched-Resistor techniques make use of switch(es) with duty-cycle-controlled clock(s) to achieve tenability of the effective resistance and, hence, the RC time constant. Such tuning occurs in the time domain, thereby decoupling the tuning ranges from supply voltages. For low-power concerns, the internal pole of the opamp has been used to realize the filter transfer function so that only one opamp is required to implement a second-order filter and its unity-gain-bandwidth is comparable to the filter cut-off frequency. Thus, the opamp power consumption is strongly reduced with respect to other closed-loop filter configurations. Simulation results of a 10-MHz low-pass filter based on the Switched-Resistor techniques, in a standard 0.18-μm CMOS process, show good agreement with theories.

**Keywords : low-voltage low-power, switched-resistor, reconfigurable filter**

## 2. หน้าสรุปโครงการ (Executive Summary)

**ความสำคัญและที่มาของปัญหาที่ทำการวิจัย**

วงจรกรองสัญญาณไฟฟ้า เป็นส่วนประกอบสำคัญที่นิยมใช้อย่างแพร่หลายในระบบอิเล็กทรอนิกส์ทั่วไป เพื่อใช้ประมวลผลคัดกรองเฉพาะสัญญาณในย่านความถี่ที่สนใจและกำจัดทิ้งสัญญาณส่วนที่ไม่ต้องการ ในระบบสื่อสารไร้สายสมัยใหม่ที่กำลังมีบทบาทอย่างสูงต่อชีวิตประจำวัน ไม่ว่าจะเป็นระบบโทรศัพท์เคลื่อนที่ ระบบการชี้เฉพาะด้วยคลื่นความถี่วิทยุ (radio frequency identification หรือ RFID) และระบบระบุพิกัดตำแหน่งบนพื้นผิวโลก (global positioning system หรือ GPS) เป็นต้น เหล่านี้ล้วนมีการประยุกต์ใช้วงจรกรองสัญญาณเป็นส่วนสำคัญหลายจุดด้วยกัน องค์ประกอบหนึ่งที่น่าสนใจและมีบทบาทสำคัญคือวงจรกรองเลือกช่องสัญญาณ (channel select filter) ในวงจรส่วนหน้า (front-end) ซึ่งทำหน้าที่แยกช่องสัญญาณข้อมูลที่ต้องการออกจากช่องสัญญาณอื่นรวมถึงสัญญาณรบกวนที่กระจายอยู่ทั่วไป ช่วยลดภาระการทำงานของวงจรภาคถัดไปโดยเฉพาะอย่างยิ่งภาคแปลงสัญญาณแอนะล็อกเป็นดิจิตัล (analog-to-digital converter) ลงได้อย่างมาก ถ้าหากไม่มีวงจรกรองส่วนนี้แล้ว วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตัลจะต้องรองรับสัญญาณย่านกว้างเกินความจำเป็น ทำให้ออกแบบสร้างได้ยาก หรือแม้หากสามารถสร้างได้ก็จะใช้กำลังงานสูงเกินกว่าจะนำมาใช้ประโยชน์ได้จริง สำหรับวงจรกรองเลือกช่องสัญญาณนั้นคุณสมบัติสำคัญคือต้องมีความเป็นเชิงเส้นสูงเนื่องจากต้องประมวลสัญญาณย่านความถี่กว้าง ซึ่งสัญญาณอื่นนอกเหนือย่านความถี่ที่สนใจสามารถถูกโอนย้ายเข้ามารบกวนชุดข้อมูลได้ผ่านความไม่เป็นเชิงเส้นของวงจรกรองสัญญาณเอง โดยวงจรในภาคถัดไปสามารถลดข้อจำกัดด้านความเป็นเชิงเส้นลงได้ เพราะวงจรกรองนี้ได้ช่วยกำจัดสัญญาณส่วนเกินออกไปแล้ว

ปัญหาหลักของการสร้างวงจรกรองสัญญาณด้วยเทคโนโลยีวงจรรวม (integrated circuit หรือ IC) คือ ค่าความแปรปรวนของอุปกรณ์อันเนื่องมาจากกระบวนการผลิต อุณหภูมิ และสภาพแวดล้อม ซึ่งส่งผลให้คุณลักษณะของวงจรกรองผิดเพี้ยนไปได้ วงจรกรองจึงต้องมีความสามารถในการปรับเปลี่ยนค่าเพื่อชดเชยความผิดพลาดจากข้อจำกัดเหล่านี้ นอกจากนั้นทิศทางการพัฒนาระบบสื่อสารสัญญาณไร้สายในปัจจุบัน ยังมุ่งเน้นไปที่การออกแบบระบบรับ-ส่งสัญญาณไร้สายที่สามารถปรับตัวได้ (reconfigurable transceiver) เพื่อให้สามารถรองรับมาตรฐานการสื่อสารได้หลายรูปแบบด้วยการปรับเปลี่ยนทางซอร์ฟแวร์ (software-defined-radio หรือ SDR) ซึ่งจะช่วยให้ตัวอุปกรณ์สามารถประยุกต์ใช้งานได้หลากหลายและมีราคาที่ถูกลงอย่างมาก อย่างไรก็ตาม โดยทั่วไปแล้วมาตรฐานการสื่อสารแต่ละแบบมักมีคุณลักษณะที่แตกต่างกันมาก เช่น ย่านความถี่คลื่นพาห์ ช่วงความถี่ของสัญญาณข้อมูล และชนิดของการผสมสัญญาณ เป็นต้น ทำให้การออกแบบวงจรอิเล็กทรอนิกส์ที่สามารถรองรับการเปลี่ยนแปลงต่างๆ เหล่านี้เป็นเรื่องที่ท้าทายมาก [1] โดยเฉพาะวงจรกรองเลือกช่องสัญญาณที่จำเป็นจะต้องกำจัดสัญญาณส่วนเกิน ซึ่งอาจมีขนาดใหญ่กว่าสัญญาณข้อมูลมากๆ ได้ตลอดย่านความถี่ที่

กว้างยิ่งขึ้น นั่นหมายถึง วงจรกรองสัญญาณที่ออกแบบจะต้องมีความเป็นเชิงเส้นสูงในขณะที่สามารถปรับเปลี่ยนคุณลักษณะของวงจรได้ในย่านกว้าง [2 – 4] อันนับเป็นเรื่องยาก เพราะคุณสมบัติสองอย่างนี้มักจะมีแนวโน้มสวนทางกัน และโดยเฉพาะอย่างยิ่ง เมื่อต้องออกแบบให้สามารถใช้งานที่ระดับแรงดันและกินกำลังงานต่ำสำหรับอุปกรณ์พกพาด้วยแล้ว ความยากก็ จะยิ่งเพิ่มสูงขึ้นเนื่องจากระดับสัญญาณภายในวงจรจะถูกลดทอนลงด้วยนั่นเอง ทำให้จำเป็นต้องมีการลดระดับของสัญญาณรบกวนในสัดส่วนเดียวกัน ยังผลให้การกินกระแสและกำลังงานของวงจรเพิ่มมากขึ้นและสมรรถนะโดยรวมต่ำลงในที่สุด

ในโครงการนี้จะทำการพัฒนาวงจรกรองสัญญาณที่มีความเป็นเชิงเส้นสูง เหมาะสมกับการทำงานที่ระดับแรงดันไฟเลี้ยงต่ำและกินกำลังงานต่ำด้วยเทคนิคสวิตช์-ตัวต้านทาน (switched-resistor) [5] ซึ่งอาศัยหลักการเปิด-ปิดสวิตช์ที่ต่ออนุกรมอยู่กับตัวต้านทานพาสซิฟเพื่อควบคุมปริมาณกระแสเฉลี่ยที่ไหลผ่านตัวต้านทาน โดยการปรับ เปลี่ยนค่ารอบเวลาทำงาน (duty cycle) ของสัญญาณนาฬิกา ส่งผลให้เสมือนหนึ่งว่าค่าความต้านทานประสิทธิผล (effective resistance) เปลี่ยนแปลงได้ และทำให้ค่าคงตัวเวลา (time-constant) ซึ่งเป็นตัวกำหนดช่วงความถี่ตัดของวงจรกรองสัญญาณถูกปรับเปลี่ยนไปด้วยเช่นกัน เมื่อออกแบบให้ตัวสวิตช์มีความต้านทานภายในต่ำมากพอ สัญญาณขาเข้าส่วนใหญ่จะตกคร่อมที่ตัวต้านทานพาสซิฟซึ่งมีความเป็นเชิงเส้นสูง ส่งผลให้ระบบมีความเพี้ยนต่ำ และเนื่องจากการปรับเปลี่ยนค่าความต้านทานกระทำในโดเมนเวลา จึงไม่เกิดข้อจำกัดจากระดับแรงดันไฟเลี้ยงอีกด้วย เทคนิคนี้จึงเหมาะสมอย่างยิ่งสำหรับการนำไปประยุกต์ใช้ในระบบสื่อสารไร้สายยุคใหม่ ที่ต้องการการปรับเปลี่ยนคุณลักษณะได้และทำงานที่ระดับแรงดันไฟเลี้ยงและกำลังงานต่ำ

องค์ความรู้ใหม่ที่มุ่งพัฒนา คือการลดพลังงานที่ใช้ในวงจรกรองลงและผลักดันให้สามารถใช้งานได้ที่ความถี่สูงขึ้น ทั้งนี้เนื่องจากวงจรกรองเลือกช่องสัญญาณนี้นิยมสร้างด้วยเทคนิคแอกทิฟ-อาร์ซี (active-RC) เพราะมีความเป็นเชิงเส้นสูง แต่เงื่อนไขในการออกแบบที่สำคัญคือวงจรออปแอมป์ซึ่งเป็นอุปกรณ์แอกทิฟหลักจำเป็น ต้องมีช่วงความถี่ปฏิบัติงานสูงกว่าความถี่ตัดของวงจรกรองมากๆ ส่งผลให้ย่านปฏิบัติการของวงจรกรองมีค่าจำกัดและเกิดกำลังงานสูญเสียมากอีกด้วย ดังนั้นการพัฒนาโครงสร้างวงจรที่เหมาะสมเพื่อทำงานได้ที่ย่านความถี่สูงและกินกำลังงานต่ำ จึงเป็นส่วนสำคัญที่จะทำให้การออกแบบวงจรกรองสัญญาณมีประสิทธิภาพสูงมากยิ่งขึ้นโดยแนวทางการพัฒนาก็คือ การพยายามใช้โพลภายในของวงจรออปแอมป์เองเป็นส่วนหนึ่งของโพลวงจรกรอง [6 – 7] ด้วยหลักการนี้จะสามารถลดข้อจำกัดของย่านความถี่ปฏิบัติงานและกำลังงานสูญเสียลงได้อย่างมาก นอก จากนี้ ยังต้องพยายามพัฒนาวงจรกรองความถี่ที่สามารถปรับค่าได้ในย่านกว้าง เพื่อให้มีความคล่องตัวในการใช้งานเป็นวงจรส่วนหน้าของระบบสื่อสารไร้สายตามมาตรฐานที่มีอยู่อย่างหลากหลาย หรือประยุกต์ใช้สำหรับรับ-ส่งข้อมูลจากทรานสดิวเซอร์ประเภทต่างๆ ทั้งในด้านชีวะการแพทย์ (Biomedical sensors) ด้านสิ่งแวดล้อม (Environmental sensors) และอื่นๆ ซึ่งโดยส่วนใหญ่จะมีความต้องการด้านแบนด์วิดท์สัญญาณที่ค่อนข้างแตกต่างกันมาก ทำให้จำเป็นต้องมีวงจรกรองปรับค่าความถี่ย่าน

กว้าง ที่สามารถปรับแต่งสมรรถนะให้เหมาะสมสำหรับการใช้งานเฉพาะเพื่อลดการกินกำลังงานให้มากที่สุด

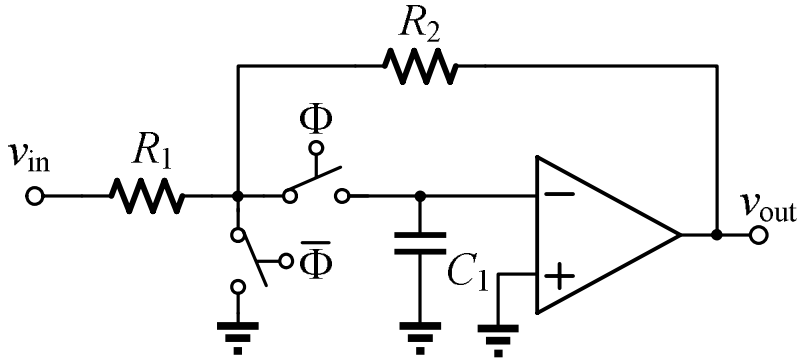
ทั้งนี้จะเห็นได้ว่า หลักการที่นำเสนอในโครงการนี้ มีศักยภาพต่อการนำไปพัฒนาวงจรรวมกรองสัญญาณสำหรับระบบที่ต้องการความเป็นเชิงเส้นสูง ทำงานได้ที่ระดับแรงดันไฟเลี้ยงต่ำและกินกำลังงานต่ำ มีประโยชน์อย่างยิ่งต่อการนำไปประยุกต์ใช้งานในระบบอิเล็กทรอนิกส์ต่างๆ โดยเฉพาะระบบการสื่อสารไร้สายแบบพกพา หรือระบบรับ-ส่งสัญญาณจากหน่วยตรวจจับขนาดเล็กที่มีขีดจำกัดเรื่องแหล่งพลังงาน ซึ่งวงจรกรองสัญญาณนี้เป็นจุดสำคัญหนึ่งที่กำหนดสมรรถนะและประสิทธิภาพในการใช้พลังงานของระบบเลยทีเดียว และด้วยความสามารถปรับเปลี่ยนคุณลักษณะทางความถี่ได้ในย่านกว้าง จึงช่วยชดเชยความผิดพลาดที่อาจเกิดขึ้นจากกระบวนการผลิต ตลอดจนครอบคลุมมาตรฐานของระบบที่มีอยู่อย่างหลากหลายเหล่านี้ เป็นส่วนสำคัญยิ่งที่จะช่วยประหยัดทั้งด้านต้นทุนการผลิตและพัฒนา และต้นทุนทางด้านพลังงานไปด้วยพร้อมกัน

## 3. วัตถุประสงค์ของโครงการ

1. พัฒนาองค์ความรู้ด้านการออกแบบวงจรกรองสัญญาณปรับตัวได้ย่านกว้าง ด้วยเทคนิคการสุ่มเลือกสัญญาณแบบปรับรอบเวลาทำงาน
2. พัฒนาเทคนิควงจรกรองสัญญาณที่ทำงานในระดับแรงดันไฟเลี้ยงต่ำและกินกำลังงานต่ำ
3. ศึกษาและเปรียบเทียบสมรรถนะของวงจรกรองสัญญาณที่ปรับตัวได้ด้วยเทคนิคสวิตช์ตัวต้านทานแบบชุดเดียวและแบบสองชุด เทียบกับวงจรมาตรฐานแบบต่อเนื่องทางเวลา
4. เพิ่มพูนศักยภาพของนักวิจัยในด้านการออกแบบ สร้าง และทดสอบวงจรกรองสัญญาณแบบปรับตัวได้

# 4. วิธีการทดลอง

## 4.1 เทคนิคสวิตช์-ตัวต้านทานแบบชุดเดียว




***รูปที่ 4.1*** วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียว

สำหรับการทดลองนั้นจะเป็นการทดสอบวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบที่ใช้ชุดสวิตช์-ตัวต้านทานเพียงชุดเดียวที่นำเสนอซึ่งรูปวงจรแสดงดังในรูปที่ 4.1 และเพื่อประเมินสมรรถนะการทำงานของวงจรกรองสัญญาณกินกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียวที่นำเสนอ จึงได้ทำการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองแบบปลายเปิดสองด้านที่มีอัตราขยาย $A_{LP}$ = 0 dB ช่วงความถี่ตัด $f_{LP}$ =1 MHz และค่าองค์ประกอบคุณภาพ $Q_{LP}$ = 0.8 (ภาคผนวก 7.1) ด้วยเทคโนโลยีแบบซีมอสมาตรฐานขนาด 0.18 ไมครอน ทำงานที่ระดับแรงดัน 1.8 โวลต์ ใช้สัญญาณนาฬิกาควบคุมความถี่ 100 เมกะเฮิรตซ์ และตัวสวิตช์ใช้โครงสร้างแบบทรานสมิชชันเกต (transmission gate) กำหนดให้ค่าตัวเก็บประจุชดเชย $C_C$ = 1.5 pF และอัตราส่วนในชุดวงจรปรับค่าอัตราขยายความนำภาคแรก $p$ = 0.25 จะทำให้ได้ค่าอุปกรณ์ $C_1$ = 3.84 pF และ $R_1$ = $R_2$ = 33.15 kΩ และเมื่อกำหนดค่าตัวปรับกระแสภาคแรก $a$ = 2 และค่าตัวปรับกระแสภาคที่สอง $b$ = 4 (ภาคผนวก 7.3) จะทำให้ได้ค่าขนาดของมอสทรานซิสเตอร์แสดงดังตารางที่ 4.1

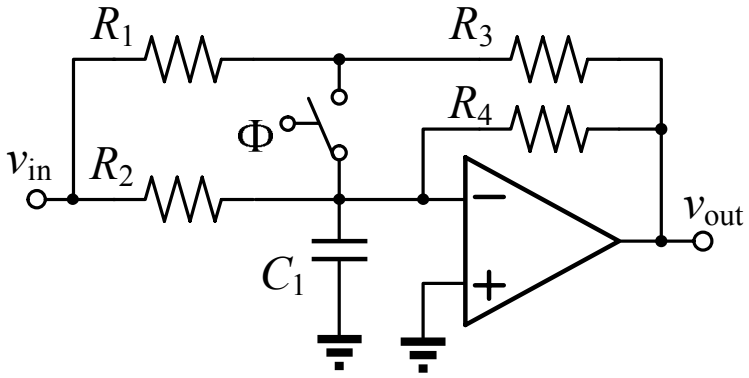
ขั้นตอนการทดสอบประกอบด้วย

1. การวิเคราะห์ PSS (Periodic Steady State) ร่วมกับ PAC (Periodic AC) เพื่อดูผลตอบสนองทางความถี่ของวงจรกรองสัญญาณ และความสามารถในการปรับค่าความถี่ตัดด้วยการปรับค่ารอบเวลาการทำงานของสัญญาณนาฬิกา
2. การป้อนสัญญาณทดสอบสองความถี่ (two-tone test) ที่มีย่านความถี่ประมาณหนึ่งในสามของค่าความถี่ตัด เพื่อหาค่าองค์ประกอบความเพี้ยนเชิงอินเตอร์มอดูเลตอันดับที่สาม $IMD_3$
3. การประเมินสมรรถนะด้านสัญญาณรบกวนด้วยการวิเคราะห์ PSS ร่วมกับ PNOISE (Periodic Noise)

**ตารางที่ 4.1** ขนาดของอุปกรณ์มอสทรานซิสเตอร์สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียว

| มอสทรานซิสเตอร์ | ขนาด |
|---|---|
| $M_1$, $M_2$, $M_{P1}$, $M_{B2}$, $M_{B3}$, $M_{F5}$ | 7.5μm/1μm |
| $M_{B1}$ | 15μm/1μm |
| $M_{P2}$, $M_{B4}$, $M_{B5}$, | 30μm/1μm |
| $M_{F1}$, $M_{F2}$ | 3.75μm/1μm |
| $M_{N1} - M_{N4}$ | 5μm/1μm |
| $M_{F3}$, $M_{F4}$ | 2.5μm/1μm |
| $M_3 - M_5$ | 10μm/1μm |
| $M_7$, $M_8$, $M_{C1}$, $M_{C2}$ | 20μm/1μm |

**4.2 เทคนิคสวิตช์-ตัวต้านทานแบบสองชุด**

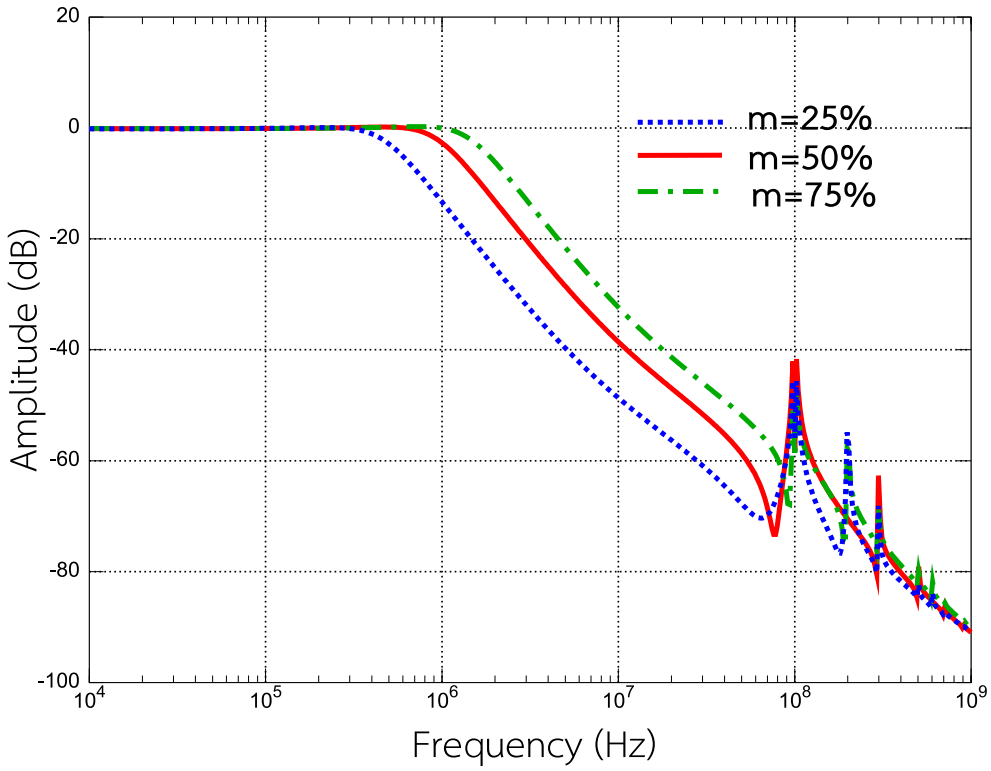



***รูปที่ 4.2*** วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานสองชุด

สำหรับการทดสอบวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบที่ใช้ชุดสวิตช์-ตัวต้านทานสองชุดที่นำเสนอแสดงรูปวงจรดังรูปที่ 4.2 ได้ทำการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองแบบปลายเปิดสองด้าน ที่มีอัตราขยาย $A_{LP}$ = 0 dB ช่วงความถี่ตัด $f_{LP}$ =1 MHz และค่าองค์ประกอบคุณภาพ $Q_{LP}$ = 0.8 (ภาคผนวก 7.2) ด้วยเทคโนโลยีแบบซีมอสมาตรฐานขนาด 0.18 ไมครอน ทำงานที่ระดับแรงดัน 1.8 โวลต์ ใช้สัญญาณนาฬิกาควบคุมความถี่ 100 เมกะเฮิรตซ์ และตัวสวิตช์ใช้โครงสร้างแบบทรานสมิชชันเกต เลือกให้อัตราส่วนระหว่างตัวต้านทานของชุดสวิตช์-ตัวต้านทาน $k$ = 3 ซึ่งจะทำให้ได้ช่วงปรับจูนความถี่ตัดของวงจรกรองสัญญาณที่ ±25% กำหนดให้ค่าตัวแปรในการออกแบบทั้งหมดเป็นแบบเดียวกับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียวเพื่อสะดวกต่อการเปรียบเทียบสมรรถนะระหว่างโครงสร้าง นั่นคือ กำหนดค่าตัวเก็บ

ประจุชดเชย $C_C$ = 1.5 pF อัตราส่วนระหว่างพีมอสทรานซิสเตอร์ในชุดวงจรปรับค่าอัตราขยายความนำภาคหน้า $p$ = 0.25 จะทำให้ได้ค่าอุปกรณ์ $C_1$ = 3.84 pF, $R_1$ = $R_3$ = 44.2 kΩ และ $R_2$ = $R_4$ = 132.6 kΩ และเมื่อกำหนดค่าตัวปรับกระแสภาคแรก $a$ = 2 และค่าตัวปรับกระแสภาคที่สอง $b$ = 4 (ภาคผนวก 7.3) จะทำให้ได้ค่าขนาดของมอสทรานซิสเตอร์เหมือนกันกับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียวดังตารางที่ 4.1 สำหรับขั้นตอนการทดสอบก็จะเป็นเช่นเดียวกับวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียวในตอนที่ 4.1 เช่นกัน

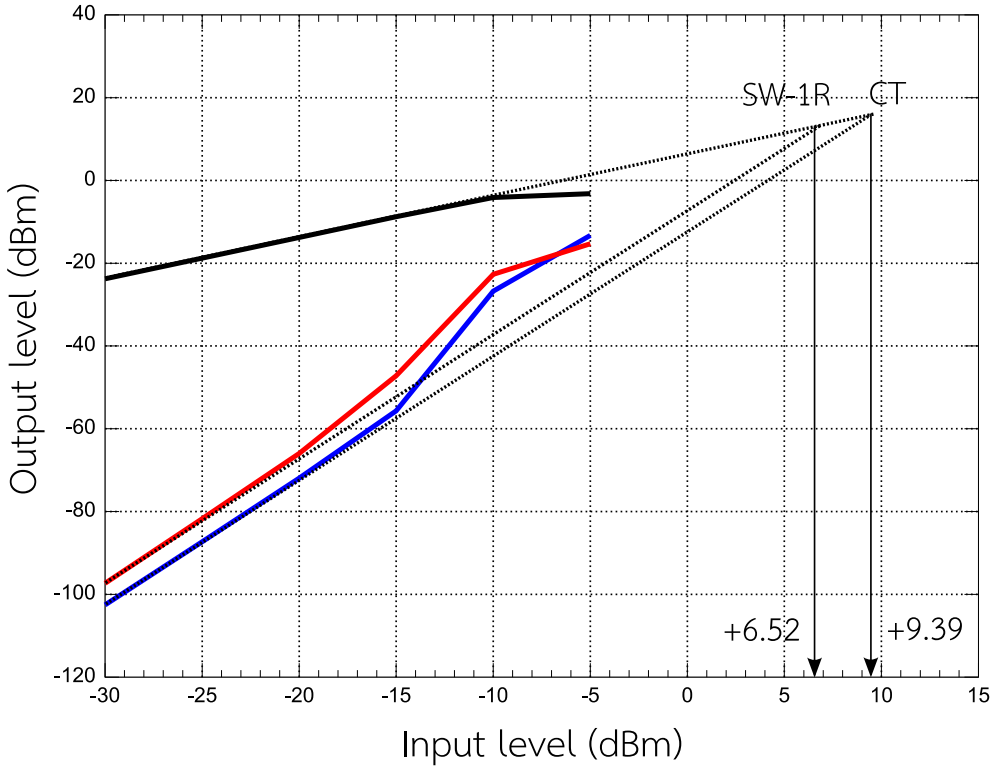
## 5.1 เทคนิคสวิตช์-ตัวต้านทานแบบชุดเดียว



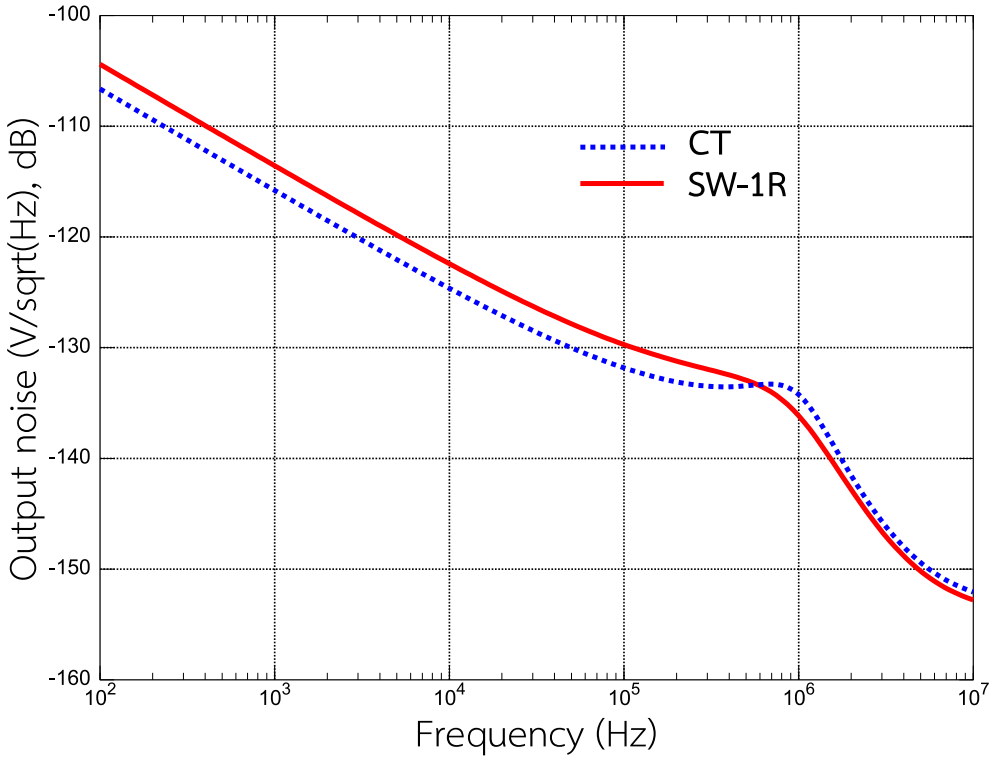

***รูปที่ 5.1*** ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียว เมื่อปรับค่ารอบเวลาทำงานเป็น 25%, 50% และ 75%

ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณด้วยการวิเคราะห์ PSS ร่วมกับ PAC เมื่อปรับค่ารอบเวลาทำงานสัญญาณนาฬิกา (m) เป็น 25%, 50% และ 75% แสดงดังรูปที่ 5.1 ซึ่งจะได้ค่าความถี่ตัดของวงจรกรองสัญญาณเป็น 0.54, 1.02 และ 1.57 เมกะเฮิรตซ์ ตามลำดับ โดยให้ช่วงการปรับค่าความถี่ประมาณ ±50% ดังที่ได้ออกแบบไว้ และจะสามารถสังเกตเห็นองค์ประกอบรบกวนจากสัญญาณนาฬิกาได้ค่อนข้างชัดเจน

เมื่อทำการป้อนสัญญาณทดสอบสองความถี่ (two-tone test) ที่มีย่านความถี่ประมาณหนึ่งในสามของค่าความถี่ตัด นั่นคือความถี่ 300 กิโลเฮิรตซ์ และ 400 กิโลเฮิรตซ์ สำหรับค่ารอบเวลาทำงาน 50% ด้วยขนาดสัญญาณ 0.1 $V_p$ จะได้ค่าองค์ประกอบความเพี้ยนเชิงอินเตอร์มอดูเลตอันดับที่สาม $IMD_3$ = –41.46 dB ทั้งนี้สำหรับโครงสร้างวงจรกรองสัญญาณเดิมแบบต่อเนื่องทางเวลา ที่ใช้วงจรออปแอมป์ที่เหมือนกันทุกประการ จะให้ค่าองค์ประกอบความเพี้ยน $IMD_3$ = –47.34 dB และเมื่อทำการทดสอบเปลี่ยนค่าขนาดกำลังงานขาเข้าเพื่อหาค่าจุดตัดสัญญาณขาเข้าอันดับสาม $IIP_3$ ก็จะได้ค่าเท่ากับ +6.52 dBm และ +9.39 dBm สำหรับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทาน (SW-1R) และแบบต่อเนื่องทางเวลา (CT) ตามลำดับ ดังแสดงในรูปที่ 5.2




***รูปที่ 5.2*** ค่าจุดตัดสัญญาณขาเข้าอันดับสาม $IIP_3$ ของวงจรกรองแบบสวิตช์-ตัวต้านทานชุดเดียวเทียบกับแบบต่อเนื่องทางเวลา




***รูปที่ 5.3*** ค่าสัญญาณรบกวนรวมด้านขาออกของของวงจรกรองแบบสวิตช์-ตัวต้านทานชุดเดียวเทียบกับแบบต่อเนื่องทางเวลา

***ตารางที่ 5.1*** สมรรถนะรวมของวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียว

| สมรรถนะ | CT | SW-1R (m) | | |
|---|---|---|---|---|
| | | 25% | 50% | 75% |
| ความถี่ตัด (MHz) | 1.03 | 0.54 | 1.02 | 1.57 |
| $f_u$ ออปแอมป์ (MHz) | 1.8 | 0.9 | 1.82 | 2.67 |
| กำลังงานสูญเสีย (μW) | 35.4 | 15.5 | 35.7 | 59.7 |
| $IMD_3$* (dB) | -47.34 | -35.48 | -41.46 | -48.98 |
| $IIP_3$* (dBm) | 9.39 | 3.2 | 6.52 | 9.92 |
| สัญญาณรบกวนรวมด้านออก** ($x10^{-8}$ $V^2$) | 6.45 | 8 | 8.4 | 9.24 |
| สัญญาณรบกวนอ้างอิงด้านเข้า** ($\mu V_{rms}$) | 125 | 172.6 | 159.7 | 161.5 |

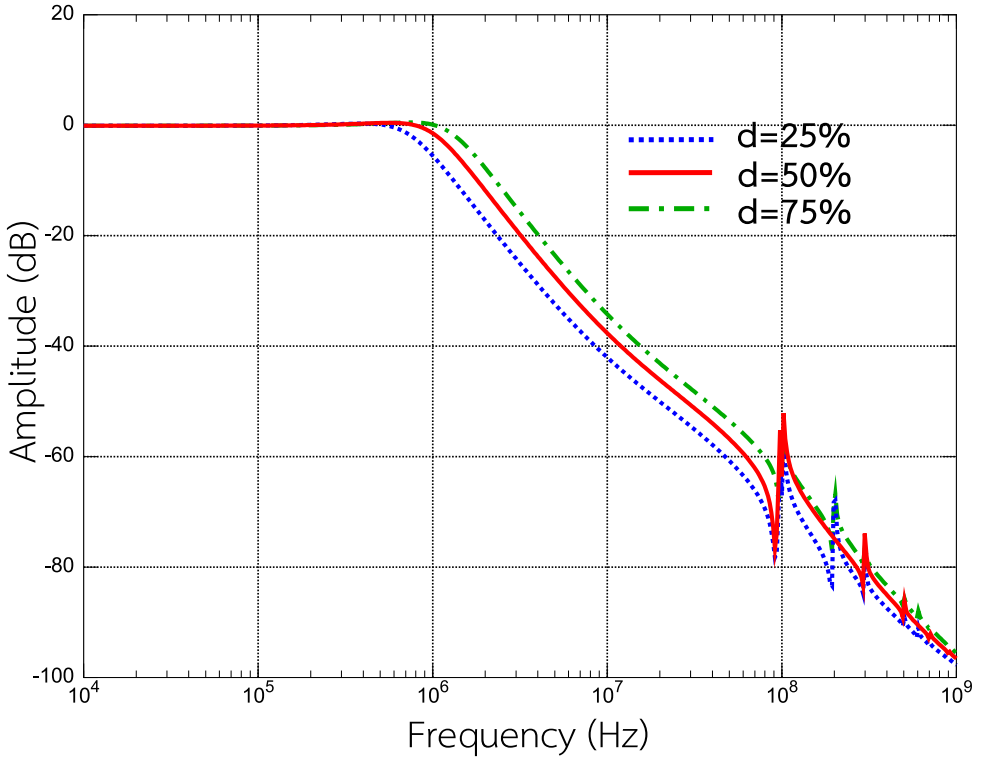
**หมายเหตุ:**

* สัญญาณสองความถี่ห่าง 100 กิโลเฮิรตซ์ ที่ความถี่ประมาณหนึ่งในสามของความถี่ตัด

** สัญญาณรบกวนผลต่าง อินทีเกรตตั้งแต่ความถี่ 100 เฮิรตซ์ ถึงความถี่ตัด

ในส่วนของสมรรถนะด้านสัญญาณรบกวนนั้นจะอาศัยการวิเคราะห์ PSS ร่วมกับ PNOISE ซึ่งผลจำลองค่าสัญญาณรบกวนรวมด้านขาออกที่ค่ารอบเวลาทำงาน 50% เปรียบเทียบกับวงจรกรองสัญญาณแบบต่อเนื่องทางเวลา แสดงไว้ในรูปที่ 5.3 ซึ่งจะเห็นได้ว่าวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานนั้นมีค่าสัญญาณรบกวนโดยรวมสูงกว่าถึงแม้ว่าค่าความต้านทานรวมของระบบจะมีขนาดต่ำกว่าก็ตาม ทั้งนี้ก็เนื่องมาจากปรากฏการณ์พับกลับของสัญญาณรบกวน (noise folding) นั่นเอง โดยปรากฏค่าสัญญาณรบกวนขาออกที่ทำการอินทีเกรตตั้งแต่ความถี่ 100 เฮิรตซ์ ถึง 1.02 เมกะเฮิรตซ์ มีค่าประมาณ $8.4\times10^{-8}$ $V^2$ และ $6.45\times10^{-8}$ $V^2$ สำหรับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานและแบบต่อเนื่องทางเวลา ตามลำดับ สำหรับสมรรถนะต่างๆ ของระบบรวมถึงค่ากำลังงานสูญเสียและค่าความถี่ที่อัตราขยายของออปแอมป์เป็นหนึ่ง ที่ค่ารอบเวลาทำงานอื่น ได้แสดงสรุปไว้ในตารางที่ 5.1 ซึ่งจะเห็นได้ว่าแม้สมรรถนะโดยรวมจะลดลงจากวงจรแบบต่อเนื่องทางเวลาไปบ้าง และจะยิ่งลดลงเมื่อความถี่ตัดมีค่าเข้าใกล้สัญญาณนาฬิกามากขึ้น แต่ก็สามารถปรับกำลังงานขึ้นชดเชยเพื่อเพิ่มสมรรถนะได้ แลกกับความสามารถในการปรับคุณลักษณะได้อย่างละเอียดและประหยัดพื้นที่ เพราะหากใช้วิธีการปรับค่าความถี่โดยชุดเลือกตัวต้านทานหรือตัวเก็บประจุแล้ว ก็จะต้องใช้พื้นที่เพิ่มขึ้นอย่างมาก

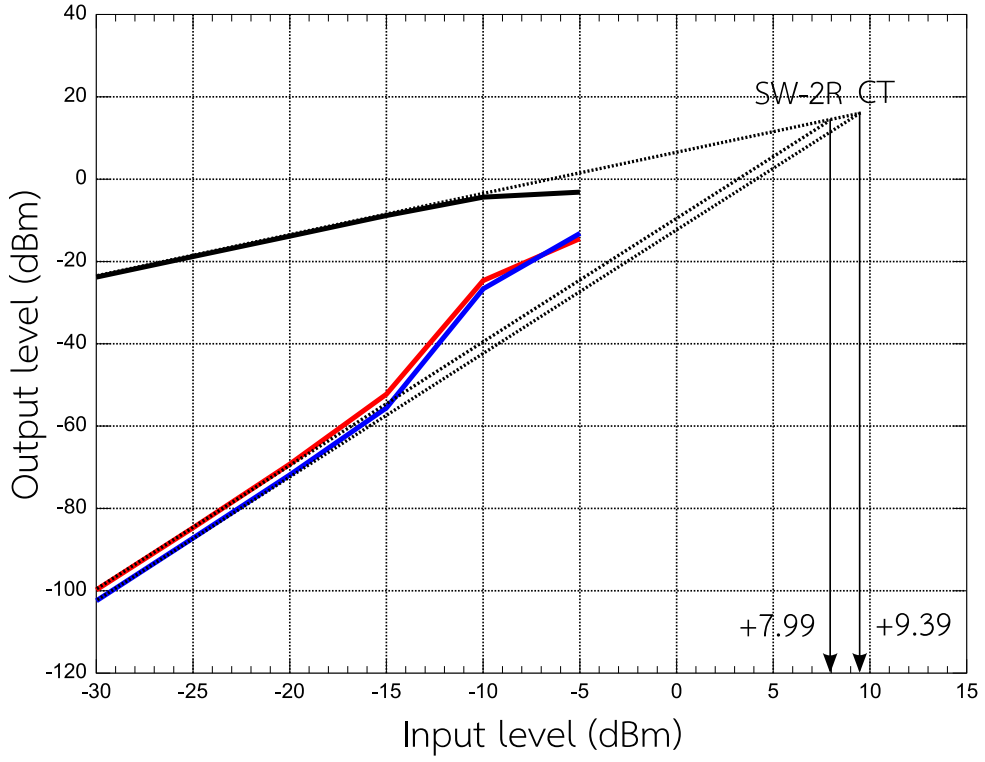
**5.2 เทคนิคสวิตช์-ตัวต้านทานแบบสองชุด**



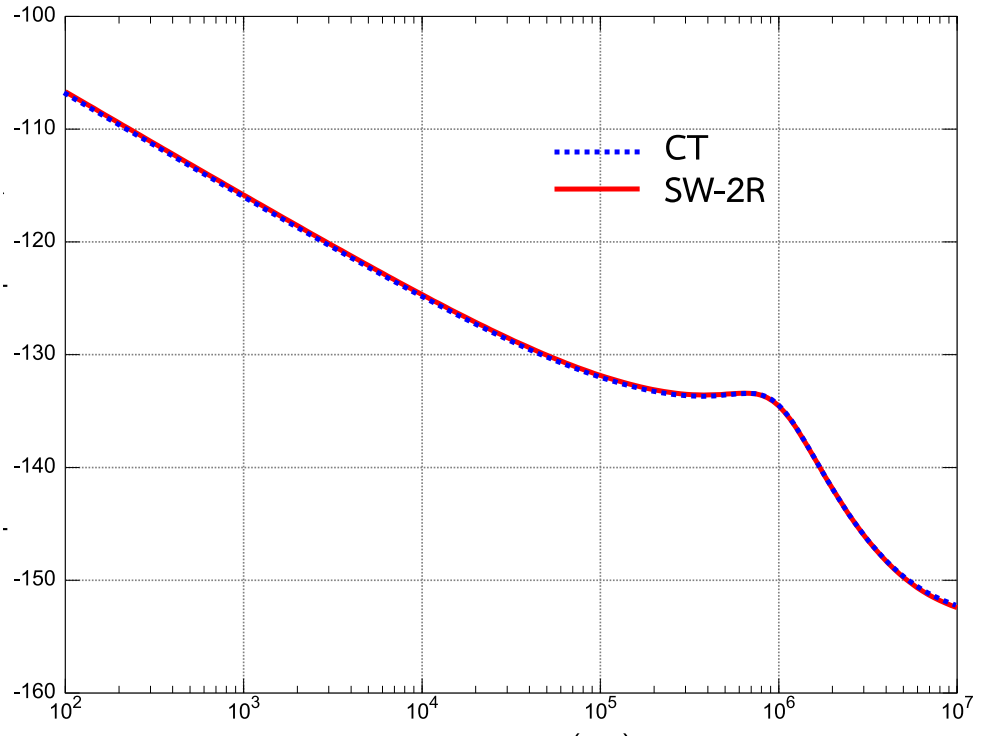

***รูปที่ 5.4*** ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานสองชุดเมื่อปรับค่ารอบเวลาทำงานเป็น 25%, 50% และ 75%

ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณด้วยการวิเคราะห์ PSS ร่วมกับ PAC เมื่อปรับค่ารอบเวลาทำงานสัญญาณนาฬิกา (d) เป็น 25%, 50% และ 75% แสดงดังรูปที่ 5.4 ซึ่งจะได้ค่าความถี่ตัดของวงจรกรองสัญญาณเป็น 0.83 MHz, 1.15 MHz และ 1.47 MHz ตามลำดับ โดยให้ค่าความถี่ตัดสูงกว่าที่คำนวณเล็กน้อย สำหรับช่วงการปรับค่าความถี่จะได้ค่าประมาณ ±27% สูงกว่าที่ได้ออกแบบไว้เล็กน้อยเช่นกัน และจะสังเกตได้ว่าองค์ประกอบรบกวนจากสัญญาณนาฬิกาจะมีค่าน้อยกว่าวงจรกรองแบบสวิตช์-ตัวต้านทานชุดเดียวในรูปที่ 5.1

เมื่อทำการป้อนสัญญาณทดสอบสองความถี่ ที่มีย่านความถี่ประมาณหนึ่งในสามของค่าความถี่ตัด นั่นคือความถี่ 300 กิโลเฮิรตซ์ และ 400 กิโลเฮิรตซ์ สำหรับค่ารอบเวลาทำงาน 50% ด้วยขนาดสัญญาณ 0.1 $V_p$ จะได้ค่าองค์ประกอบความเพี้ยนเชิงอินเตอร์มอดูเลตอันดับที่สาม $IMD_3$ = –46.12 dB ซึ่งมีสมรรถนะที่ดีกว่าวงจรกรองแบบสวิตช์-ตัวต้านทานชุดเดียวและมีค่าใกล้เคียงวงจรกรองแบบต่อเนื่องทางเวลา ที่ใช้วงจรออปแอมป์ที่เหมือนกันทุกประการ และเมื่อทำการทดสอบเปลี่ยนค่าขนาดกำลังงานขาเข้าเพื่อหาค่าจุดตัดสัญญาณขาเข้าอันดับสาม $IIP_3$ ก็จะได้ค่าเท่ากับ +7.99 dBm และ +9.39 dBm สำหรับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานสองชุด (SW-2R) และแบบต่อเนื่องทางเวลา (CT) ตามลำดับ ดังแสดงในรูปที่ 5.5




***รูปที่ 5.5*** ค่าจุดตัดสัญญาณขาเข้าอันดับสาม $IIP_3$ ของวงจรกรองแบบสวิตช์-ตัวต้านทานสองชุดเทียบกับแบบต่อเนื่องทางเวลา




***รูปที่ 5.6*** ค่าสัญญาณรบกวนรวมด้านขาออกของของวงจรกรองแบบสวิตช์-ตัวต้านทานสองชุดเทียบกับแบบต่อเนื่องทางเวลา

***ตารางที่ 5.2*** สมรรถนะรวมของวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานสองชุด

| สมรรถนะ | CT | SW-2R (d) | | |
|---|---|---|---|---|
| | | 25% | 50% | 75% |
| ความถี่ตัด (MHz) | 1.03 | 0.83 | 1.15 | 1.467 |
| $f_u$ ออปแอมป์ (MHz) | 1.8 | 1.39 | 1.82 | 2.28 |
| กำลังงานสูญเสีย (μW) | 35.4 | 25.3 | 36.1 | 48.0 |
| $IMD_3$* (dB) | -47.34 | -41.07 | -46.12 | -49.45 |
| $IIP_3$* (dBm) | 9.39 | 6.72 | 7.99 | 9.32 |
| สัญญาณรบกวนรวมด้านออก** ($x10^{-8}$ $V^2$) | 6.45 | 5.87 | 6.78 | 7.57 |
| สัญญาณรบกวนอ้างอิงด้านเข้า** ($\mu V_{rms}$) | 125 | 156.2 | 177.6 | 196.9 |

**หมายเหตุ:**

* สัญญาณสองความถี่ห่าง 100 กิโลเฮิรตซ์ ที่ความถี่ประมาณหนึ่งในสามของความถี่ตัด

** สัญญาณรบกวนผลต่าง อินทีเกรตตั้งแต่ความถี่ 100 เฮิรตซ์ ถึงความถี่ตัด

ในส่วนของสมรรถนะด้านสัญญาณรบกวนนั้นจะอาศัยการวิเคราะห์ PSS ร่วมกับ PNOISE ซึ่งผลจำลองค่าสัญญาณรบกวนรวมด้านขาออกที่ค่ารอบเวลาทำงาน 50% เปรียบเทียบกับวงจรกรองสัญญาณแบบต่อเนื่องทางเวลา แสดงไว้ในรูปที่ 5.6 ซึ่งจะเห็นได้ว่าวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานสองชุดนั้นมีค่าสัญญาณรบกวนใกล้เคียงกับวงจรกรองสัญญาณแบบต่อเนื่องทางเวลาอย่างมาก นั่นแสดงให้เห็นว่าปรากฏการณ์พับกลับของสัญญาณรบกวนส่งผลต่อระบบนี้น้อยมาก โดยปรากฏค่าสัญญาณรบกวนขาออกที่ทำการอินทีเกรตตั้งแต่ความถี่ 100 เฮิรตซ์ ถึง 1.15 เมกะเฮิรตซ์ มีค่าประมาณ $6.78\times10^{-8}$ $V^2$ ซึ่งใกล้เคียงกับค่า $6.45\times10^{-8}$ $V^2$ ของวงจรกรองสัญญาณแบบต่อเนื่องทางเวลาอย่างมาก สำหรับสมรรถนะต่างๆ ของระบบรวมถึงค่ากำลังงานสูญเสียและค่าความถี่ที่อัตราขยายของออปแอมป์เป็นหนึ่ง ที่ค่ารอบเวลาทำงานต่างๆ ได้แสดงสรุปไว้ในตารางที่ 5.2 ซึ่งจะเห็นได้ว่าวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานสองชุดจะให้สมรรถนะโดยรวมดีกว่าวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียว และมีความเกล้เคียงวงจรกรองสัญญาณแบบต่อเนื่องมากขึ้น จึงเป็นทางเลือกที่ดีสำหรับระบบที่ต้องการความสามารถในการปรับคุณลักษณะได้อย่างละเอียดและประหยัดพื้นที่

## 6. สรุปและวิจารณ์ผลการทดลอง และข้อเสนอแนะ

โครงการวิจัยนี้นำเสนอการพัฒนาวงจรกรองสัญญาณแบบปรับคุณลักษณะได้โดยอาศัยเทคนิคสวิตช์-ตัวต้านทาน ซึ่งสามารถปรับคุณลักษณะค่าความถี่ตัดของสัญญาณได้โดยอาศัยการควบคุมปริมาณกระแสเฉลี่ยที่ไหลผ่านตัวต้านทานด้วยสวิตช์ ร่วมกับการประยุกต์ใช้โพลภายในของวงจรออปแอมป์เป็นส่วนหนึ่งของโพลวงจรกรองสัญญาณ จึงสามารถใช้ออปแอมป์ตัวเดียวสร้างเป็นวงจรกรองอันดับสองได้ ช่วยให้สามารถลดอัตราการใช้กำลังงานลงได้มาก โดยได้นำเสนอวงจรกรองสัญญาณไว้ 2 โครงสร้างด้วยกันนั่นคือ วงจรกรองสัญญาณความถี่ผ่านแบบสวิตช์-ตัวต้านทานชุดเดียว และวงจรกรองสัญญาณความถี่ผ่านแบบสวิตช์-ตัวต้านทานสองชุด ซึ่งสมรรถนะของระบบที่นำเสนอแสดงด้วยผลจำลองการทำงานของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองที่มีความถี่ตัด 1 เมกกะเฮิรตซ์ ออกแบบด้วยเทคโนโลยีซีมอสขนาด 0.18 ไมครอน ที่แรงดันไฟเลี้ยง 1.8 โวลต์

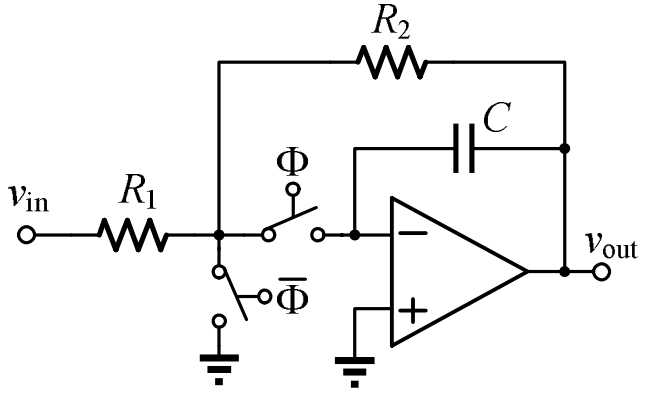
โดยวงจรกรองสัญญาณความถี่ต่ำผ่านแบบสวิตช์-ตัวต้านทานชุดเดียว จะสามารถปรับค่าความถี่ได้ในช่วง ±50% กินกำลังงานเพียง 36 ไมโครวัตต์ และให้สมรรถนะโดยรวมด้อยกว่าวงจรกรองสัญญาณแบบต่อเนื่องทางเวลาเล็กน้อย แต่อย่างไรก็ตามด้วยข้อจำกัดด้านความเป็นเชิงเส้นของระบบ การนำไปประยุกต์ใช้งานจึงเหมาะกับระบบที่ต้องการความสามารถของการปรับคุณลักษณะได้อย่างละเอียด มีกำลังงานสูญเสียต่ำ ความถี่ไม่สูงมากนักเนื่องจากติดข้อจำกัดของสัญญาณนาฬิกาและต้องการความเป็นเชิงเส้นในระดับปานกลาง

สำหรับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบสวิตช์-ตัวต้านทานสองชุด จะให้สมรรถนะโดยรวมได้ดีกว่า ใกล้เคียงกับวงจรกรองสัญญาณแบบต่อเนื่องทางเวลาอย่างมาก อีกทั้งตัวโครงสร้างยังได้รับผลกระทบและข้อจำกัดของสัญญาณนาฬิกาที่น้อยกว่าวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียวอีกด้วย แต่ก็จะมีจุดด้อยตรงความสามารถในการปรับช่วงความถี่ที่แคบกว่า จึงเหมาะกับการประยุกต์ใช้งานที่ต้องการความสามารถของการปรับคุณลักษณะได้อย่างละเอียดในช่วงที่ไม่กว้างนัก

ในส่วนแนวทางการพัฒนา อาจมุ่งเน้นในการลดผลกระทบจากสัญญาณนาฬิกาให้มากยิ่งขึ้น และอีกปัจจัยสำคัญที่ต้องคำนึงถึงคือ การประยุกต์ใช้โพลภายในของวงจรออปแอมป์เป็นส่วนหนึ่งของโพลวงจรกรองสัญญาณนั้น ส่งผลต่อสมรรถนะความเป็นเชิงเส้นของระบบโดยตรงโดยเฉพาะบริเวณใกล้ช่วงความถี่ตัด เนื่องจากการลดลงของอัตราขยายลูปของการป้อนกลับ หากสามารถปรับปรุงโครงสร้างให้มีความเป็นเชิงเส้นมากขึ้นได้ก็จะสามารถใช้งานกับระบบต่างๆ ได้ดียิ่งขึ้น

# 7. ภาคผนวก

## 7.1 เทคนิคสวิตช์-ตัวต้านทานแบบชุดเดียว

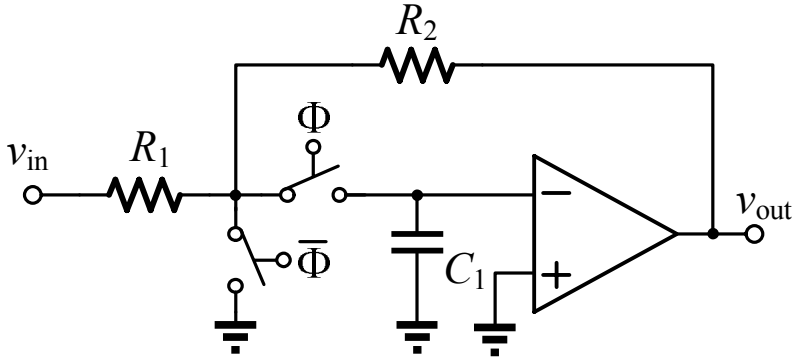



***รูปที่ 7.1*** วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับหนึ่งแบบสวิตช์-ตัวต้านทานชุดเดียว

วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับที่หนึ่งแบบสวิตช์-ตัวต้านทานชุดเดียวแสดงดังรูปที่ 7.1 โดยกระแสที่ไหลผ่านตัวต้านทานเข้าสู่ตัวเก็บประจุจะถูกควบคุมผ่านการเปิด-ปิดของสวิตช์ที่ต่ออนุกรมอยู่ ปริมาณกระแสเฉลี่ยจึงถูกควบคุมด้วยการปรับเปลี่ยนค่ารอบเวลาทำงานของสัญญาณนาฬิกา ส่งผลให้เสมือนหนึ่งว่าค่าความต้านทานประสิทธิผลเปลี่ยนแปลงได้สัมพันธ์กับรอบเวลาทำงาน และทำให้ช่วงความถี่ตัดของวงจรกรองสัญญาณถูกปรับเปลี่ยนไปด้วยเช่นกัน ระบบนี้มีความเพี้ยนต่ำเนื่องจากสัญญาณแรงดันขาเข้าส่วนใหญ่จะตกคร่อมที่ตัวต้านทานพาสซิฟซึ่งมีความเป็นเชิงเส้นสูง ส่วนตัวสวิตช์ก็อยู่บริเวณกราวนด์เสมือนซึ่งมีการเปลี่ยนแปลงของแรงดันต่ำ ความไม่เป็นเชิงเส้นจากตัวสวิตช์จึงส่งผลต่อระบบได้น้อย นอกจากนี้ เนื่องจากการปรับเปลี่ยนค่าความต้านทานเสมือนนั้นกระทำในโดเมนเวลา จึงไม่เกิดข้อจำกัดจากระดับแรงดันไฟเลี้ยงอีกด้วย

อย่างไรก็ตาม โครงสร้างวงจรกรองสัญญาณแบบแอกทิฟ-อาร์ซีที่ใช้ร่วมกับเทคนิคสวิตช์-ตัวต้านทานแบบเดิม จะมีเงื่อนไขการออกแบบที่สำคัญอันหนึ่งคือ วงจรออปแอมป์ซึ่งเป็นอุปกรณ์แอกทิฟหลักจำเป็นต้องมีช่วงความถี่ปฏิบัติงานสูงกว่าความถี่ตัดของวงจรกรองสัญญาณมากๆ ส่งผลให้ย่านความถี่ปฏิบัติการของวงจรกรองมีค่าจำกัดและเกิดกำลังงานสูญเสียมากอีกด้วย ดังนั้นเพื่อให้ระบบมีประสิทธิภาพเชิงกำลังงานสูงมากยิ่งขึ้น จึงได้ประยุกต์เทคนิคการอาศัยโพลภายในของวงจรออปแอมป์เองมาเป็นส่วนหนึ่งของโพลวงจรกรองสัญญาณ ส่งผลให้ไม่จำเป็นต้องออกแบบให้วงจรออปแอมป์มีช่วงความถี่ปฏิบัติงานสูงกว่าความถี่ตัดของวงจรกรองสัญญาณมากๆ จึงช่วยลดอัตราการใช้กำลังงานลงได้

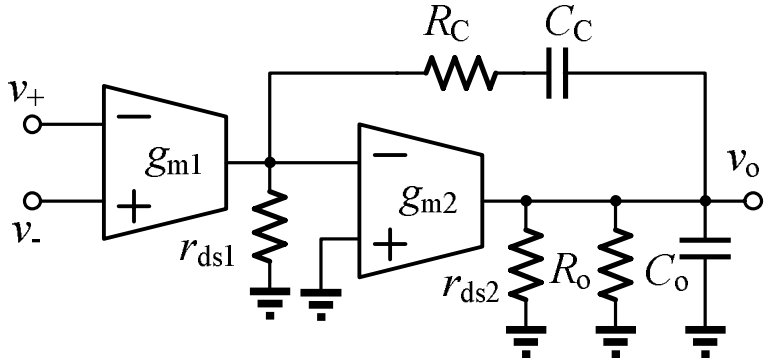
โครงสร้างวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองปลายออกด้านเดียวกินกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียวแสดงดังรูปที่ 7.2 กำหนดให้วงจรออปแอมป์มีฟังก์ชันการถ่ายโอนแรงดันเป็นแบบโพลเดี่ยว (ในช่วงความถี่ที่พิจารณา) ซึ่งสามารถแสดงความสัมพันธ์ได้ดังสมการ




***รูปที่ 7.2*** วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานชุดเดียว

$$A(s) = \frac{A_0}{1 + s/\omega_0} = \frac{\omega_u}{s + \omega_0} \tag{7.1}$$

เมื่อ $A_0$ , $\omega_u$ และ $\omega_0$ คือ อัตราขยายแรงดันไฟตรง ความถี่เชิงมุมเมื่ออัตราขยายแรงดันเป็นหนึ่ง และความถี่เชิงมุมโพลตัวแรกของวงจรออปแอมป์ ตามลำดับ




***รูปที่ 7.3*** วงจรสมมูลโครงสร้างภายในของออปแอมป์แบบสองภาค

บล็อกโครงสร้างภายในของวงจรออปแอมป์แบบสองภาคพื้นฐานสามารถแสดงได้ดังรูปที่ 7.3 โดยภาคหน้ามีอัตราขยายความนำส่งผ่าน $g_{m1}$ และความต้านทานขาออก $r_{ds1}$ ภาคที่สองมีอัตราขยายความนำส่งผ่าน $g_{m2}$ และความต้านทานขาออก $r_{ds2}$ ภาระของวงจรประกอบด้วยตัวต้านทาน $R_o$ และตัวเก็บประจุ $C_o$ มีการชดเชยความถี่ด้วยตัวเก็บประจุมิลเลอร์ $C_C$ และตัวต้านทาน $R_C$

เนื่องจากโครงสร้างวงจรกรองสัญญาณได้อาศัยโพลภายในของวงจรออปแอมป์เพื่อเป็นส่วนหนึ่งของโพลระบบ และกำหนดให้วงจรออปแอมป์มีฟังก์ชันการถ่ายโอนแรงดันเป็นแบบโพลเดี่ยว ดังนั้นเมื่อต้องการให้ความถี่ตัดของวงจรกรองสัญญาณสามารถปรับเปลี่ยนได้ด้วยค่ารอบเวลาทำงานของสัญญาณนาฬิกา องค์ประกอบสำคัญภายในตัวออปแอมป์ที่จำเป็นต้องสามารถถูกปรับตามได้

ด้วยก็คือค่าอัตราขยายความนำส่งผ่านของภาคแรก หรือ $g_{m1}$ โดยจะต้องมีวงจรไบอัสที่ช่วยควบคุมค่า $g_{m1}$ ให้ปรับเปลี่ยนตามค่ารอบเวลาทำงานของสัญญาณนาฬิกาด้วย โดยในที่นี้จะกำหนดให้ $g_{m1} = m/(A_g.R_1)$ เมื่อ $m$ คือค่ารอบเวลาทำงานของสัญญาณนาฬิกา $\Phi$ ในรูปที่ 7.2 และ $A_g$ เป็นค่าคงที่ที่สามารถกำหนดได้เอง

เมื่อทำการวิเคราะห์บล็อกวงจรในรูปที่ 7.3 หากออกแบบให้ค่า $g_{m1}\ r_{ds1} >> 1$ และ $1/R_2 >> 1/\ r_{ds2} + sC_o$ พร้อมทั้งเลือกให้ $R_2 = n.R_1$ เมื่อ $n$ คือค่าคงที่แล้ว จะสามารถพิสูจน์ได้ว่าฟังก์ชันถ่ายโอนแรงดันของวงจรกรองสัญญาณความถี่ต่ำผ่านแบบสวิตช์-ตัวต้านทาน $H_{LP}$ จะขึ้นอยู่กับค่าของอุปกรณ์พาสซิฟเพียงอย่างเดียวเท่านั้น และสามารถปรับเปลี่ยนได้ด้วยค่ารอบเวลาทำงานของสัญญาณนาฬิกา ดังแสดงในสมการ

$$H_{LP}(s) = -\frac{\dfrac{m^2}{A_g R_1^2 C_1 C_C}}{s^2 + s\cdot\dfrac{m(R_1+R_2)}{R_1 R_2 C_1} + \dfrac{m^2}{A_g R_1 R_2 C_1 C_C}} \tag{7.2}$$

โดยค่าองค์ประกอบที่สำคัญได้แก่ อัตราขยายแรงดันไฟตรง $A_{LP}$ ค่าความถี่ตัด $f_{LP}$ และค่าองค์ประกอบคุณภาพ $Q_{LP}$ ของวงจรกรองสัญญาณจะสามารถแสดงได้ดังสมการ

$$A_{LP} = \frac{R_2}{R_1} = n \tag{7.3}$$

$$f_{LP} = \frac{m}{2\pi}\cdot\sqrt{\frac{1}{A_g R_1 R_2 C_1 C_C}} \tag{7.4}$$

$$Q_{LP} = \frac{1}{1+A_{LP}}\cdot\sqrt{\frac{A_{LP}}{A_g}\cdot\frac{C_1}{C_C}} \tag{7.5}$$

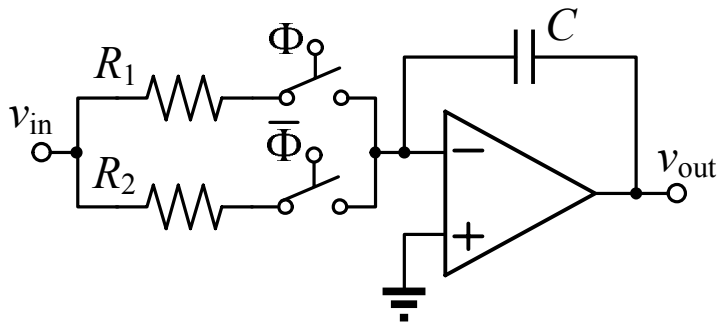
ซึ่งเห็นได้ชัดเจนว่าค่าความถี่ตัดของวงจรกรองสัญญาณ $f_{LP}$ สามารถถูกปรับได้อย่างเป็นเชิงเส้นด้วยการเปลี่ยนค่ารอบเวลาทำงานของสัญญาณนาฬิกา $m$ โดยไม่ส่งผลกระทบต่อค่าอัตราขยายแรงดันไฟตรงและค่าองค์ประกอบคุณภาพของวงจรกรองสัญญาณแต่อย่างใด

และเมื่อทำการวิเคราะห์หาค่าความถี่ที่อัตราขยายเป็นหนึ่ง $f_u = g_{m1}/(2\pi C_C)$ ของวงจรออปแอมป์เทียบกับค่าความถี่ตัดของวงจรกรองสัญญาณ $f_{LP}$ ตามสมการ (7.4) แล้ว จะทำให้ได้ความสัมพันธ์

$$\frac{f_u}{f_{LP}} = Q_{LP} \cdot \left(1 + A_{LP}\right) \tag{7.6}$$

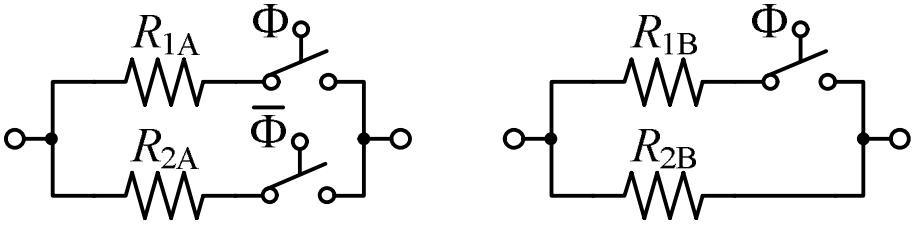
ซึ่งจะเห็นได้ว่าค่าความถี่ที่อัตราขยายเป็นหนึ่งของวงจรออปแอมป์นี้แปรผันตรงกับค่าความถี่ตัดของวงจรกรองสัญญาณ และค่าที่ได้มีขนาดน้อยมากเมื่อเทียบกับโครงสร้างแบบดั้งเดิม ส่งผลให้สามารถลดกำลังงานที่ต้องใช้ลงสำหรับวงจรออปแอมป์ลงได้อย่างมาก

**7.2 เทคนิคสวิตช์-ตัวต้านทานแบบสองชุด**




***รูปที่ 7.4*** วงจรอินทิเกรเตอร์แบบสวิตช์-ตัวต้านทานสองชุด

วงจรอินทิเกรเตอร์แบบสวิตช์-ตัวต้านทานสองชุดแสดงดังในรูปที่ 7.4 จะเห็นได้ว่ากระแสที่ไหลเข้าสู่ตัวเก็บประจุเกิดจากการไหลผ่านตัวต้านทานพาสซิฟ 2 ค่าที่สลับกันนำกระแสผ่านการเปิด-ปิดของสวิตช์ที่ต่ออนุกรมอยู่ ปริมาณกระแสเฉลี่ยจึงถูกควบคุมด้วยการปรับเปลี่ยนค่ารอบเวลาทำงานของสัญญาณนาฬิกา ส่งผลให้เสมือนหนึ่งว่าค่าความต้านทานประสิทธิผล เปลี่ยนแปลงได้ และทำให้ช่วงความถี่ตัดของวงจรกรองสัญญาณถูกปรับเปลี่ยนไปด้วยเช่นกัน [8]




(ก) (ข)

***รูปที่ 7.5*** สวิตช์-ตัวต้านทานสองชุด (ก) แบบดั้งเดิม (ข) แบบปรับปรุง

จากวงจรอินทิเกรเตอร์แบบสวิตช์-ตัวต้านทานสองชุดในรูปที่ 7.4 เมื่อแยกพิจารณาเฉพาะส่วนสวิตช์-ตัวต้านทานจะได้ดังรูปที่ 7.5(ก) ซึ่งหากกำหนดให้ $R_{2A}$ มีขนาดเป็น $k$ เท่าของ $R_{1A}$ แล้วจะทำให้ได้ค่าความต้านทานประสิทธิผล $R_{\text{eff}}$ ของระบบเป็น

$$R_{eff} = \frac{k \cdot R_{1A}}{(k-1)\cdot d + 1} \tag{7.7}$$

เมื่อกำหนดให้ $d$ คือค่ารอบเวลาทำงานของสัญญาณนาฬิกาควบคุม $\Phi$ และเมื่อกำหนดให้ค่าความต้านทานกลางเกิดขึ้นเมื่อค่ารอบเวลาทำงานอยู่ที่ 50% หรือ $d$ = 0.5 จะสามารถหาช่วงการเปลี่ยนแปลงค่าความต้านทานด้วยการปรับค่ารอบเวลาทำงานของสัญญาณนาฬิกาได้เป็น

$$\Delta R_{eff}(\pm\%) = \frac{(k-1)\cdot 0.5 + 1}{(k-1)\cdot (d_{\max/\min} - 0.5)} \times 100\% \tag{7.8}$$

เมื่อ $d_{\max/\min}$ คือค่ารอบเวลาทำงานสูงสุดหรือต่ำสุดของสัญญาณนาฬิกา

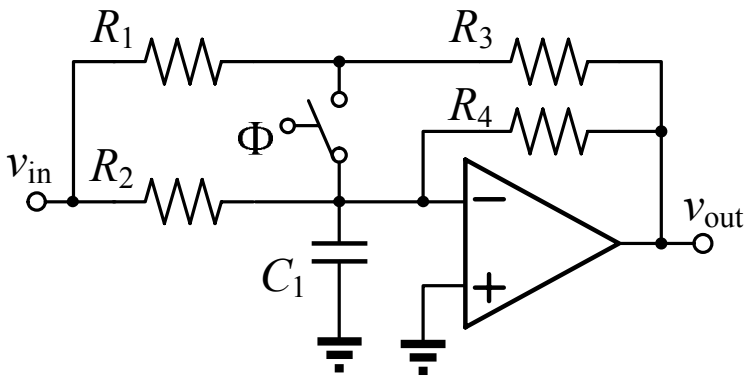
จุดหนึ่งที่สังเกตได้จากชุดสวิตช์-ตัวต้านทานในรูปที่ 7.5(ก) คือ จำเป็นต้องใช้สัญญาณนาฬิกาควบคุม 2 ชุดทำงานสลับกันและไม่มีช่วงที่ซ้อนทับกัน (non-overlapping clock) ซึ่งเป็นการเพิ่มความยุ่งยากในการออกแบบระบบควบคุม จึงได้นำเสนอชุดสวิตช์-ตัวต้านทานแบบปรับปรุงดังรูปที่ 7.5(ข) ซึ่งลดการใช้สัญญาณนาฬิกาลงเหลือเพียงชุดเดียวเท่านั้น โดยในขณะที่สัญญาณนาฬิกาเป็น “0” จะมีกระแสไหลผ่านเฉพาะตัวต้านทาน $R_{2B}$ แต่เมื่อสัญญาณนาฬิกาเป็น “1” จะมีกระแสไหลผ่านตัวต้านทาน $R_{1B}$ และ $R_{2B}$ พร้อมกัน จึงเสมือนหนึ่งมีกระแสไหลผ่านตัวต้านทาน 2 ค่า เช่นเดียวกันกับวงจรในรูปที่ 7.5(ก) นั่นเอง

ในกรณีที่ต้องการออกแบบให้วงจรในรูปที่ 7.5(ข) มีคุณสมบัติเหมือนกับวงจรในรูปที่ 7.5(ก) สามารถทำได้ด้วยการกำหนดให้ $R_{2B} = R_{2A}$ และ $R_{1B} // R_{2B} = R_{1A}$ ซึ่งจะทำให้ได้ความสัมพันธ์ของค่าความต้านทาน เป็น

$$R_{1B} = \frac{k}{k-1} \cdot R_{1A} \tag{7.9}$$

วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองปลายออกด้านเดียวแบบสวิตช์-ตัวต้านทานสองชุดแสดงดังรูปที่ 7.6 เมื่อพิจารณาออปแอมป์ว่ามีฟังก์ชันถ่ายโอนเป็นแบบโพลเดี่ยวดังสมการ (7.1) มีโครงสร้างภายในเป็นแบบสองภาคพื้นฐานและมีคุณสมบัติเช่นเดียวกับในกรณีเทคนิคสวิตช์ตัวต้านทานชุดเดียวในตอนที่ 7.1 จะพบว่าวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองแบบสวิตช์-ตัวต้านทานสองชุดจะมีฟังก์ชันถ่ายโอนแรงดันดังสมการ

$$H_{LP}(s) = -\frac{\dfrac{m^2}{A_g{}^2 R_1^2 C_1 C_C}}{s^2 + s\cdot\dfrac{m(R_1+R_3)}{R_1 R_3 C_1} + \dfrac{m^2}{A_g R_1 R_3 C_1 C_C}} \tag{7.10}$$




***รูปที่ 7.6*** วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองกำลังงานต่ำแบบสวิตช์-ตัวต้านทานสองชุด

ซึ่งมีความใกล้เคียงกับฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองแบบสวิตช์-ตัวต้านทานชุดเดียวในสมการ (7.2) อย่างมาก โดยมีตัวแปรหลักที่แตกต่างคือตัวแปรการปรับค่าด้วยรอบสัญญาณนาฬิกา

$$m = \frac{(k-1)\cdot d + 1}{k-1} \tag{7.11}$$

สำหรับค่าองค์ประกอบที่สำคัญได้แก่ อัตราขยายไฟตรง $A_{\text{LP}}$ ค่าความถี่ตัด $f_{\text{LP}}$ และค่าองค์ประกอบคุณภาพ $Q_{\text{LP}}$ ของวงจรกรองสัญญาณแสดงได้ดังสมการ

$$A_{LP} = \frac{R_3}{R_1} = \frac{R_4}{R_2} = n \tag{7.12}$$

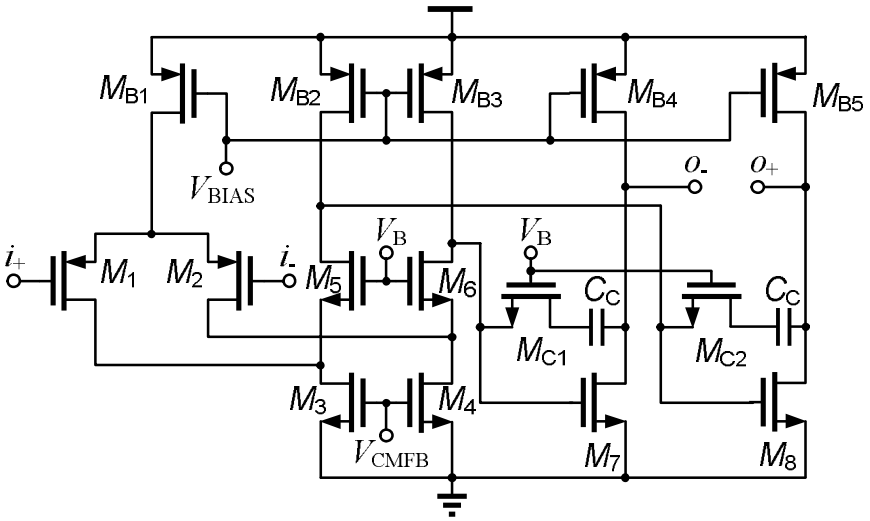
$$f_{\text{LP}} = \frac{m}{2\pi}\cdot\sqrt{\frac{1}{A_{\text{g}}R_1R_3C_1C_{\text{C}}}} \tag{7.13}$$

$$Q_{\text{LP}} = \frac{1}{1+A_{\text{LP}}}\cdot\sqrt{\frac{A_{\text{LP}}}{A_{\text{g}}}\cdot\frac{C_1}{C_{\text{C}}}} \tag{7.14}$$

ซึ่งมีความสอดคล้องกับสมการ (7.3) – (7.5) อย่างมาก

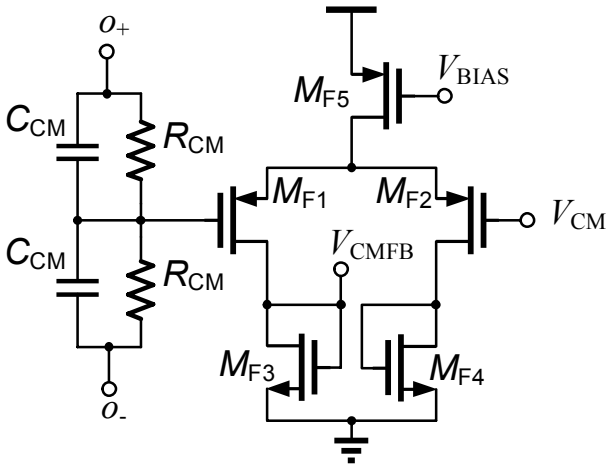
และเมื่อทำการวิเคราะห์จะพบว่าค่าความถี่ที่อัตราขยายเป็นหนึ่ง $f_{\text{u}}$ ของออปแอมป์จะแปรผันตรงกับค่าความถี่ตัดของวงจรกรองสัญญาณ $f_{\text{LP}}$ เช่นเดียวกันกับสมการ (7.6) ซึ่งมีค่าน้อยลงมากเมื่อเทียบกับโครงสร้างแบบดั้งเดิม

**7.3 วงจรออปแอมป์ที่เลือกใช้**

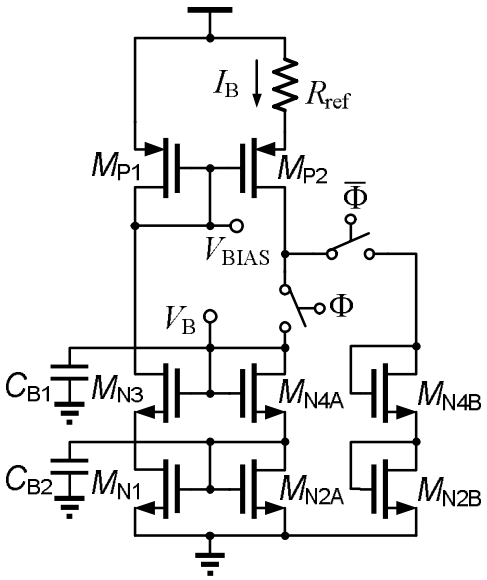



***รูปที่ 7.7*** วงจรออปแอมป์สองภาคแบบคาสโคดพับปลายเปิดสองด้าน

สำหรับวงจรออปแอมป์แบบสองภาคที่เลือกใช้จะเป็นโครงสร้างแบบคาสโคดพับ (folded cascode) และเป็นแบบปลายเปิดสองด้านดังแสดงในรูปที่ 7.7 เพื่อเพิ่มสมรรถนะช่วงขนาดสัญญาณแรงดันมากยิ่งขึ้น โดยวงจรป้อนกลับโหมดร่วมสำหรับทำหน้าที่ผลิตแรงดัน $V_{CMFB}$ มาควบคุมไบอัสของวงจรเป็นแบบต่อเนื่องทางเวลาแบบทั่วไปดังแสดงในรูปที่ 7.8 [9]




***รูปที่ 7.8*** วงจรขยายสำหรับการป้อนกลับเพื่อควบคุมโหมดผลร่วม




***รูปที่ 7.9*** วงจรไบอัสและปรับค่าอัตราขยายความนำภาคหน้าสำหรับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานชุดเดียว

ส่วนแรงดัน $V_{\mathrm{BIAS}}$ จะถูกสร้างขึ้นโดยวงจรปรับค่าอัตราขยายความนำแบบสวิตช์-ตัวต้านทาน ซึ่งพัฒนามาจากโครงสร้างของวงจรไบอัสค่าความนำคงที่เป็นพื้นฐาน [9] และจะมีความแตกต่างกันระหว่างเทคนิคสวิตช์-ตัวต้านทานแบบชุดเดียวกับแบบสองชุด โดยวงจรปรับค่าอัตราขยายความนำสำหรับเทคนิคสวิตช์-ตัวต้านทานชุดเดียวแสดงดังในรูปที่ 7.9 ทรานซิสเตอร์ $M_{\mathrm{P1}}$ และ $M_{\mathrm{P2}}$ ต่อร่วมกับตัวต้านทาน $R_{\mathrm{ref}}$ ทำหน้าที่กำหนดค่ากระแสไบอัส $I_{\mathrm{B}}$ ดังความสัมพันธ์

$$I_B R_{ref} = V_{SG,P1} - V_{SG,P2} \tag{7.16}$$

และเมื่อออกแบบให้ขนาดของมอสทรานซิสเตอร์ $(\mathrm{W/L})_{\mathrm{P1}} = p.(\mathrm{W/L})_{\mathrm{P2}}$ เมื่อ $p$ เป็นค่าคงที่ ความต้านทาน $R_{\mathrm{ref}}$ มีค่าเท่ากับ $R_1$ ในรูปที่ 7.2 และชุดวงจรสะท้อนกระแสแบบคาสโคด $M_{\mathrm{N1}} - M_{\mathrm{N4}}$ ทำงานได้อย่างสมบูรณ์แล้ว จะสามารถพิสูจน์ได้ว่าค่ากระแสไบอัสของวงจรมีค่าเป็น

$$I_B = \frac{2}{\mu_P C_{OX} (W/L)_{P2}} \cdot \left( \frac{1}{\sqrt{p}} - 1 \right)^2 \cdot \left( \frac{m}{R_1} \right)^2 \tag{7.17}$$

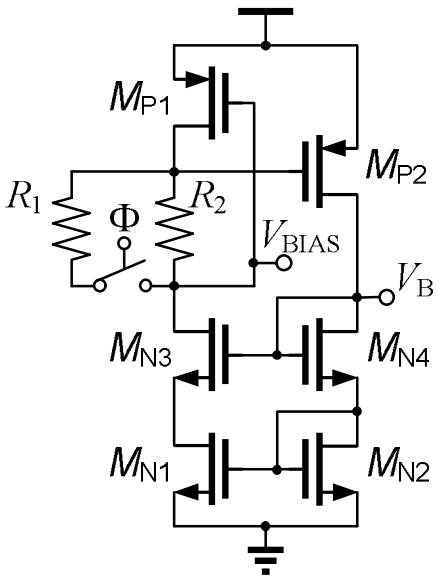
โดยชุดสวิตช์ 2 ตัวที่ถูกควบคุมด้วยสัญญาณนาฬิกาแบบไม่ซ้อนทับกัน $\Phi$ และ $\overline{\Phi}$ จะทำหน้าที่ตัดต่อกระแสที่ไหลในวงจรเพื่อทำให้ค่ากระแสไบอัสแปรผันตาม $(\mathrm{m}/R_1)^2$ ส่วนชุดมอสทรานซิสเตอร์ $M_{\mathrm{N2B}}$ และ $M_{\mathrm{N4B}}$ จะมีขนาดเท่าชุดมอสทรานซิสเตอร์ $M_{\mathrm{N2A}}$ และ $M_{\mathrm{N4A}}$ ทำหน้าที่เป็นภาระจำลองให้กับทรานซิสเตอร์ $M_{\mathrm{P2}}$ เพื่อไม่ให้เกิดสภาวะกระแสถูกตัดขาดทันทีทันใด และตัวเก็บประจุ $C_{\mathrm{B1}} - C_{\mathrm{B2}}$ ทำหน้าที่ปรับระดับแรงดันและกระแสไบอัสให้มีความราบเรียบเพียงพอต่อการนำไปใช้งาน

เมื่อนำแรงดัน $V_{BIAS}$ ที่ได้จากวงจรในรูปที่ 7.9 ไปป้อนให้กับวงจรในรูปที่ 7.7 และ 7.8 และหากกำหนดให้ขนาดของมอสทรานซิสเตอร์ $(W/L)_{B1} = 2.(W/L)_{1,2} = a.(W/L)_{P2}$ เมื่อ $a$ เป็นค่าคงที่แล้วละก็ จะสามารถพิสูจน์ได้ว่าค่าอัตราขยายความนำส่งผ่านภาคแรกจะมีค่าเป็น $g_{m1} = m/(A_g.R_1)$ ตามที่ต้องการ โดยที่

$$A_g = \frac{1}{a} \cdot \frac{\sqrt{p}}{1-\sqrt{p}} \tag{7.18}$$

นอกจากนี้ตัววงจรไบอัสยังทำหน้าที่สร้างแรงดันเพื่อไบอัสให้กับ คาสโคดมอสทรานซิสเตอร์ $M_5 - M_6$ และมอสทรานซิสเตอร์ชดเชยทางความถี่ $M_{C1} - M_{C2}$ ในวงจรรูปที่ 7.7 อีกด้วย ซึ่งหากกำหนดให้ $(W/L)_{N2} = (W/L)_{N4}$ และ $(W/L)_{B4,B5} = b.(W/L)_{P2}$ เมื่อ $b$ เป็นค่าคงที่ ก็จะสามารถหาค่าขนาดของมอสทรานซิสเตอร์ $M_{C1} - M_{C2}$ ได้ดังสมการ

$$(W/L)_{C1,C2} = \frac{(W/L)_{7,8}}{\sqrt{\frac{4}{b}} \cdot \sqrt{\frac{(W/L)_{7,8}}{(W/L)_{N2,N4}}} - 1} \tag{7.19}$$




***รูปที่ 7.10*** วงจรไบอัสและปรับค่าอัตราขยายความนำภาคหน้าสำหรับวงจรกรองสัญญาณแบบสวิตช์-ตัวต้านทานสองชุด

สำหรับวงจรปรับค่าอัตราขยายความนำสำหรับเทคนิคสวิตช์-ตัวต้านทานสองชุดแสดงดังในรูปที่ 7.10 ประกอบด้วยทรานซิสเตอร์ $M_{P1}$ และ $M_{P2}$ ต่อร่วมกับตัวต้านทาน $R_1$, $R_2$ และสวิตช์ที่ควบคุมด้วยสัญญาณนาฬิกา $\Phi$ และวงจรสะท้อนกระแสแบบคาสโคด $M_{N1} - M_{N4}$ ทำหน้าที่กำหนด

ค่ากระแสไบอัส $I_B$ โดยค่าความต้านทานจะเลือกตามวงจรกรองสัญญาณ และแม้จะมีความแตกต่างจากวงจรสำหรับเทคนิคสวิตช์-ตัวต้านทานชุดเดียวในรูปที่ 7.9 แต่ก็จะให้ความสัมพันธ์เหมือนเช่นเดียวกันทุกประการ ตามเงื่อนไขและสมการ (7.16) – (7.19) เมื่อ ค่า $m$ เป็นตามสมการ (7.11)

**7.4 เอกสารอ้างอิง**


[1] B. Debaillie *et.al.*, "Analog/RF Solutions Enabling Compact Full-Duplex Radios," *IEEE J. Selected Areas in Communications*, vol. 32, no. 9, pp. 1162–1673, Jun. 2014.

[2] A. M. Durham, J. B. Hughes, and W. Redman-White, "Circuit architectures for high linearity monolithic continuous-time filtering," *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 39, no. 9, pp. 651–657, Sep. 1992.

[3] S. Pavan, Y. P. Tsividis, and K. Nagaraj, "Widely Programmable High-Frequency Continuous-Time Filters in Digital CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 35, no. 4, pp. 503–511, Apr. 2000.

[4] T. EL-Zomor, E. A. Soliman, and S. A. Mahmoud, "Reconfigurable baseband chain for Software-Defined Radio receivers," in *Proc. Int. Conf. Microelectronics*, 2009, pp. 276–279.

[5] A. Jiraseree-amornkun, A. Woraphishet, E.A.M. Klumperink, B. Nauta, and W. Surakampontorn, "Theoretical Analysis of Highly Linear Tunable Filters using Switched-Resistor Technique," *IEEE Trans. on Circuits Syst. I*, vol. 55, no. 11, pp.1508-1514, Dec. 2008.

[6] S. D'Amico, V. Gianini, and A. Baschirotto, "A 4th-Order Active-Gm-RC Reconfigurable (UMTS/WLAN) Filter," *IEEE J. Solid-State Circuits*, vol. 41, no. 7, pp. 1630–1637, Jul. 2006.

[7] F. Xianging, Z. Lei, and Z. Chisheng, "An Active-gm-RC Structured CMOS Analog Filter with Time Constant Auto-Tuning," in *Proc. Int. Wireless Commu. Networking and Mobile Computing*, 2010, pp. 1–4.

[8] A. Jiraseree-amornkun and W. Surakampontorn, "Low-power fine-tuning switched-resistor reconfigurable filter," in *Proc. IEEE Symp. Circuits Syst.*, Melbourne, Australia, June 2014, pp. 2101–2104.

[9] B. Razavi, "Design of Analog CMOS Integrated Circuit" Los Angeles: University of California, 2001.

**Output จากโครงการวิจัยที่ได้รับทุนจาก สกว.**

---

1. ผลงานตีพิมพ์ในวารสารวิชาการนานาชาติ

   จะได้ทำการส่งต้นฉบับบทความ ชื่อ “Low-Power Fine-Tuning Biquadratic Low-Pass Filters using Switched-Resistor Techniques” ไปยังวารสาร Microelectronics Journal

2. การนำผลงานวิจัยไปใช้ประโยชน์

   - เชิงวิชาการ องค์ความรู้ที่ได้จากงานวิจัยในโครงการนี้ ได้ถูกนำไปถ่ายทอดในการเรียนการสอนวิชาการออกแบบวงจรรวมเชิงแอนะล็อก และมีการบรรยายให้บุคคลทั่วไปผู้สนใจด้านการออกแบบวงจรรวมและวงจรกรองสัญญาณ

3. อื่นๆ คือผลงานตีพิมพ์ในที่ประชุมวิชาการระดับนานาชาติ ดังนี้

   - A. Jiraseree-amornkun and W. Surakampontorn, “Low-power fine-tuning switched-resistor reconfigurable filter,” in Proceedings of the 2014 IEEE International Symposium on Circuits and Systems (ISCAS 2014), Melbourne, Australia, June 2014, pp. 2101 – 2104.