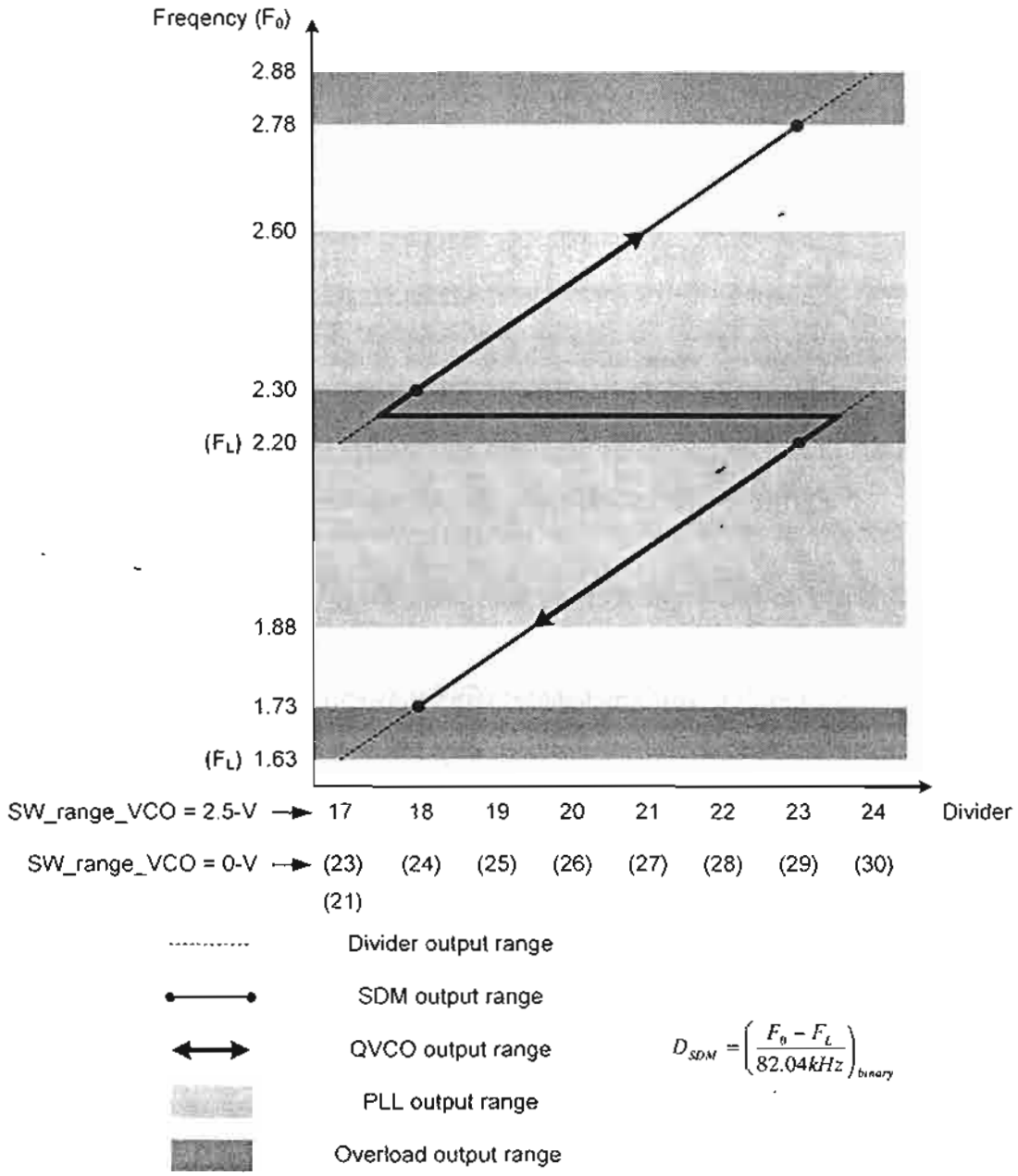
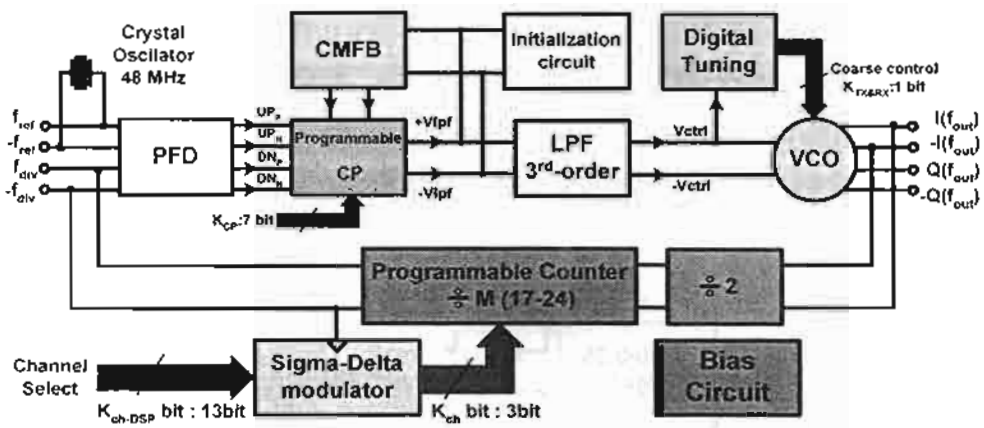
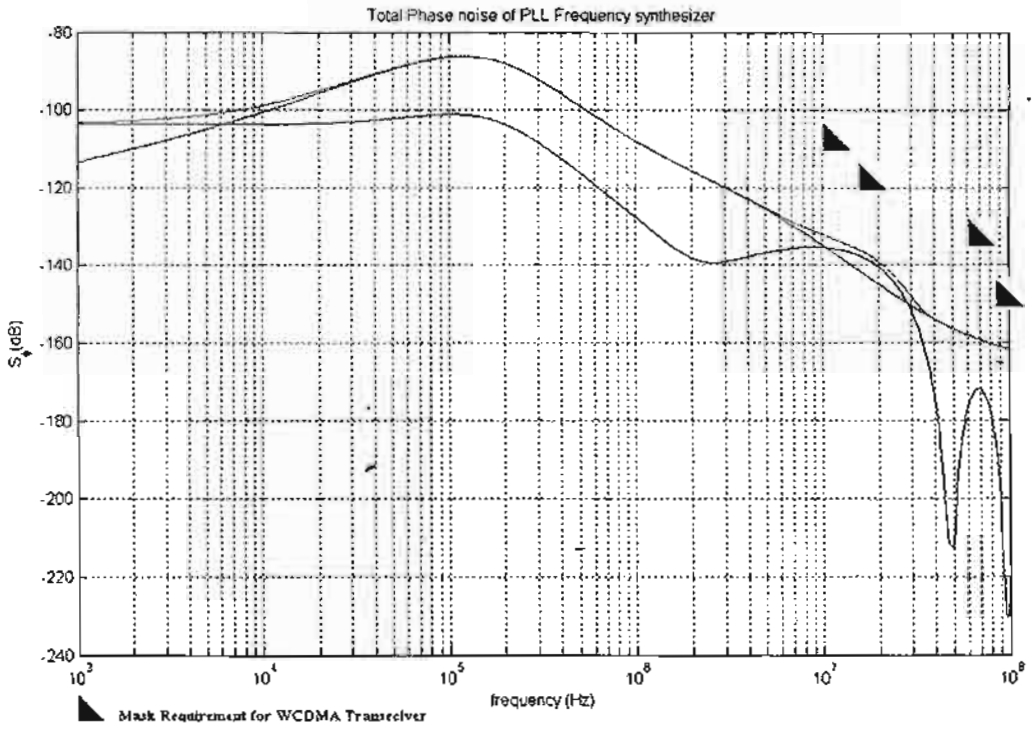


รูปที่ 6.5 คุณสมบัติทางความถี่ของวงจรแอนะลอก PLL ที่ทำการออกแบบ

การจำลองการทำงานของ Phase noise ด้วยโปรแกรม MATLAB จากรูปที่ 6.7 แสดงผลการจำลองการทำงานของวงจรสังเคราะห์ความถี่ระบบ WCDMA ในรูปที่ 6.6 ด้วยโปรแกรม MATLAB กำหนดให้ความถี่คัทออฟของวงจรเท่ากับ -160kHz และแสดงผลการ margin จากสเปคของระบบ WCDMA ไว้อย่างน้อยสุดประมาณ -15dB.



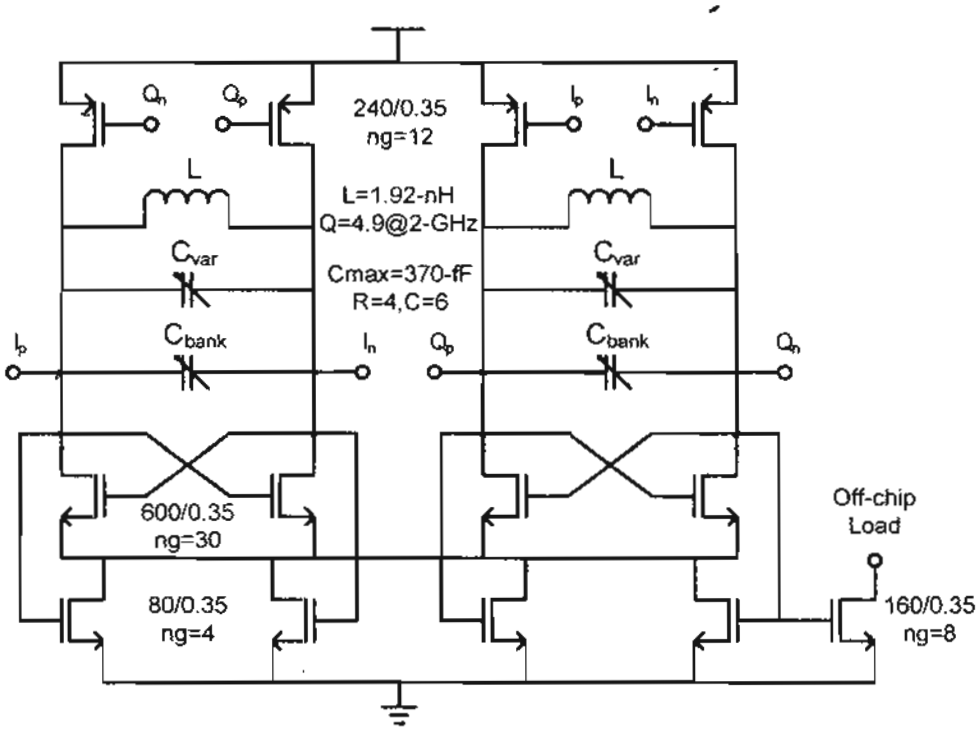
รูปที่ 6.6 บล็อกไดอะแกรมของวงจรสังเคราะห์ความถี่ระบบ WCDMA



รูปที่ 6.7 ผลการจำลอง phase noise ของวงจรสังเคราะห์ความถี่ระบบ WCDMA

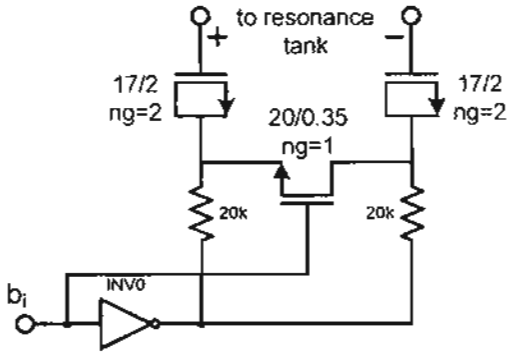
6.2 วงจรออสซิลเลเตอร์ (Quadrature Voltage Controlled Oscillator)

โครงสร้างของวงจร QVCO ที่ใช้จะต้องมีขนาดการแกว่งสัญญาณเอาท์พุตที่สูง และจะต้องมีค่ากำลังงานสัญญาณรบกวนเอาท์พุตที่ต่ำ (Low-phase noise) เพื่อช่วยลดความซับซ้อนของการออกแบบวงจรหารความถี่เท่ากับ 2 โดยโครงสร้างของวงจร QVCO ที่ใช้แสดงดังรูปที่ 6.8 โดยเทคนิคที่ใช้สำหรับเพิ่มค่า Q ให้กับวงจรเรโซเนเตอร์ [6.3] และเทคนิคที่ใช้สำหรับลดค่ากำลังงานสัญญาณรบกวน [6.4] ซึ่งข้อดีที่สำคัญมากประการหนึ่งจากการประยุกต์รวมกันของเทคนิคการออกแบบวงจร QVCO ทั้งสองนั้น จะช่วยให้ค่าการแกว่งสัญญาณเอาท์พุตมีค่ามากขึ้นทำให้การออกแบบวงจรหารค่าความถี่เท่ากับ 2 สำหรับการหารค่าความถี่สูงมากทำได้ง่าย และใช้กำลังงานสูญเสียลดลงอีกด้วย



รูปที่ 6.8 วงจร Quadrature voltage controlled oscillator

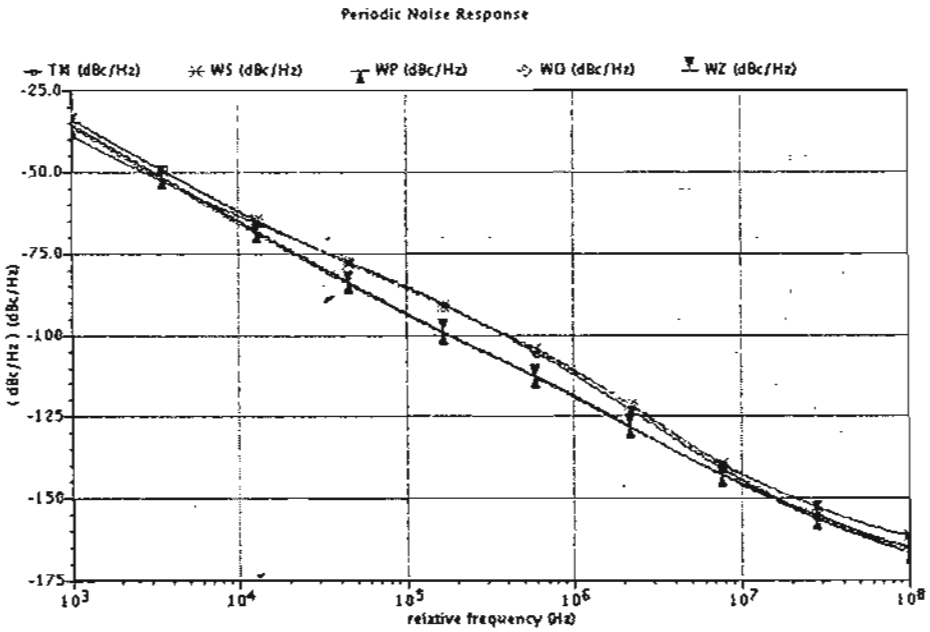
โดยทั่วไปการประยุกต์ใช้วงจร QVCO กับช่วงความถี่สัญญาณเอาท์พุตที่กว้างนั้น จะต้องการคุณสมบัติค่าอัตราขยายเชิงความถี่ที่สูง (High-gain VCO : K) จึงต้องการตัวเก็บประจุแบบปรับค่าได้ที่มีค่าสูง (High capacitance of C-tank) จากคุณสมบัตินี้เองจะทำให้วงจร QVCO มีค่าความไวต่อสัญญาณรบกวนที่เกิดจากตัวเก็บประจุสูงตามไปด้วย ซึ่งเทคนิคที่ช่วยลดปัญหาดังกล่าวนี้คือ การประยุกต์ใช้ตัวเก็บประจุค่าคงที่ร่วมกับสวิทช์ เพื่อเพิ่ม-ลดค่าตัวเก็บประจุการเรโซแนนซ์ จากกลไกดังกล่าวจะช่วยลดค่าตัวเก็บประจุแบบปรับค่าได้ ทำให้วงจร QVCO มีค่าความไวต่อสัญญาณรบกวนตัวเก็บประจุลดต่ำลงด้วย[6.5] อย่างไรก็ตามเนื่องจากความต้านทานแฝงภายในตัวทรานซิสเตอร์สวิทช์ จะทำให้ค่าตัวแปรคุณภาพ (Q) ของตัวเก็บประจุลดลงและส่งผลให้ค่าตัวแปรคุณภาพของวงจรเรโซเนเตอร์ลดต่ำลงด้วย



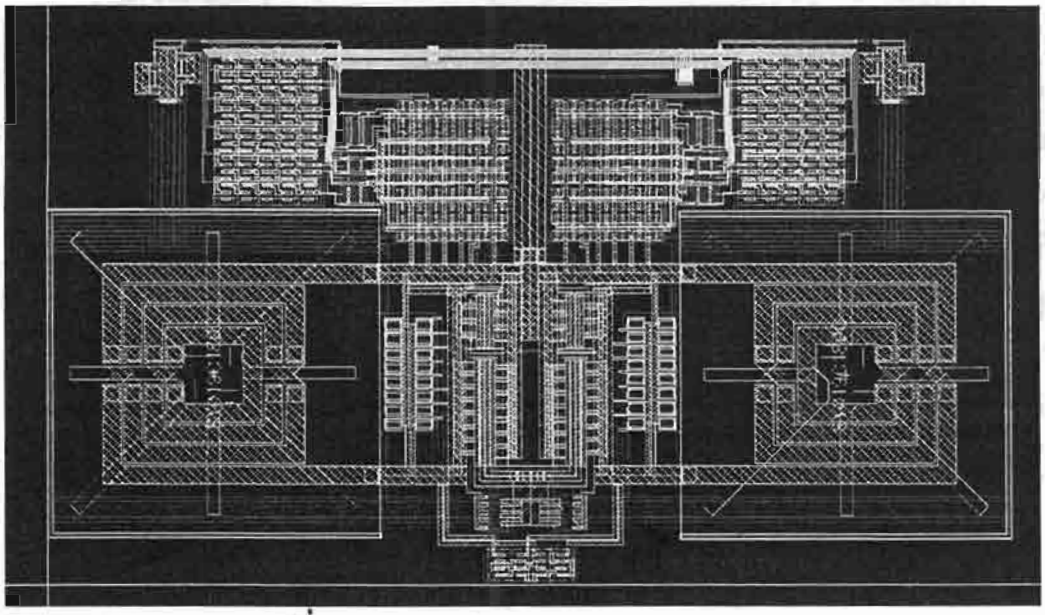
รูปที่ 6.9 วงจรสวิทช์ปรับค่าตัวเก็บประจุคงที่แบบเพิ่มค่าตัวแปรคุณภาพสูง[6.5]

ตารางที่ 6.1 คุณสมบัติการออกแบบวงจรออสซิลเลเตอร์

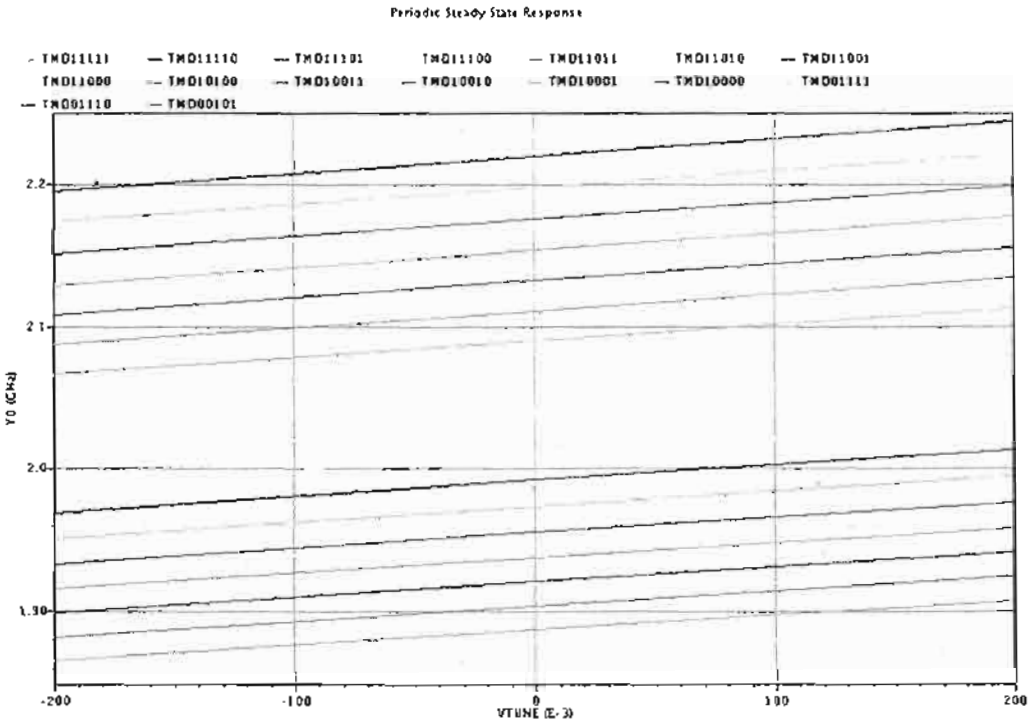
คุณสมบัติ	
แรงดันแหล่งจ่าย	2.5 โวลต์
กระแสการไบอัส	16 มิลลิแอมป์
ช่วงความถี่การทำงาน	1.9-2.5 GHz
ค่ากำลังงานสัญญาณรบกวน (Phase noise)	-114 dBc @ 1-MHz
ตัวเหนี่ยวนำ	L=1.92 nH , Q = 5.3 @ 3 GHz
ค่าอัตราขยายเชิงความถี่	100 MHz / V



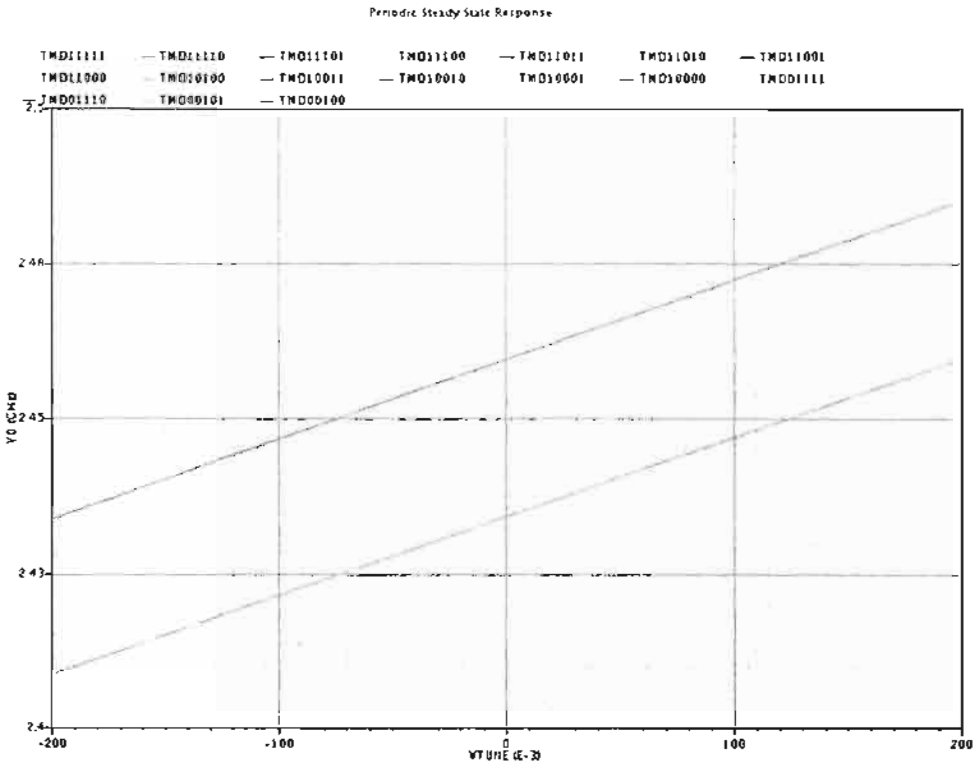
รูปที่ 6.10 ค่ากำลังงานสัญญาณรบกวน (Phase noise) ของวงจร QVCO



รูปที่ 6.11 แผนภูมิกายภาพของวงจร QVCO

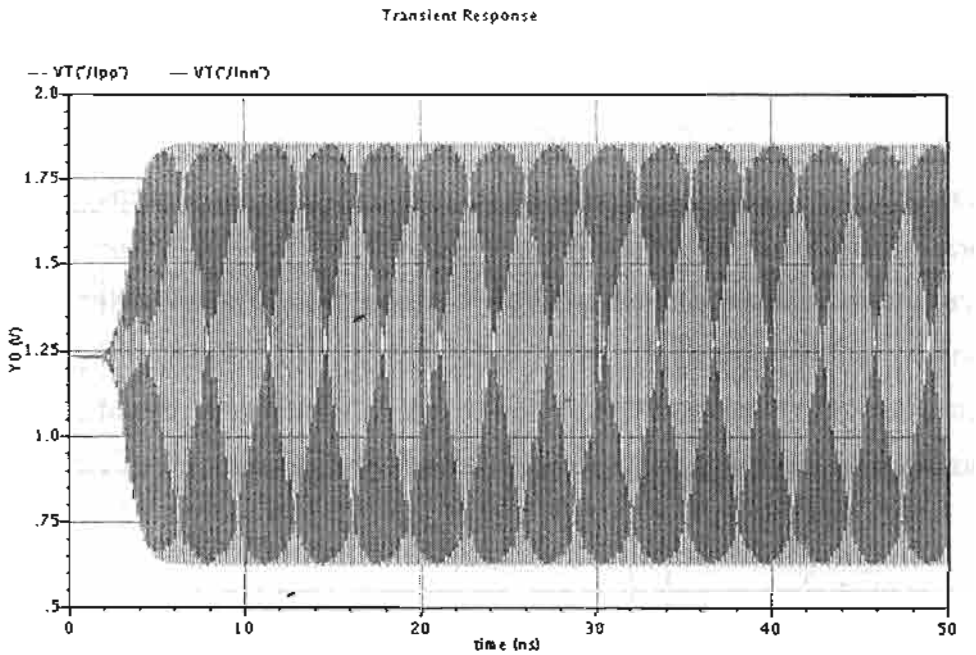


a)



b)

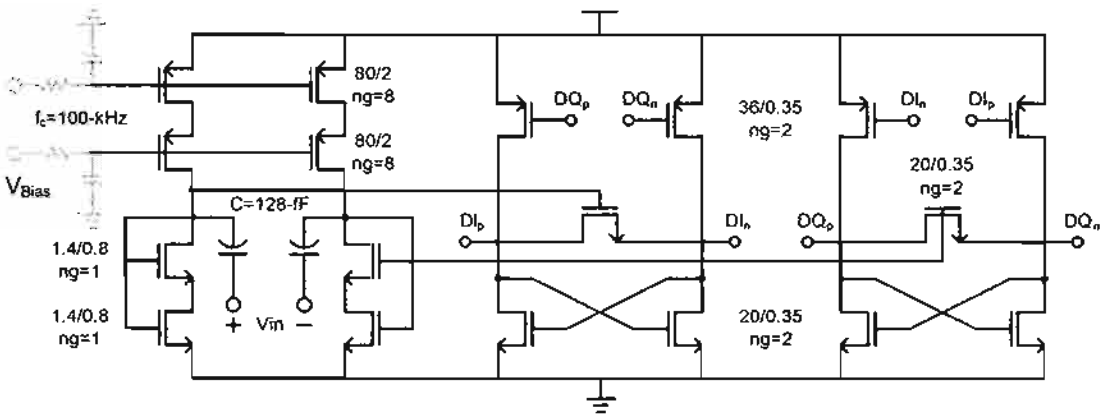
รูปที่ 6.12 คุณสมบัติอัตราขยายเชิงความถี่ a) ย่านความถี่ 2.2-1.9 GHz
b) ย่านความถี่ 2.45 GHz



รูปที่ 6.13 ผลตอบสนองทางเวลาวงจรออสซิลเลเตอร์ (Transient response)

6.2 วงจรหารค่าความถี่เท่ากับ 2 (Divided by two)

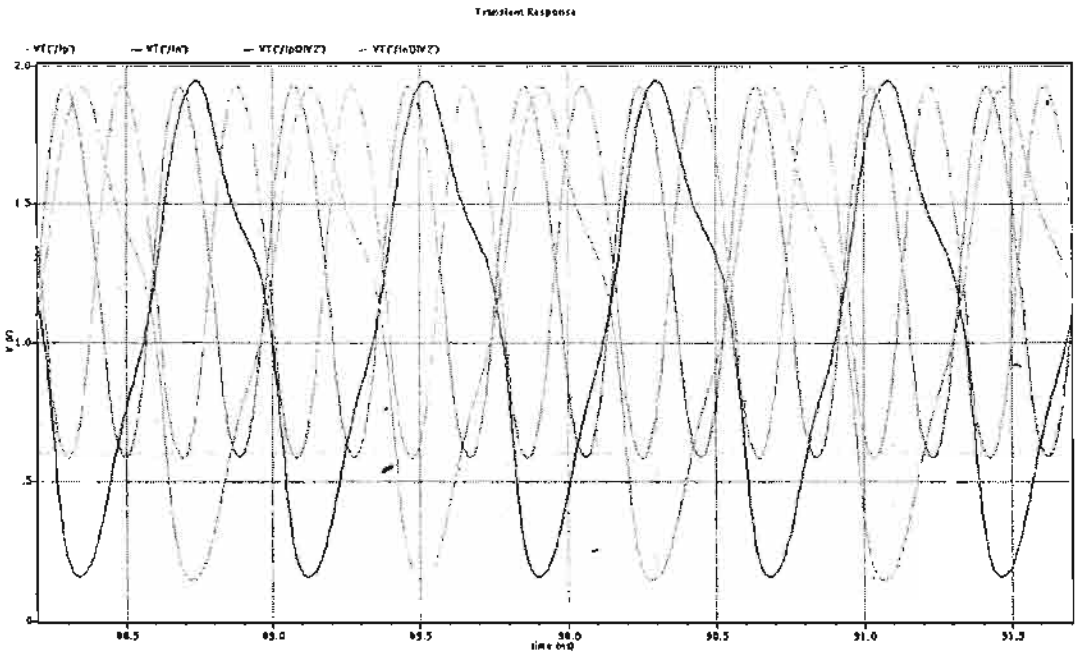
วงจรหารค่าความถี่เท่ากับ 2 ได้นำมาใช้ในวงจรแอนะลอก PLL ซึ่งจะทำการลดค่าความถี่สัญญาณอินพุตของวงจรหารค่าความถี่ (Prescaler) เพื่อลดความซับซ้อนในการออกแบบวงจรเนื่องจากข้อจำกัดทางเทคโนโลยี และช่วยลดค่ากำลังงานสูญเสียในส่วนของวงจรหารค่าความถี่อีกวิธีหนึ่ง อย่างไรก็ตามการประยุกต์ใช้วงจรหารค่าความถี่เท่ากับ 2 ที่ความถี่สูงมากๆก็สามารถทำได้ยากเช่นกัน และการออกแบบวงจรลักษณะนี้ก็จะนำไปสู่การใช้กำลังงานที่สิ้นเปลืองได้อีกด้วย โดยคุณสมบัติของวงจรหารค่าความถี่เท่ากับ 2 ที่ดีนั้นจะต้องมีค่าความไวต่อสัญญาณอินพุตที่สูง เนื่องจากสัญญาณอินพุตของวงจรหารความถี่เท่ากับ 2 คือสัญญาณเอาท์พุตของวงจร VCO ที่ขนาดสัญญาณจะแปรผันกับค่าความถี่ ดังนั้นวงจรหารความถี่เท่ากับ 2 ที่ใช้กับวงจร VCO ที่มีช่วงความถี่สัญญาณเอาท์พุตกว้าง (wide-band VCO) จึงต้องการคุณสมบัติความไวต่อสัญญาณอินพุตที่สูง และคุณสมบัติที่สำคัญอีกประการของวงจรหารความถี่เท่ากับ 2 คือความต้องการค่าการแกว่งสัญญาณเอาท์พุตที่มาก (Output signal swing) เพื่อลดคุณสมบัติในการออกแบบวงจรหารความถี่ในภาคต่อไป ซึ่งโครงสร้างที่สามารถทำงานในลักษณะนี้ได้จะต้องมีการต่อเรียงกันของทรานซิสเตอร์ภาคเอาท์พุตจำนวนน้อย เพื่อเพิ่มช่วงแรงดันการทำงาน (Head-room voltage) ให้กับวงจร ซึ่งวงจรหารค่าความถี่เท่ากับ 2 ที่นำมาประยุกต์ใช้จะมีทรานซิสเตอร์อินพุตทำหน้าที่เป็นเหมือนสวิตช์ เพื่อทำการรีเซตค่าแรงดันเอาท์พุตของวงจรให้มีค่าเท่ากันจึงทำให้เกิดฟังก์ชันการทำงานแบบวงจรหารความถี่เท่ากับ 2 เกิดขึ้น [6.6] โดยการต่อทรานซิสเตอร์ในลักษณะเช่นนี้ จะช่วยลดค่าตัวเก็บประจุที่เอาท์พุตของวงจรหารค่าความถี่เท่ากับ 2 ซึ่งจะทำให้วงจรหารค่าความถี่เท่ากับ 2 สามารถทำงานที่ค่าความถี่สูงขึ้นได้ เนื่องจากกลไกการทำงานของวงจรหารค่าความถี่เท่ากับ 2 จะอาศัยการสวิทช์เพื่อทำการรีเซตแรงดันที่โหนดเอาท์พุต ดังนั้นขนาด input dynamic range ของวงจรหารค่าความถี่เท่ากับ 2 จะสัมพันธ์กับระดับการไบอัสแรงดันที่ขาเกตของทรานซิสเตอร์สวิทช์ ดังนั้นจึงต้องมีวงจรบัฟเฟอร์แรงดันภาคอินพุตเพื่อทำการแยกระดับแรงดันไฟตรงของสัญญาณอินพุตก่อนจะส่งผ่านให้กับวงจรหารค่าความถี่เท่ากับ 2 ซึ่งการปรับค่ากระแสไบอัสโดยการปรับค่าความต้านทานภายนอกของวงจรสร้างกระแสไบอัส จะสามารถปรับระดับแรงดันไฟตรงภาคอินพุตที่ขาเกตของทรานซิสเตอร์สวิทช์ได้ จะสังเกตได้ว่าระดับแรงดันไฟตรงภาคอินพุตจะมีความสำคัญกับกลไกการทำงานของวงจรหารค่าความถี่เท่ากับ 2 ค่อนข้างมาก ดังนั้นการเพิ่มวงจรกรองผ่านความถี่ต่ำสำหรับสัญญาณการไบอัสวงจรบัฟเฟอร์แรงดันจึงมีความจำเป็นอย่างยิ่ง



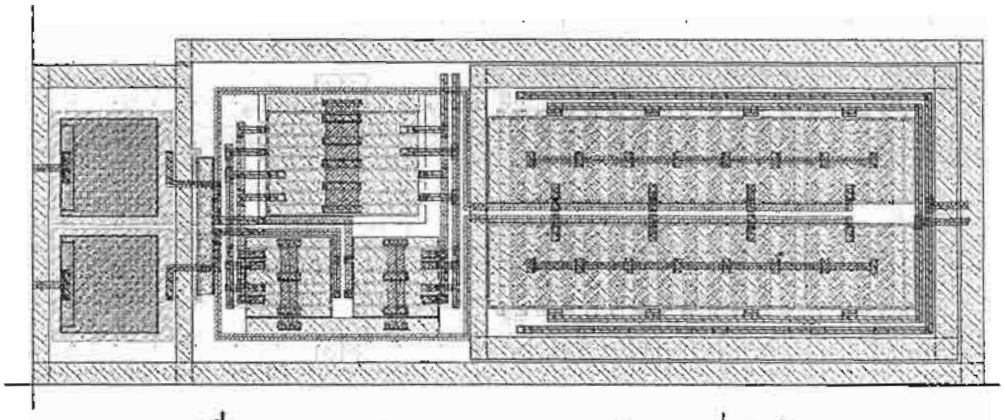
รูปที่ 6.14 วงจรหารค่าความถี่เท่ากับ 2[6.6]

ตารางที่ 6.2 คุณสมบัติการออกแบบวงจรหารค่าความถี่เท่ากับ 2

คุณสมบัติ	
แรงดันแหล่งจ่าย	2.5 โวลต์
กระแสการไบอัส	3.6 มิลลิแอมป์
ช่วงความถี่การทำงาน	1.9-2.5 GHz



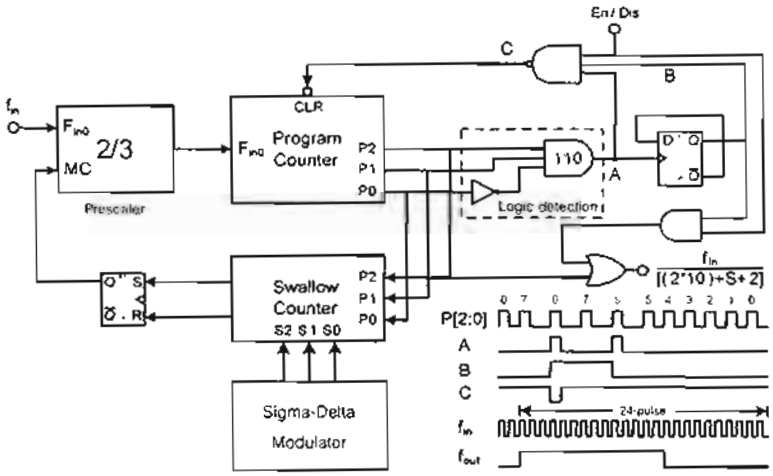
รูปที่ 6.15 ผลตอบสนองทางเวลาวงจรหารค่าความถี่เท่ากับ 2



รูปที่ 6.16 แผนภูมิกายภาพวงจรหารค่าความถี่เท่ากับ 2

6.3 วงจรหารความถี่ (Prescaler)

ในการออกแบบวงจรหารความถี่ให้สามารถทำงานกับสัญญาณที่มีช่วงความถี่กว้างนั้น จะสามารถทำได้ด้วยการเพิ่มส่วนการตรวจจับค่าสัญญาณดิจิตอล (Detector) ที่เอาท์พุตของวงจรนับ (Counter) โดยวงจรตรวจจับค่าสัญญาณดิจิตอลจะทำการรีเซตค่าสัญญาณของวงจรนับ เพื่อให้สามารถนับจำนวนพัลส์ของสัญญาณต่อหนึ่งรอบการเกิด overflow ได้มากขึ้นจึงทำให้วงจรหารความถี่มีค่าการหารที่มากขึ้นได้



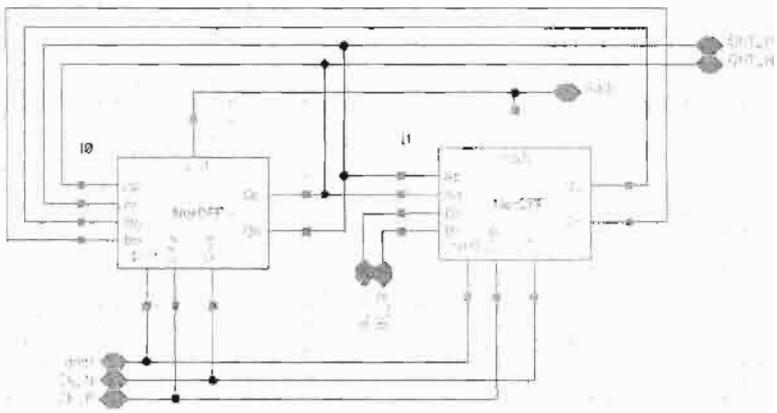
รูปที่ 6.17 วงจรหารความถี่

6.3.1 วงจรหารความถี่ 2/3

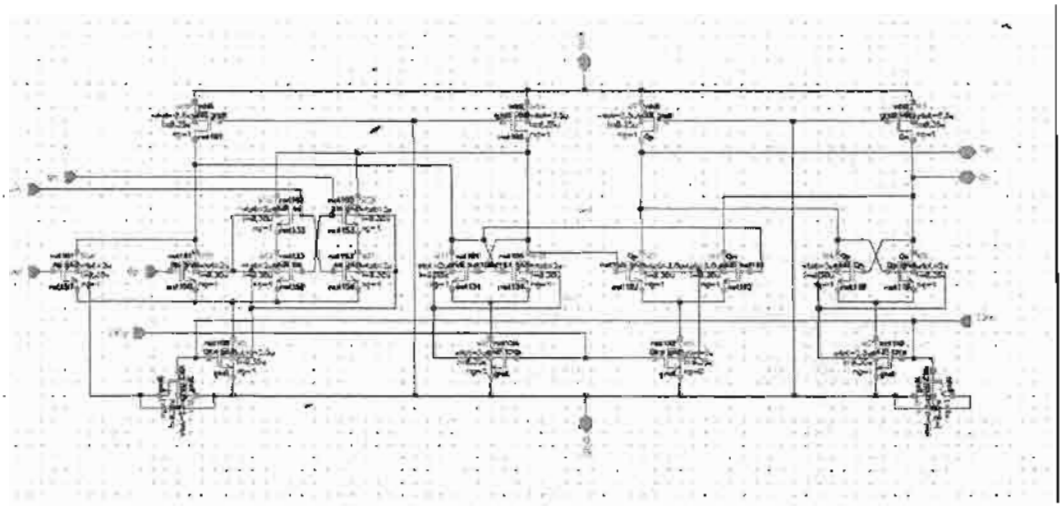
จะประกอบด้วยวงจร NOR gate ที่มีภาคเอาท์พุตเป็นวงจรหน่วยความจำแบบ D-Flip Flop ต่อเรียงกันด้วยวงรอบการป้อนกลับแบบลบดังแสดงในรูปที่ 6.18[6.8] ฟังก์ชันการหารความถี่จะสามารถควบคุมได้ด้วยระดับลอจิกสัญญาณ MC โดย MC=0 เป็นการหารความถี่เท่ากับ 3 และ MC=1 เป็นการหารความถี่เท่ากับ 2

ตารางที่ **6.3** การกำหนดค่าการหารวงจรหารความถี่

สัญญาณควบคุม S	EN = 0 (PN+S)	EN = 1 (P(N+2)+S+2)
000	2·(8) + 1 = 17	2·(8+2) + 1 + 2 = 23
001	2·(8) + 2 = 18	2·(8+2) + 2 + 2 = 24
010	2·(8) + 3 = 19	2·(8+2) + 3 + 2 = 25
011	2·(8) + 4 = 20	2·(8+2) + 4 + 2 = 26
100	2·(8) + 5 = 21	2·(8+2) + 5 + 2 = 27
101	2·(8) + 6 = 22	2·(8+2) + 6 + 2 = 28
110	2·(8) + 7 = 23	2·(8+2) + 7 + 2 = 29
111	2·(8) + 8 = 24	2·(8+2) + 8 + 2 = 30



a)

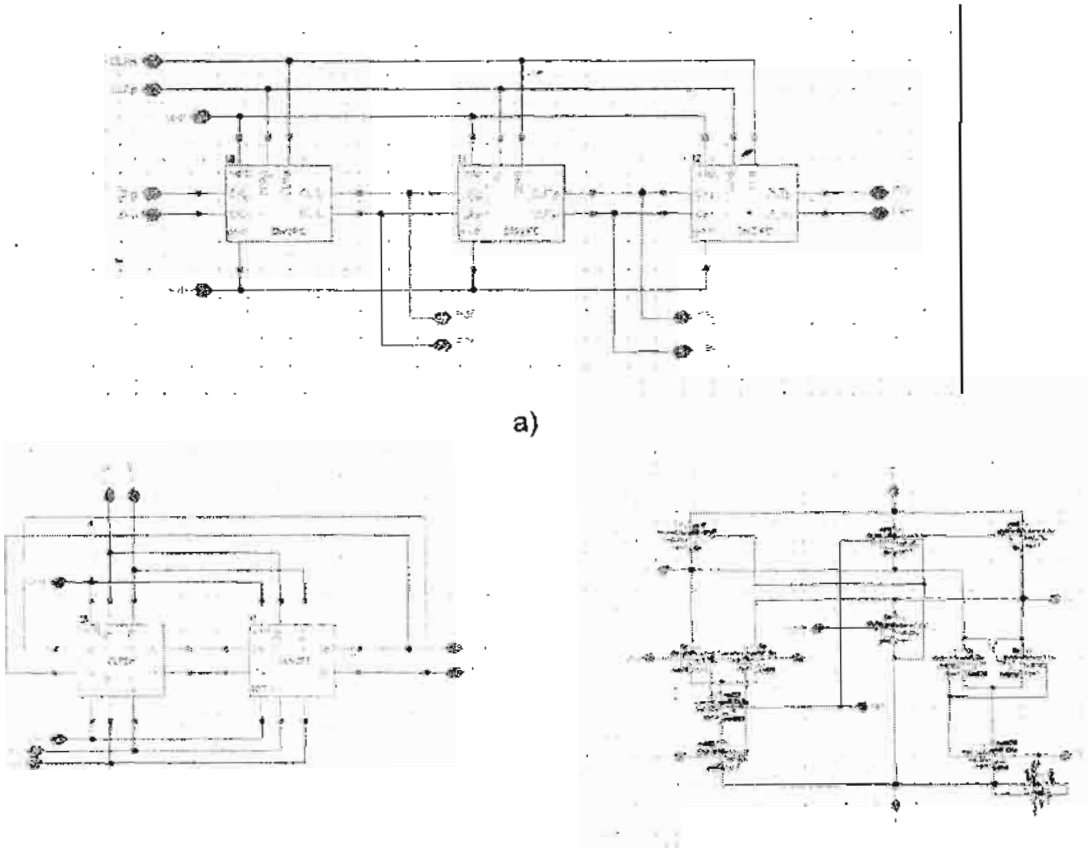


b)

รูปที่ 6.18 a) วงจรหารความถี่ 2/3, b) วงจร NOR gate ที่มีภาคเอาท์พุตเป็นวงจรหน่วยความจำแบบ D-Flip Flop

6.3.2 วงจรนับจำนวนพัลส์ (Program Counter)

วงจรนับจำนวนพัลส์ที่ใช้จะสามารถนับจำนวนได้เท่ากับ 3 บิต ซึ่งโครงสร้างของวงจรนับจำนวนพัลส์ที่ใช้จะสร้างด้วยการต่อเรียงกันของวงจรหารความถี่เท่ากับ 2 โดยการทำงานจะสามารถทำการรีเซตได้ด้วยสัญญาณ CLR ดังแสดงในรูปที่ 6.19 ซึ่งสัญญาณรีเซตจะได้มาจากวงจรตรวจจับสัญญาณ (Detector) เพื่อขยายช่วงการเกิดโอเวอร์โฟลของวงจรนับจำนวนพัลส์ให้มีค่าเท่ากับ 10 เปรียบเสมือนเป็นการเพิ่มจำนวนบิตการนับขึ้นอีก 1 บิต (4-bit counter)



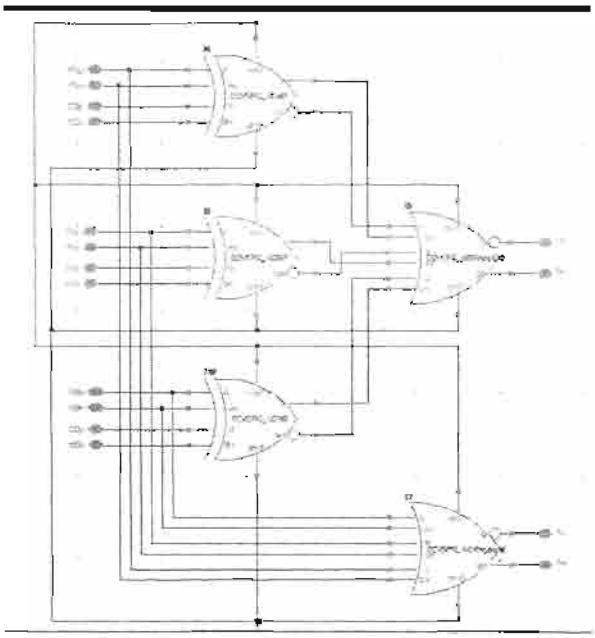
a)

b) c)

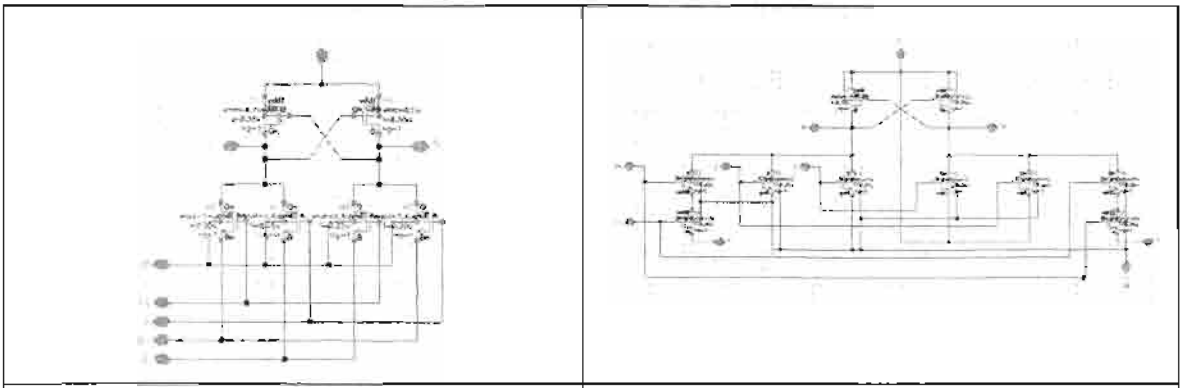
รูปที่ 6.19 a) วงจรนับจำนวนพัลส์ , b) วงจรหารค่าความถี่เท่ากับ 2 ,
c) วงจรรีเซต D-Flip Flop

6.3.3 วงจร swallow counter

วงจร swallow counter เป็นวงจรตรวจจับสถานะการทำงานของวงจรหารความถี่ (Prescaler) เพื่อควบคุมให้ค่าการหารความถี่เป็นตามต้องการ ซึ่งหลักการทำงานจะเป็นการเปรียบเทียบสัญญาณเอาท์พุตจากวงจรนับจำนวนพัลส์กับสัญญาณอินพุตกำหนดค่าการหาร โดยการเปรียบเทียบสัญญาณจะให้ฟังก์ชันของวงจร XOR gate ดังแสดงได้ในรูปที่ 6.20 ซึ่งสัญญาณเอาท์พุตที่ได้จากวงจร swallow counter จะถูกส่งผ่านวงจร RS-Flip Flop ก่อนจะใช้เป็นสัญญาณควบคุมค่าการหารของวงจรหารกค่าความถี่ 2/3 (MC)

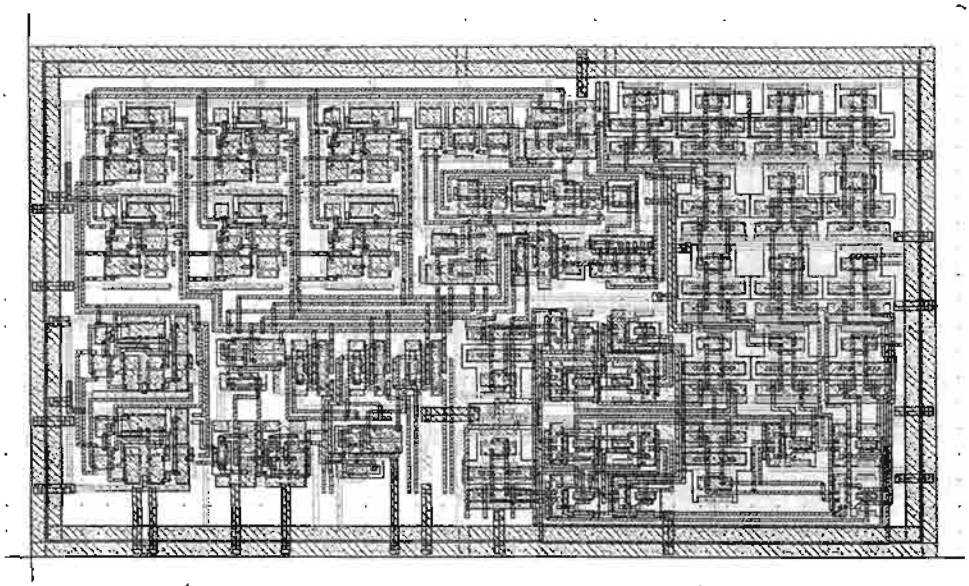


a)

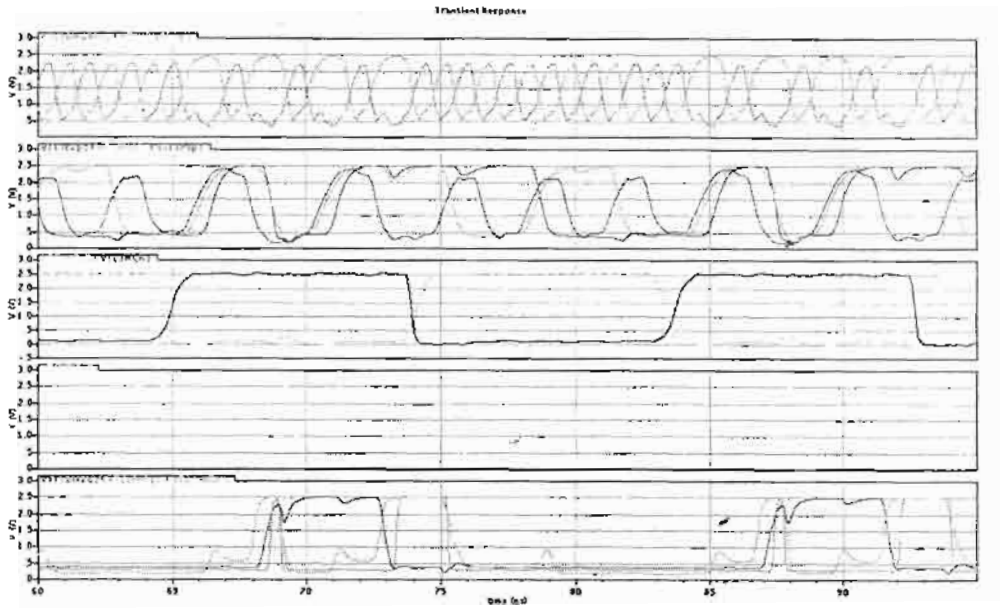


b) c)

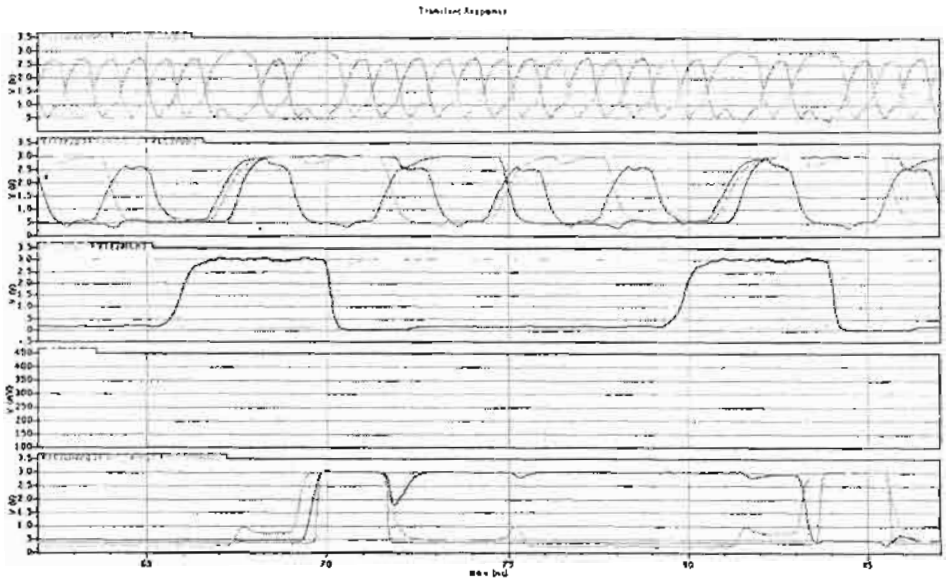
รูปที่ 6.20 a) วงจร swallow counter , b) วงจร XOR gate , c) วงจร NOR gate



รูปที่ 6.21 แผนภูมิกายภาพของวงจรหารความถี่ Prescaler



a)

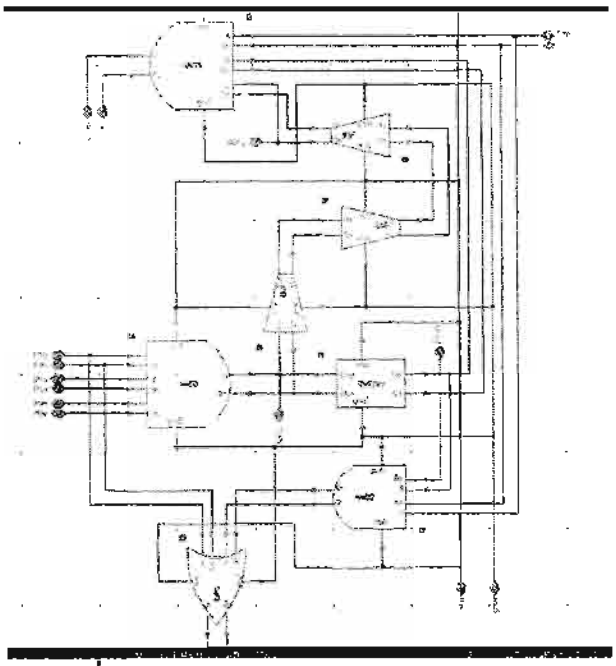


b)

รูปที่ 6.22 ผลตอบสนองทางเวลาวงจรหารความถี่ (S = 001) a) EN = 1, b) EN = 0

6.3.4 วงจรตรวจจับสัญญาณลอจิก (Logic detector)

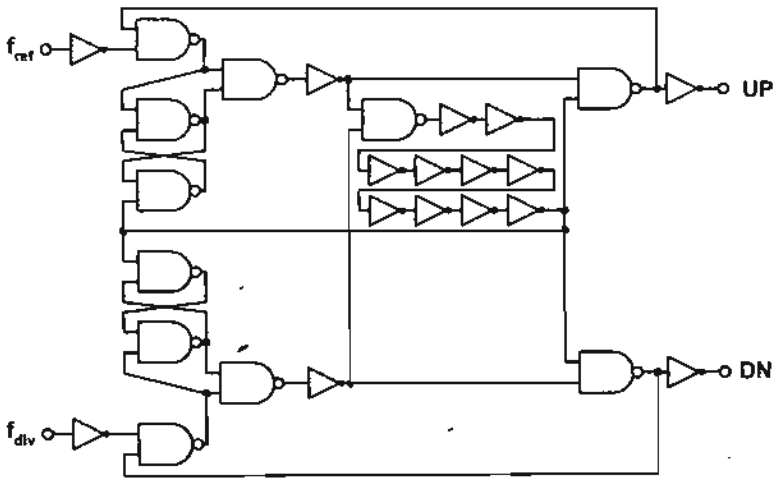
วงจรตรวจจับสัญญาณเป็นวงจรที่จะช่วยเพิ่มช่วงค่าการหารความถี่ให้มีค่ามากขึ้น ดังแสดงไว้ในตารางที่ 6.3 โครงสร้างของวงจรจะประกอบด้วยวงจรลอจิกเกทพื้นฐาน (combinational circuit) ดังแสดงในรูปที่ 3.23 ซึ่งการตรวจจับสัญญาณเอาท์พุตของวงจรนับจำนวนพัลส์จะทำด้วยฟังก์ชันของวงจร AND gate อินพุต 3 บิต



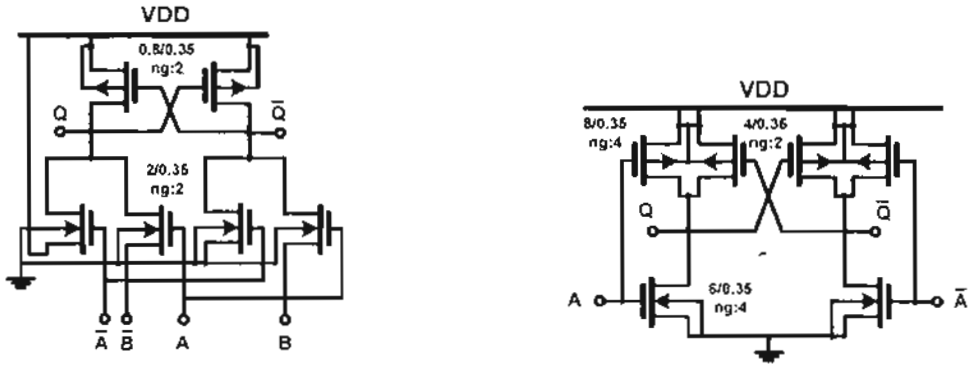
รูปที่ 6.23 วงจรตรวจจับสัญญาณ (Detector)

6.4 วงจร Phase/frequency detector

รูปที่ 6.24 แสดงโครงสร้างวงจร phase/frequency detector ซึ่งประกอบด้วยวงจรเกตพื้นฐาน คือ NAND gate และ INV gate ดังแสดงในรูปที่ 6.25 a) และ 6.25 b)ตามลำดับ



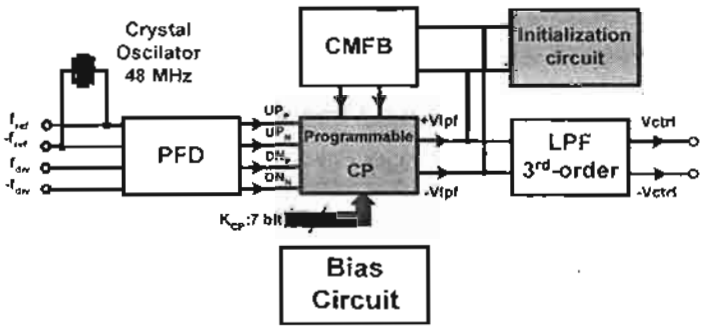
รูปที่ 6.24 โครงสร้างวงจร phase/frequency detector



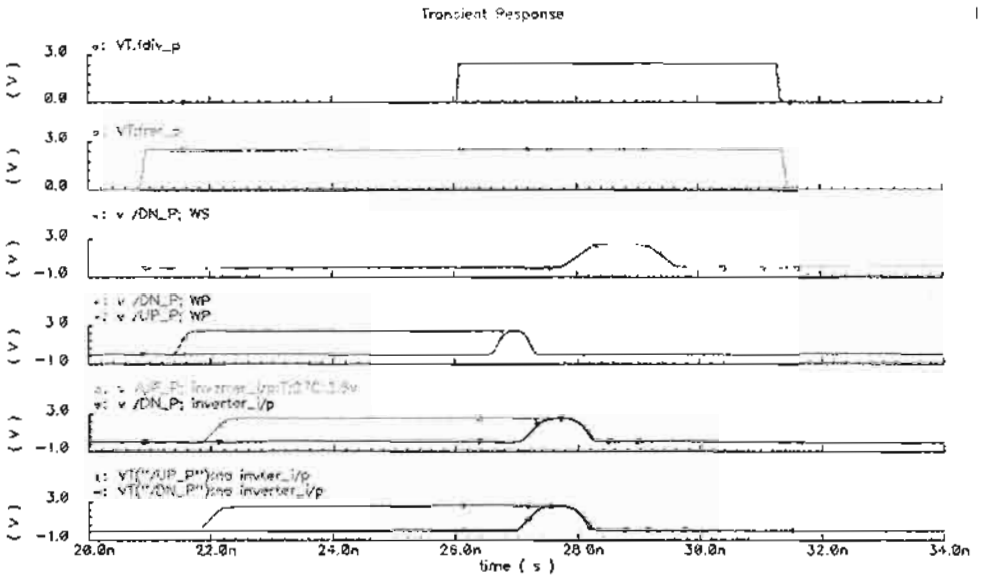
a) b)

รูปที่ 6.25 วงจรเกตดิจิตอล a) NAND gate b) INV gate

ผลการจำลองการทำงานจากรูปที่ 6.26 ใช้ในการจำลองวัดหาสมรรถนะวงจร PFD ด้วยการกำหนดเงื่อนไขเริ่มต้นการทำงานให้ -/+Vlpf =1.24V (1.24V=VCMO)



รูปที่ 6.26 บล็อกไดอะแกรมจำลองสมรรถนะวงจร PFD



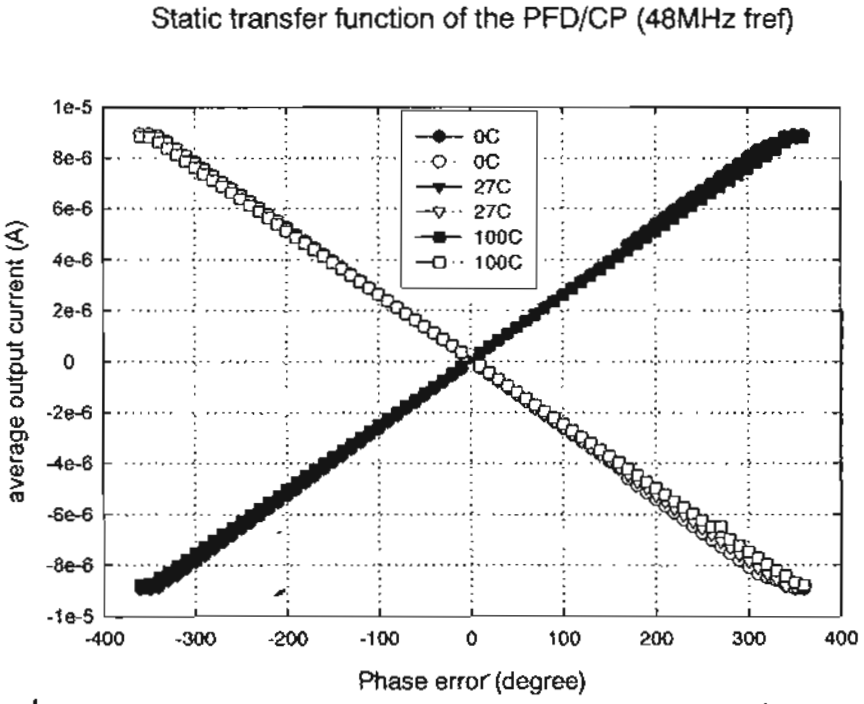
รูปที่ 6.27 ผลจำลองการทำงานวงจร PFD/CP ด้วย process (TM,WS,WP)

จากรูปที่ 6.27 แสดงสัญญาณอินพุต/เอาท์พุตของวงจร PFD และทำการปรับเปลี่ยน process ต่างๆ ด้วยการออกแบบให้ reset delay ประมาณ 1ns. (ต่ออินเวอร์เตอร์ cascade กัน 10 ตัว) และในกรณี worst case จำลองการทำงานของ reset delay ได้ประมาณ 1.5ns. ดังนั้นจะได้ความถี่การทำงานมากที่สุดของวงจร PFD ดังสมการที่ 6.1[6.7] เมื่อ ΔT เป็นความกว้างของ reset pulse

จากสมการที่ 6.1 ความถี่การทำงานมากสุดของวงจร PFD ประมาณ 660MHz ซึ่งมากกว่าความถี่อ้างอิงจาก crystal 48 MHz ที่ใช้ออกแบบ

$$f_{max_{PFD}} = \frac{1}{2\Delta T} \tag{6.1}$$

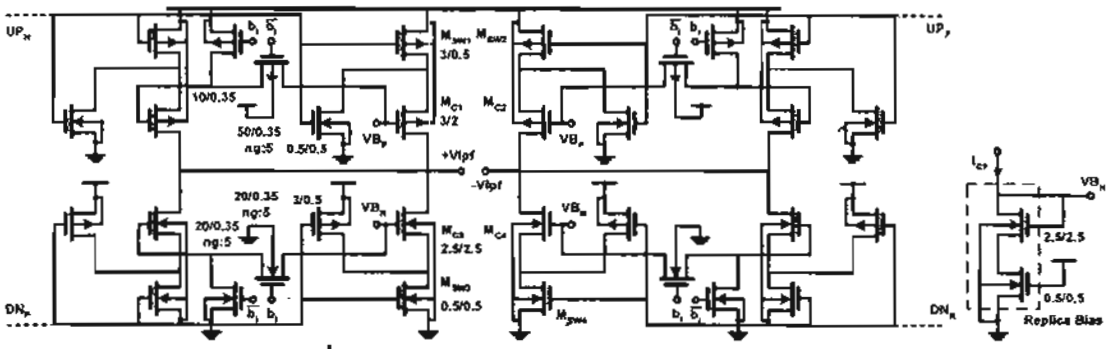
จากรูปที่ 6.28 แสดงผลการจำลองสมรรถนะ static transfer ของวงจร charge pump ที่แหล่งจ่ายแรงดัน 2.5-V. ด้วยการปรับเปลี่ยนอุณหภูมิ



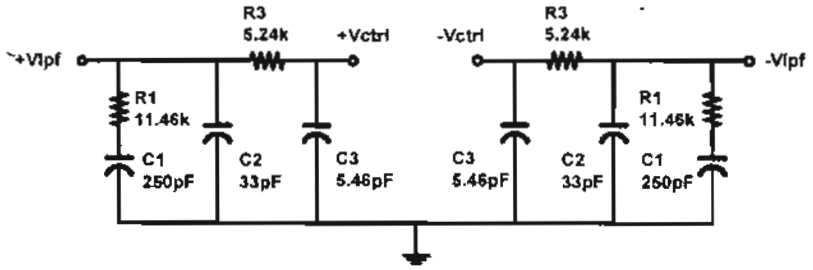
รูปที่ 6.28 ผลจำลองการทำงานวงจร PFD/CP ด้วย process WS, VDD=2.5V ทำการปรับเปลี่ยนอุณหภูมิ

6.5 วงจร Charge Pump & Loop Filter

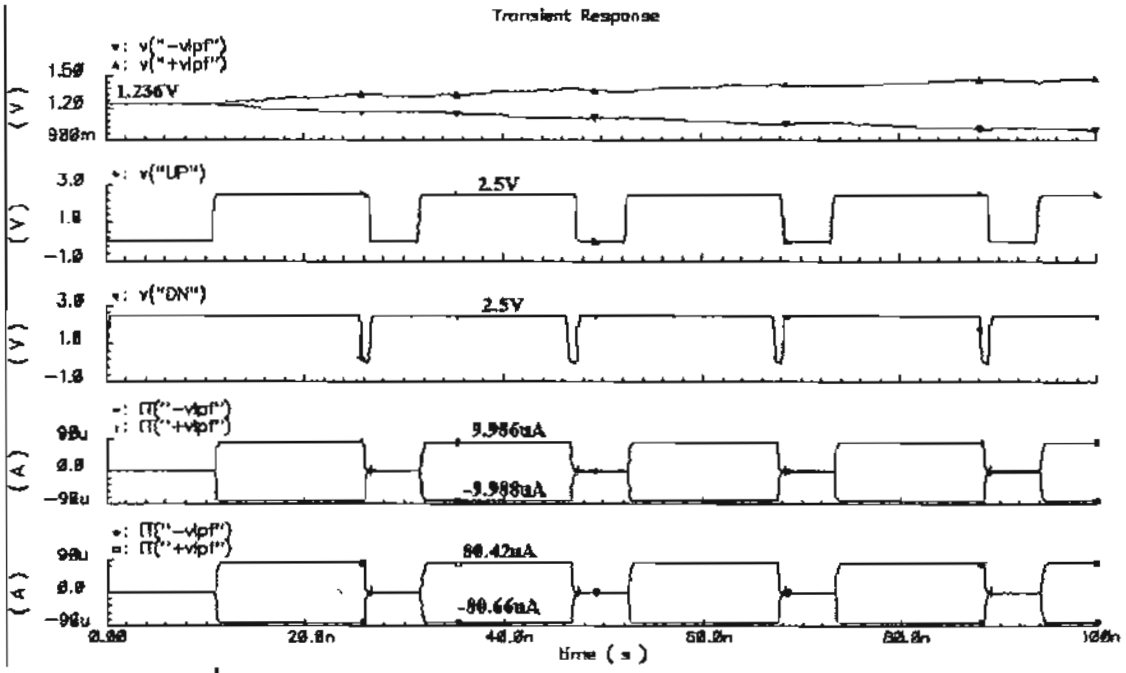
รูปที่ 6.29 แสดงวงจร Programmable charge pump ถูกจำลองการทำงานและแสดงผลการจำลองทางเวลาในรูปที่ 6.31 ด้วยการเลือกกระแสเอาท์พุตของวงจรเท่ากับ -10μA และ -80μA ผ่านดิจิตอลบิตเป็น b7.....b0 =00000000 และb7.....b0 = 11111111ตามลำดับ



รูปที่ 6.29 วงจร Programmable charge pump



รูปที่ 6.30 วงจร 3rd Loop filter



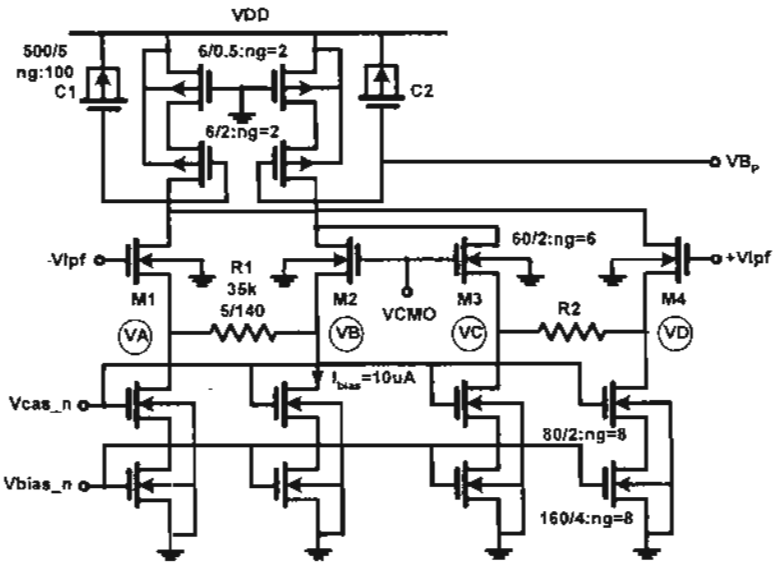
รูปที่ 6.31 ผลตอบสนองทางเวลาของ programmable charge pump

ตารางที่ 6.4 สรุปวงจร programmable charge pump

Programmable charge pump circuit	
Charge pump current (Icp)	10-μA.
Input programmable	7 Bit (20-80 μA.)

6.6 วงจร Common-Mode Feedback (CMFB)

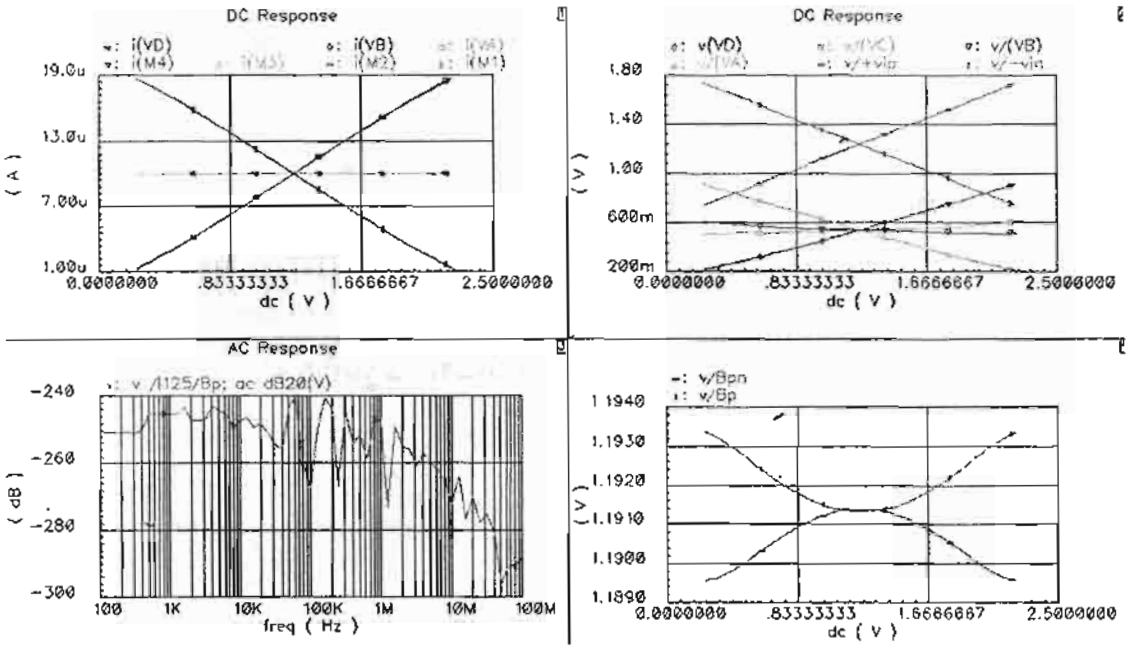
ออกแบบวงจรป้อนกลับควบคุมแรงดันร่วม (Common mode Feedback :CMFB) เพิ่มเติมเพื่อควบคุมระดับแรงดันร่วมเอาท์พุตของวงจรจ่ายกระแส charge pump ที่เป็นแบบ fully differential ด้วยวงจร Op-Amp ต่อเป็นวงจร CMFB ดังแสดงในรูปที่ 6.32



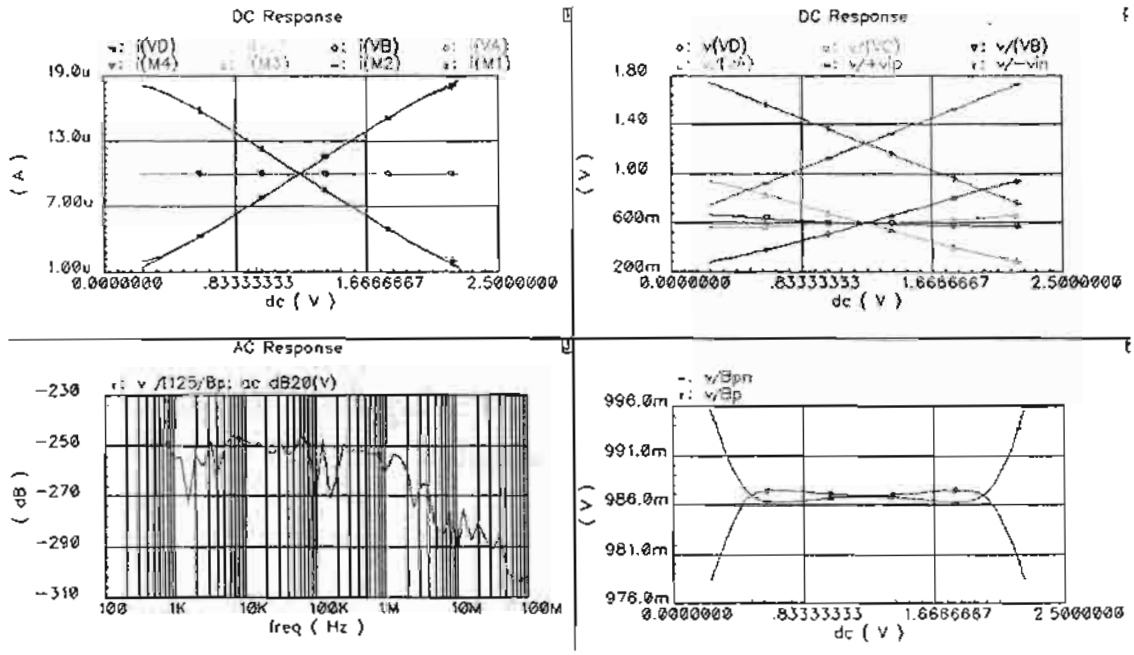
รูปที่ 6.32 วงจร Common-mode feedback (CMFB)

การทดสอบวงจร Common-mode feedback (CMFB) ในรูปที่ 6.32 โดยต่อร่วมกับวงจรไบอัส (Bias circuit) แสดงผลการจำลองการทำงานดังต่อไปนี้

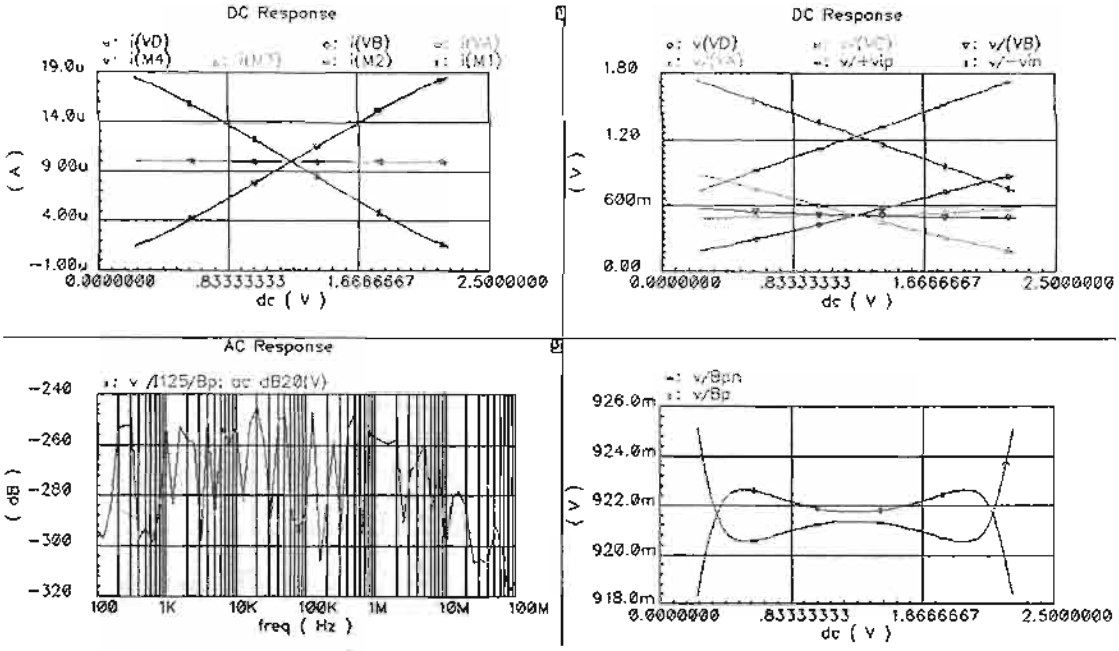
- **Differential-mode Input**



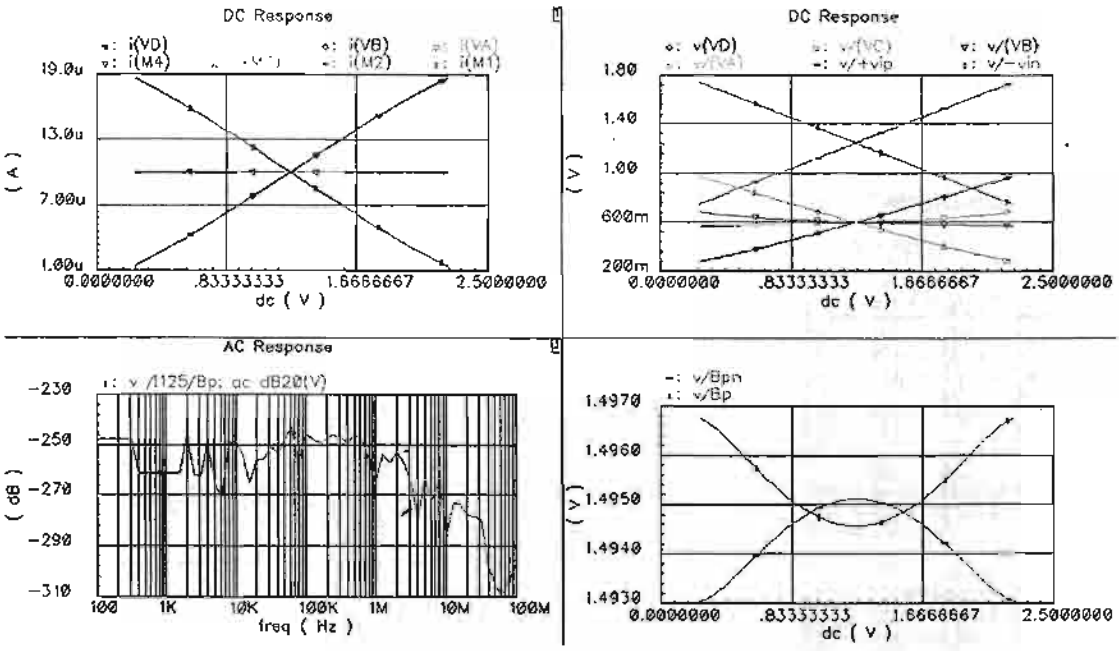
a) Temp=27° C , Vdd=2.5-V



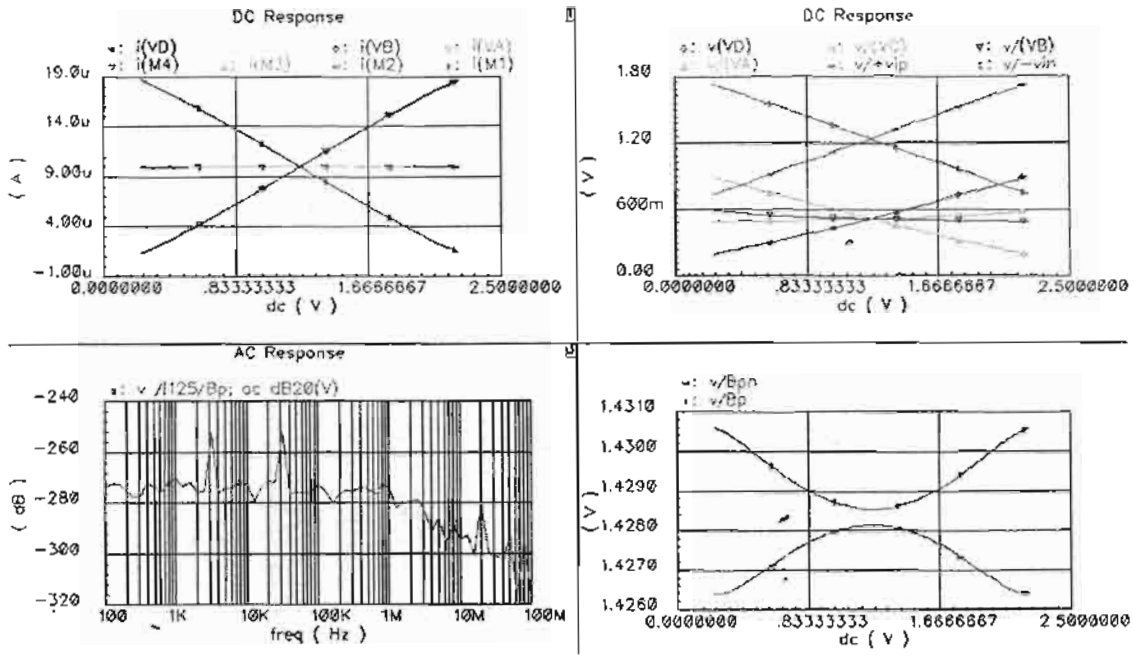
b) Temp=100° C , Vdd=2.25-V



c) Temp=0°C , Vdd=2.25-V



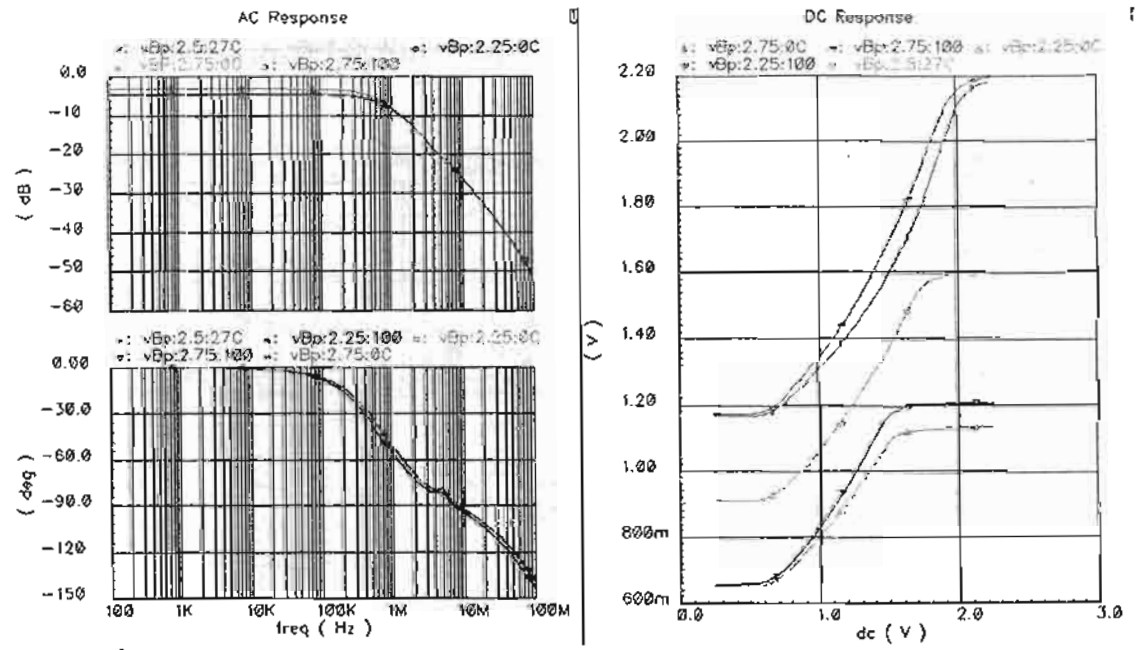
d) Temp=100° C , Vdd=2.75V



e) Temp=0° C , Vdd=2.75V

รูปที่ 6.33 ผลการจำลองการทำงาน Differential-mode Input ของวงจร Common-mode feedback ด้วย process typecal process (TM) ทำการปรับเปลี่ยนแหล่งจ่ายแรงดันและอุณหภูมิ

■ **common-mode Input**



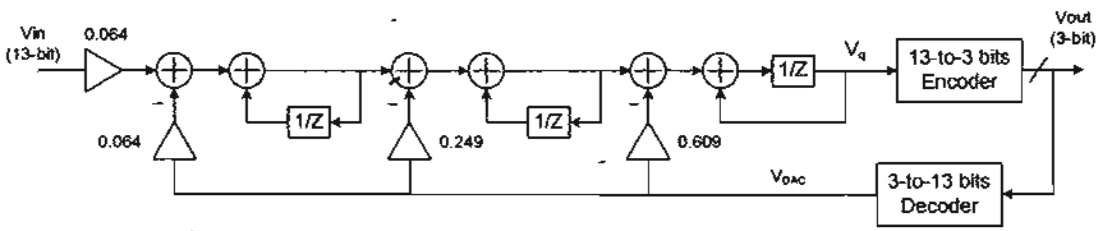
รูปที่ 6.34 ผลการจำลองการทำงาน Common-mode Input ของวงจร Common-mode feedback ด้วย process typecal process (TM) ทำการปรับเปลี่ยนแหล่งจ่ายแรงดันและอุณหภูมิ

จากผลการจำลองการทำงานของวงจร CMFB ในรูปที่ 6.33 - 6.34 ได้ถูกจำลองด้วย Process TM โดยทำการปรับเปลี่ยนแหล่งจ่ายแรงดัน 10-/+% และอุณหภูมิ 100 ,27 ,0° C เมื่อพิจารณาในกรณี ดังต่อไปนี้

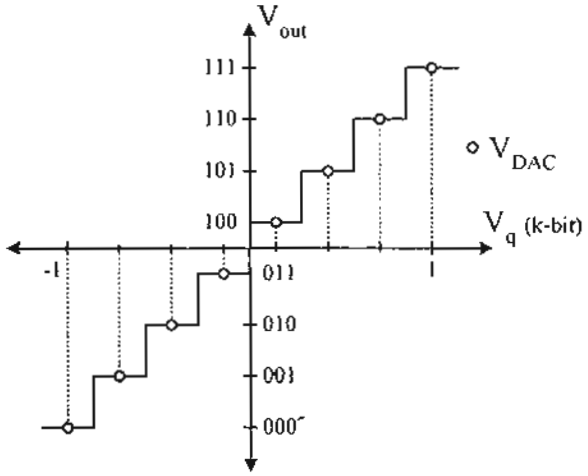
- Differential-mode Input สังเกตได้ว่ากรณีเงื่อนไขที่ Temp=0° C, Vdd=2.25V ผลตอบสนองทาง DC ช่วงของอินพุต (input range) ของวงจร CMFB ให้ความเป็นเชิงเส้นของมอสทรานซิสเตอร์ (M1-M4) ย่ำแย่สุดจะถูกจำกัดอยู่ที่ประมาณ 0.5-V. และ -2V. แต่ยังคงสามารถนำไปใช้งานได้
- Common-mode Input ในทุก Process และการปรับเปลี่ยนแหล่งจ่ายแรงดัน 10-/+% และอุณหภูมิ 100 ,27 ,0° C สามารถใช้งานได้

6.7 วงจรมอดูเลตสัญญาณเดลตาซิกมา

ดังที่ได้กล่าวข้างต้นการเข้ารหัสค่าการหารของวงจรหารค่าความถี่ จะช่วยลดค่ากำลังงานสัญญาณรบกวน (Phase noise) ซึ่งวงจรที่ทำหน้าที่เข้ารหัสและทำให้เกิดคุณสมบัติการจัดรูปสัญญาณรบกวนนั้นจะเรียกว่า วงจรมอดูเลตสัญญาณซิกมาเดลตา (Sigma-Delta Modulator) ดังแสดงในรูปที่ 6.35 ซึ่งจะเป็นวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบวงรอบเดียวอันดับที่ 3 (3^{rd}-order Single-Loop Modulator) โดยวงจรมอดูเลตสัญญาณซิกมาเดลตาโครงสร้างนี้จะมีค่าการกระจายเอาท์พุตที่ต่ำ แต่จะมีข้อเสียเกี่ยวกับช่วงค่าสัญญาณอินพุตที่จำกัด ซึ่งหมายถึงการเลือกช่องความถี่ของวงจรแอนะลอก PLL ที่จำกัดด้วยเช่นกัน ในการสร้างวงจรมอดูเลตสัญญาณซิกมาเดลตาแบบวงรอบเดียวอันดับที่ 3 จะทำในรูปแบบวงจรดิจิตอลโดยใช้ภาษาทางฮาร์ดแวร์ (VHDL) แล้วจึงทำการสังเคราะห์วงจรและทำการ place and route วงจรดิจิตอลเกท เพื่อนำค่าเวลาการหน่วงที่เกิดจากการเชื่อมต่อสารตัวนำ (Standard delay file : SDF) มาสร้างเป็นแบบจำลองการทำงาน



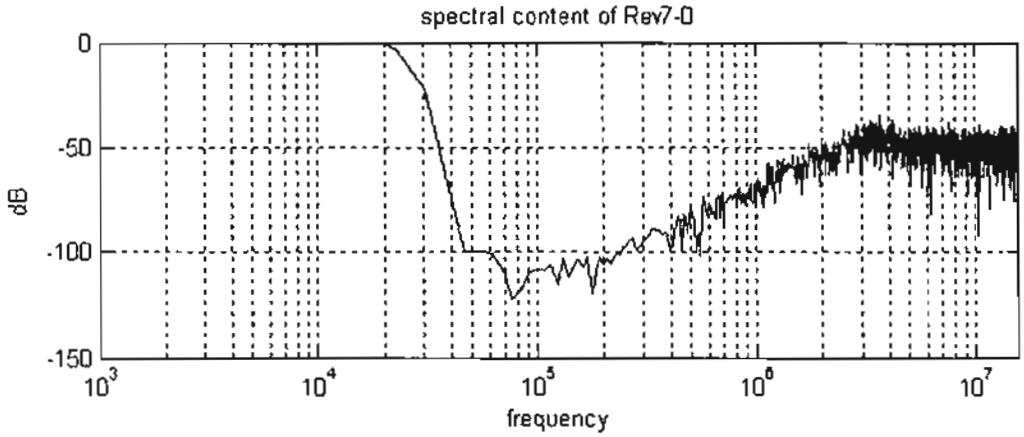
รูปที่ 6.35 โครงสร้างของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับที่ 3



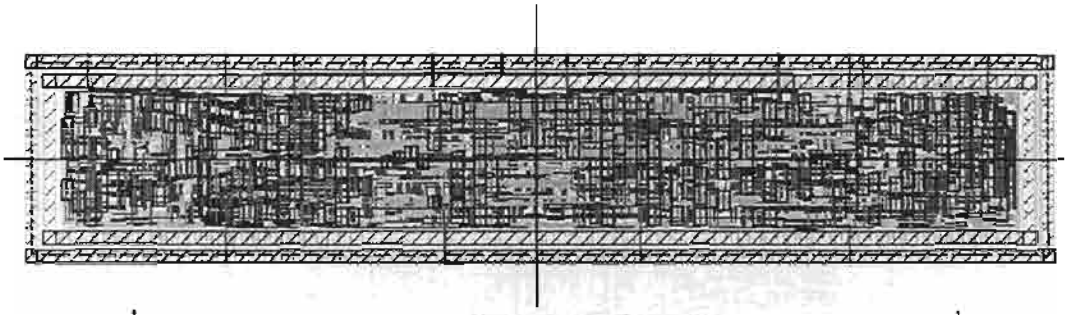
รูปที่ 6.36 กราฟการส่งผ่านสัญญาณของวงจรเข้ารหัส และวงจรถอดรหัสสัญญาณ

ตารางที่ 6.5 การส่งผ่านสัญญาณดิจิตอลของวงจรมอดูเลตสัญญาณซิกมาเดลตา

ค่าสัญญาณอินพุต V_{in} (13 บิต)	ค่าสัญญาณการเข้ารหัส V_q (13 บิต)	ค่าสัญญาณเอาท์พุต V_{out} (3 บิต)	ค่าสัญญาณการป้อนกลับ V_{DAC} (13 บิต)
8192 (1)	7603-8191	111	8187
	6434-7602	110	7018
	5265-6433	101	5849
4096 (0)	4096-5264	100	4680
4095 (0)	2927-4095	011	3511
	1758-2926	010	2342
	589-1757	001	1173
0 (-1)	0-588	000	4



รูปที่ 6.37 ลักษณะการจัดรูปสัญญาณรบกวนของวงจรมอดูเลตสัญญาณที่ทำการออกแบบ

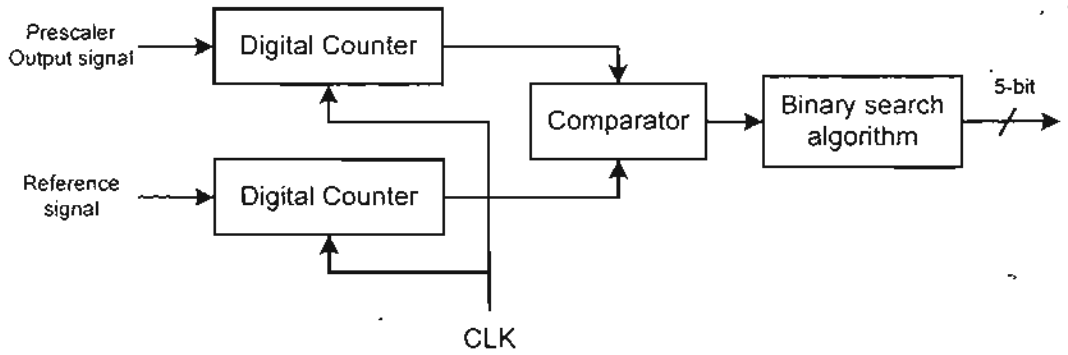


รูปที่ 6.38 แผนภูมิกายภาพของวงจรมอดูเลตสัญญาณซิกมาเดลตาอันดับที่ 3

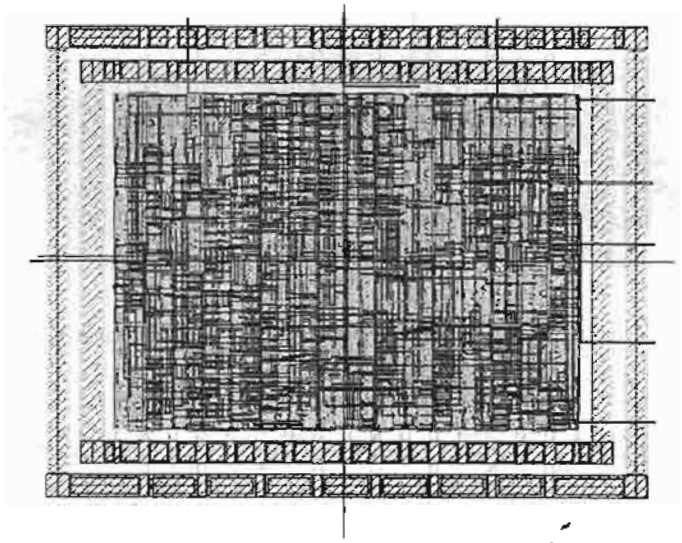
6.8 วงจรปรับค่าความถี่กลางแบบปรับตัว (Adaptive Frequency Calibration)

วงจรปรับค่าความถี่กลางแบบปรับตัวเป็นวงจรดิจิตอลที่ทำหน้าที่เปรียบเทียบค่าความถี่ของสัญญาณเอาท์พุตของวงจรหารความถี่กับค่าความถี่ของสัญญาณอ้างอิง (48-MHz) โดยใช้หลักการของวงจรนับดิจิตอล (Digital Counter) ซึ่งผลลัพธ์ที่ได้จากการนับในแต่ละรอบจะนำไปสุ่มปรับค่าตัวเก็บประจุการเรโซแนนซ์ของวงจรออสซิลเลเตอร์ โดยเทคนิคการสุ่มที่ใช้เรียกว่า เทคนิคการสุ่มหาแบบไบนารี (Binary search technique)

วงจรปรับค่าความถี่กลางแบบปรับตัวจะทำงานในช่วงเวลาเริ่มต้น เพื่อทำการปรับค่าความถี่กลางการออสซิลเลตให้มีค่าใกล้เคียงกับค่าความถี่เอาท์พุตที่ต้องการ ซึ่งจะทำให้ลดค่าอัตราขยายวงรอบของวงจรแอนะลอก PLL และค่าเวลาคงตัว ของวงจร PLL ได้



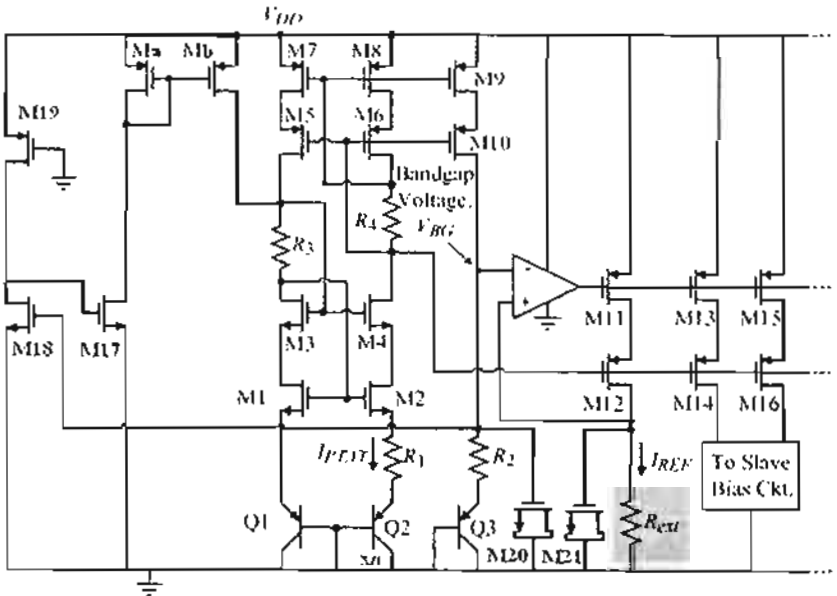
รูปที่ 6.39 บล็อกไดอะแกรมการทำงานของวงจรปรับค่าความถี่กลางแบบปรับตัว



รูปที่ 6.40 แผนภูมิกายภาพของวงจรปรับค่าความถี่กลางแบบปรับตัว

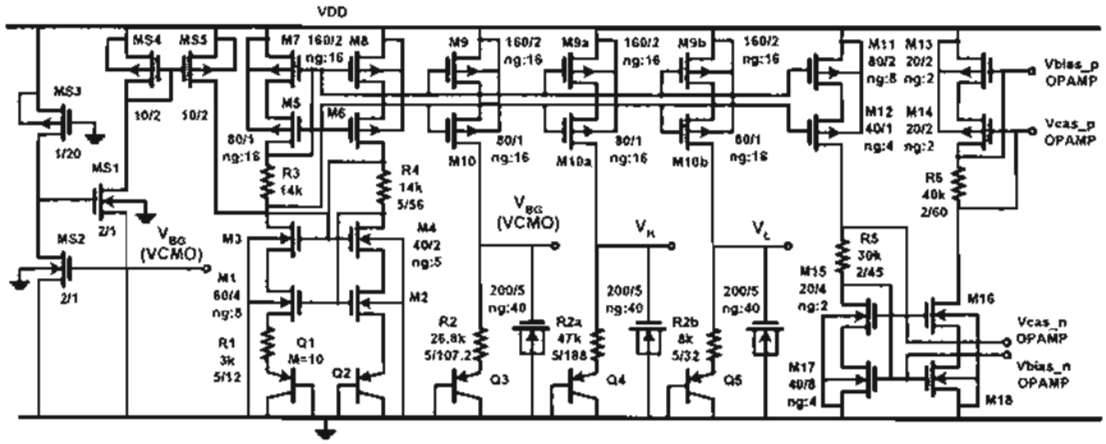
6.9 วงจร Bias Circuit

การออกแบบวงจรไบอัสที่ใช้ภายในชิปวงจรรวมนับเป็นเรื่องที่สำคัญมาก เนื่องจากวงจรไบอัสทำหน้าที่กำหนดระดับแรงดันและกระแสในภาวการณ์ทำงาน (operating condition) ของวงจรต่างๆ ในชิปวงจรรวม วงจรไบอัสอย่างง่ายแสดงในรูปที่ 6.41

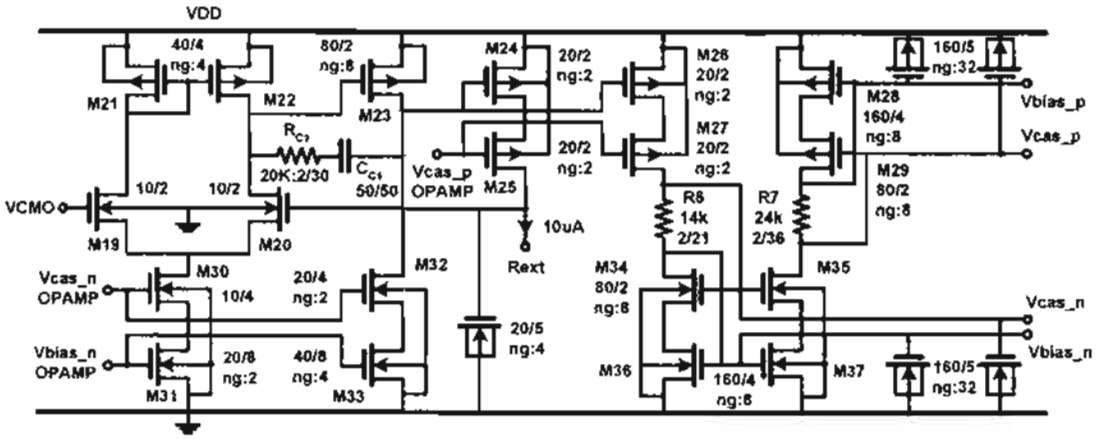


รูปที่ 6.41 วงจรไบอัสต่อร่วมกับวงจร start up

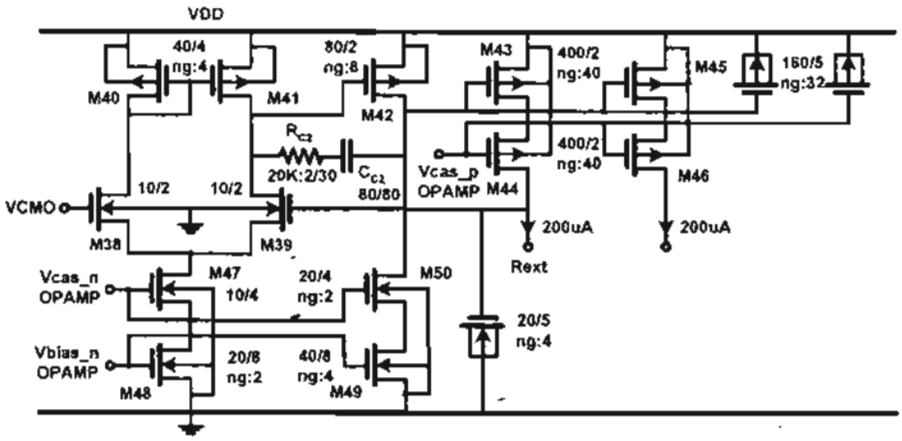
จากวงจรไบอัสในรูป นำมาสังเคราะห์เป็นวงจรไบอัสให้กับวงจรสังเคราะห์ความถี่ ดังแสดงในรูปที่ 6.42



a)



b)



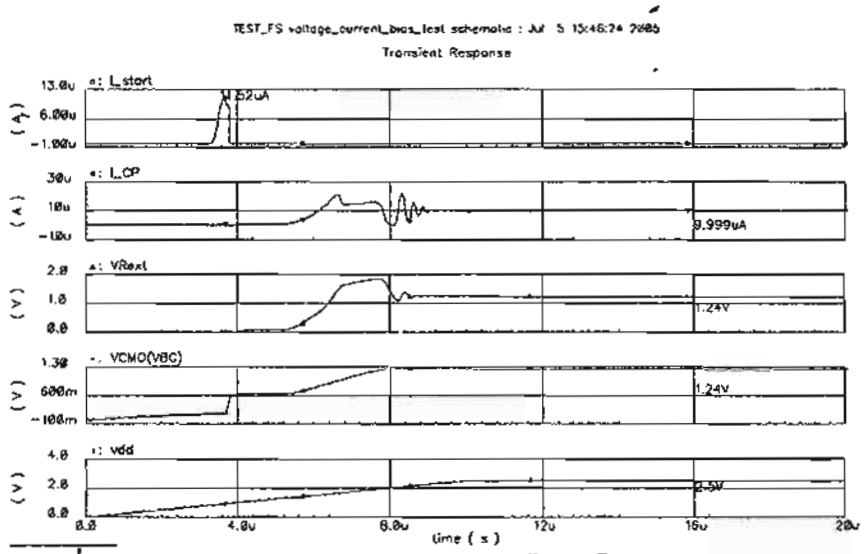
c)

รูปที่ 6.42 วงจรไบอัสสำหรับวงจรสังเคราะห์ความถี่ a) วงจรแรงดันอ้างอิง Bandgab b) วงจรกำเนิดกระแสสำหรับวงจร charge pump c) วงจรกำเนิดกระแสสำหรับวงจร VCO

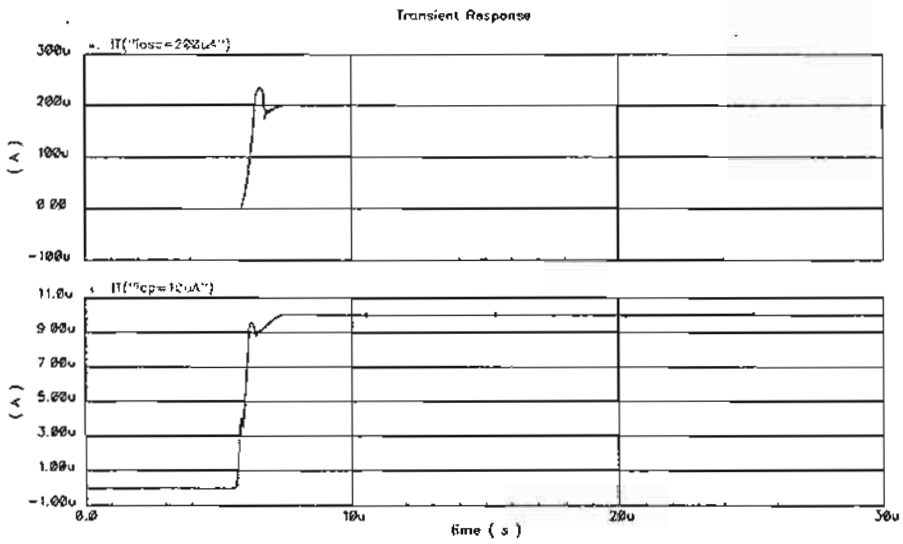
ผลการจำลองการทำงานวงจรไบอัสจากรูปที่ 6.43 แสดงผลการจำลองการทำงานของวงจรไบอัสในรูปที่ 6.42 ด้วยการกำหนดเงื่อนไขการจำลองขณะเปิดสวิตช์แหล่งจ่ายไฟภายนอกให้กับวงจรไบอัส จะสังเกตุได้ว่าวงจร start-up สามารถช่วยให้วงจรไบอัสเข้าสู่สภาวะพร้อมใช้

งานได้รวดเร็วมาก กล่าวคือ กระแสไบอัสของวงจร charge pump (I_CP) ประมาณเท่ากับ 10 uA ที่เวลา 12 usec และเช่นเดียวกับแรงดันอ้างอิงโหมดร่วม (VCMO) ประมาณเท่ากับ 1.24 uA ที่เวลา 10 usec ส่วนรูปที่ 6.44 แสดงผลตอบสนองทางเวลาของวงจรกำเนิดกระแสไบอัสสำหรับวงจร charge pump & VCO

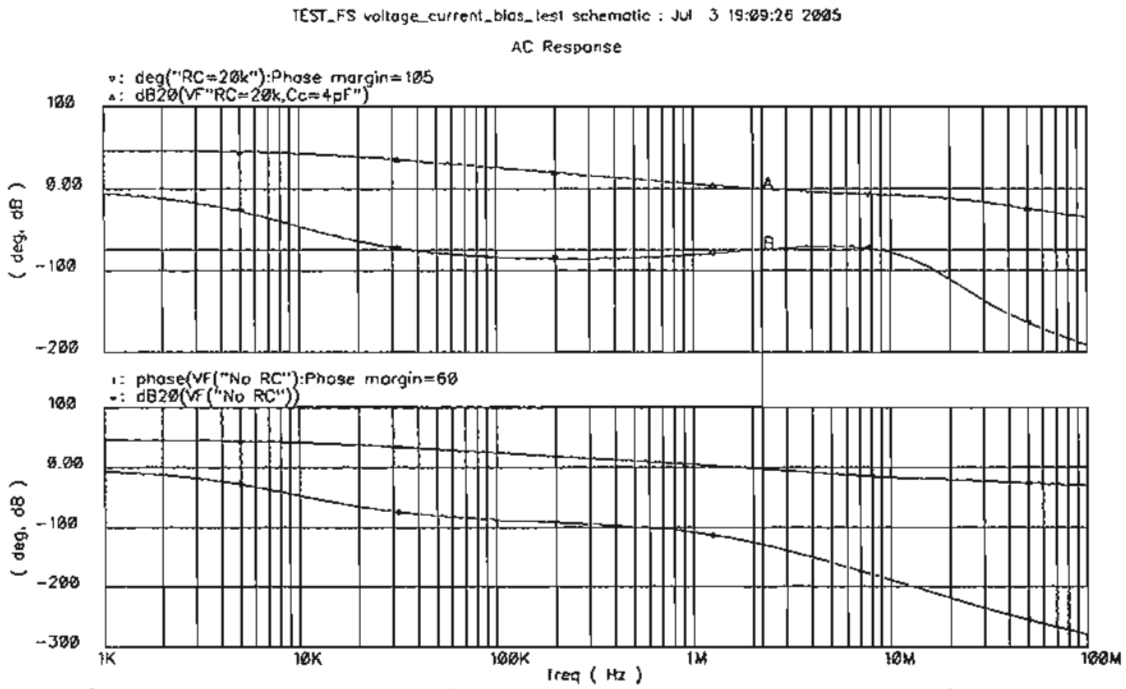
จากรูปที่ 6.45 ได้ทำการออกแบบ margin phase ไว้ 105 องศาของ open loop ออปแอมป์ ด้วยเหตุผลของการรักษาเสถียรภาพของวงจรไบอัสไว้เมื่อเวลาเริ่มเปิดสวิทช์ ถ้าทำการ margain ไว้น้อยกว่านี้จะขาดเสถียรภาพเนื่องจากเมื่อเริ่มเปิดสวิทช์ไบอัสของออปแอมป์จะต่ำกว่าที่ออกแบบไว้ทำให้เกิดการออสซิเลตจากโพลไปอยู่ฝั่งขวาของ s-plan ทำให้เกิดการออสซิเลตอย่างต่อเนื่องของวงจรไบอัส



รูปที่ 6.43 ผลตอบสนองทางเวลาของวงจรไบอัสโดยต่อวงจร start up

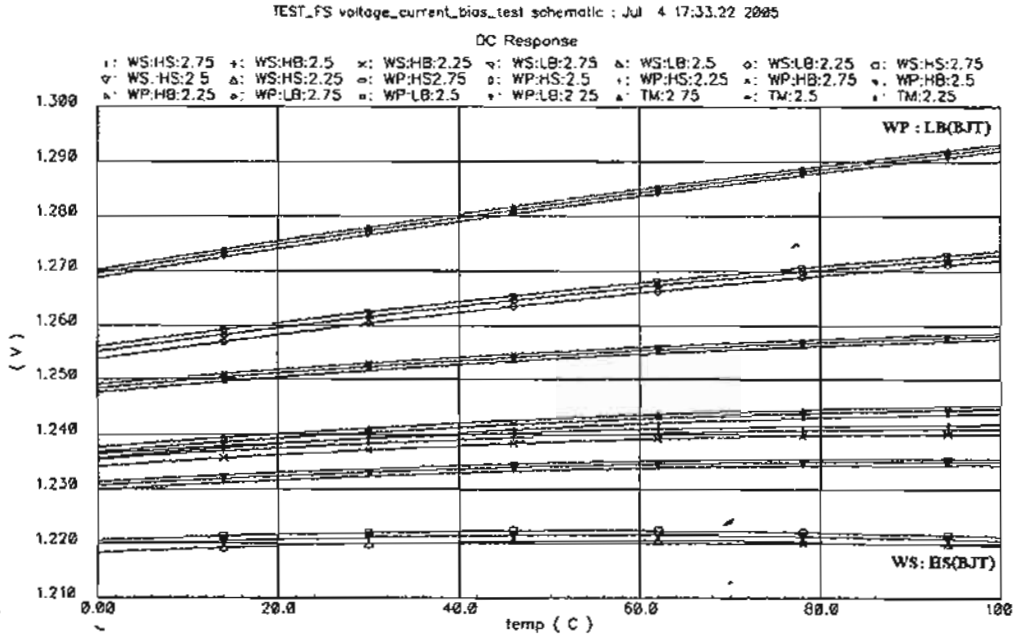


รูปที่ 6.44 ผลตอบสนองทางเวลาวงจรกำเนิดกระแสไบอัสสำหรับวงจร charge pump & VCO

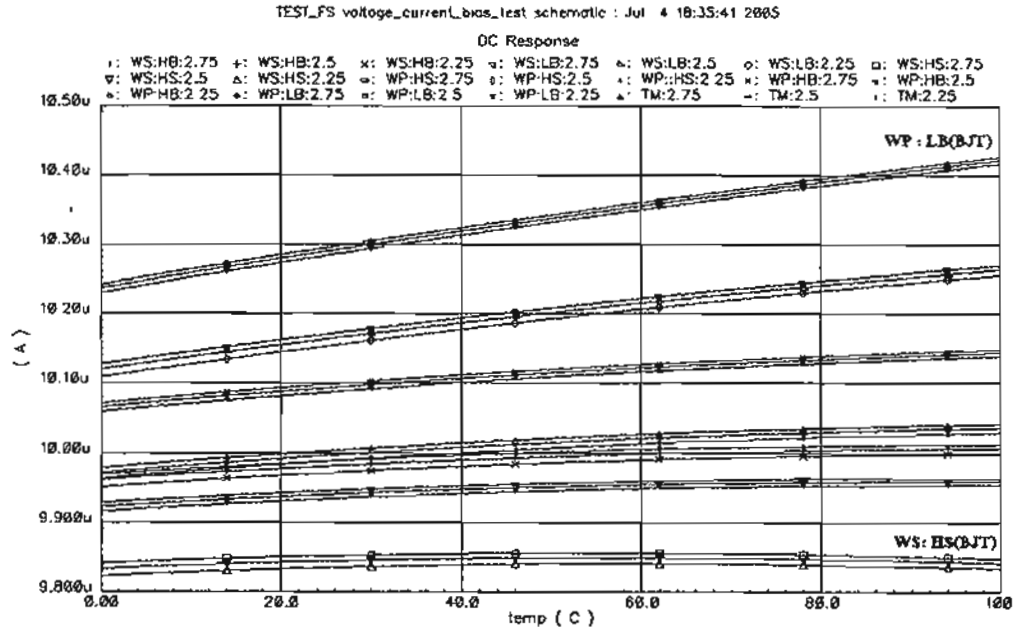


รูปที่ 6.45 ผลตอบสนองทางความถี่ของวงจรออปแอมป์เปรียบเทียบกับการเพิ่มขนาด RC เพื่อเพิ่ม phase margin ให้เกิดเสถียรในวงจรออปแอมป์

ผลจำลองการทำงานของวงจรสร้างกระแสและแรงดันอ้างอิง รูปที่ 6.46 แสดงผลจำลองการทำงานของวงจรสร้างกระแสและแรงดันอ้างอิงที่สภาวะการเปลี่ยนแปลงของแหล่งจ่ายแรงดัน +/-10% คือ 2.25V , 2.5V และ 2.75V และการเปลี่ยนแปลงอุณหภูมิจาก 0° C – 100 ° C และการเปลี่ยนแปลง process parameter คือ TM(Typical) , WS(Worst case Speed) , WP(Worst case Power) สำหรับตัว MOSFET, Capacitor และ Resistor ส่วน BJT ทำการเปลี่ยนแปลง process parameter คือ HS (high speed, high bata), HB (low speed, high bata), LB (low speed, low bata) การจำลองการทำงานจะเห็นได้ว่า ผลของอุณหภูมินั้นมีผลกระทบต่อระดับกระแส I_{PTAT} และแรงดัน V_{BG} น้อยมาก แต่ผลของการเปลี่ยนแปลงขนาดแหล่งจ่ายแรงดันและ process parameter นั้นมีผลกระทบต่อ I_{PTAT} และแรงดัน V_{GB} มากพอสมควรโดยที่ค่า process parameter ที่มีผลการเปลี่ยนแปลงมากสุดคือ WP:LB(BJT) และเปลี่ยนแปลงน้อยสุดคือ WS:HS(BJT) แต่โดยรวมวงจรยังคงทำงานได้ดีตามต้องการ



a)

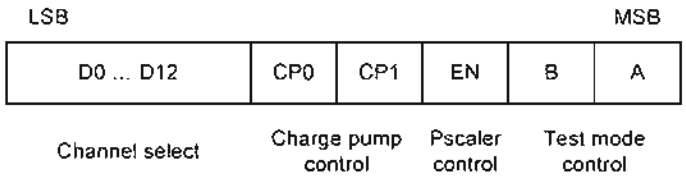


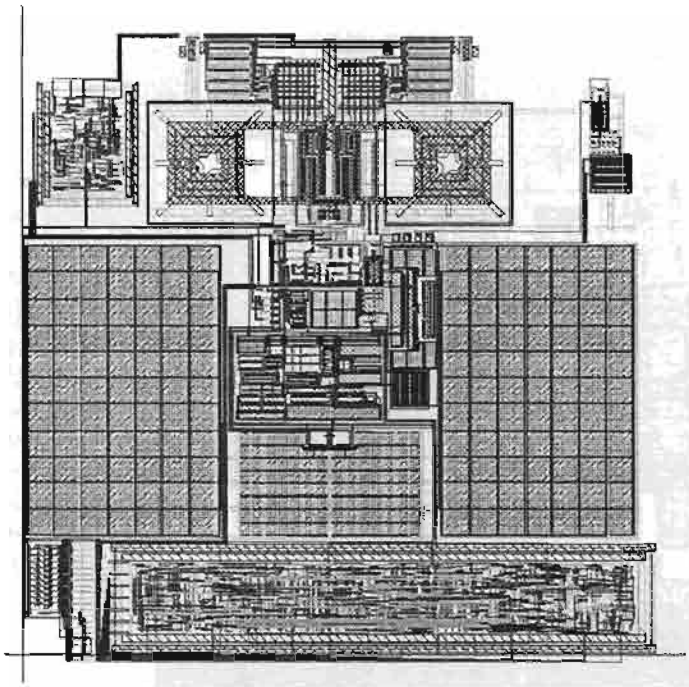
b)

รูปที่ 6.46 a) แรงดัน V_{BG} และ b)กระแส I_{PTAT} ภายใต้การเปลี่ยนแปลงแหล่งจ่ายแรงดันและค่า process parameters

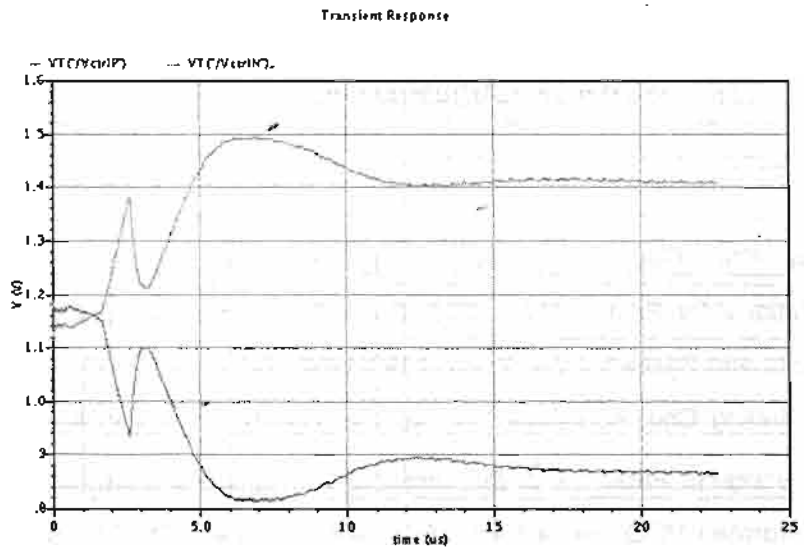
จากการออกแบบวงจรแอนะลอกย่อยที่ได้กล่าวมาข้างต้น จะสามารถนำมาสร้างเป็นแผนภูมิกายภาพของวงจรแอนะลอก PLL ได้ดังแสดงในรูปที่ 6.47 และจากแผนภูมิกายภาพดังกล่าวจะสามารถสร้างแบบจำลองการทำงานของวงจรแอนะลอก PLL ที่มีผลของค่าตัวเก็บประจุแฝง ซึ่งจะทำให้การทำนายการทำงานของวงจรรวมที่ทำการออกแบบมีความใกล้เคียงมากยิ่งขึ้น และจากผลตอบสนองทางเวลาของแบบจำลองวงจรรวมดังแสดงในรูปที่ 6.48 จะเห็นได้ว่าวงจรแอนะลอก PLL ที่ได้ทำการออกแบบนั้นจะสามารถเข้าสู่การทำงานในโหมดคงตัวได้โดยจะใช้เวลาไม่น้อยกว่า 15 us

การโหลดค่าสัญญาณอินพุตดิจิตอลทั้ง 13 บิต และค่าสัญญาณควบคุมต่างๆ จะทำได้ด้วยวงจรแปลงสัญญาณดิจิตอลอนุกรมเป็นขนาน (Serial to Parallel) โดยจำนวนบิตควบคุมทั้งหมดจะมีเท่ากับ 18 บิต ซึ่งลำดับการโหลดค่าสัญญาณแต่ละบิตจะเป็นดังนี้





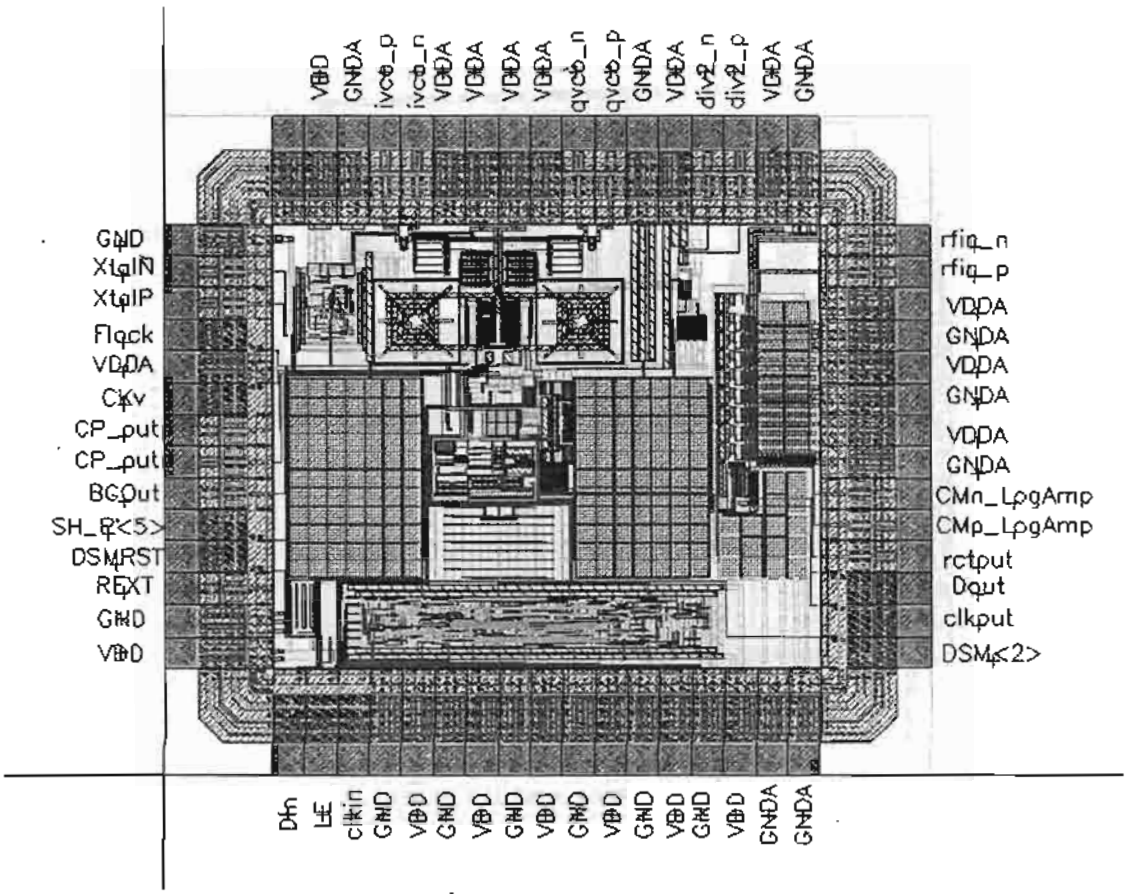
รูปที่ 6.47 แผนภูมิกายภาพของวงจรแอนะลอก Phase-Locked Loop



รูปที่ 6.48 ผลตอบสนองทางเวลาสัญญาณควบคุมอินพุตวงจรออสซิลเลเตอร์

6.10 สรุปผลการออกแบบวงจรรวม

รูปที่ 6.49 แสดงถึงแผนภูมิวงจรรวมทั้งหมดที่ได้ทำการออกแบบ ซึ่งประกอบด้วยวงจรแอนะลอก Phase-locked-loop และวงจรตรวจจับกำลังงานสัญญาณคลื่นความถี่วิทยุ โดยวงจรรวมทั้งหมดได้ทำการออกแบบด้วยเทคโนโลยีซีมอส 0.35-um 2-Poly 4-Metal ทำงานด้วยค่าแรงดันแหล่งจ่ายเดียวกันเท่ากับ 2.5 โวลต์ ซึ่งวงจรรวมนี้ใช้พื้นที่ทั้งหมดเท่ากับ 2090.8 X 2380.9 ตารางไมโครเมตร



รูปที่ 6.49 แผนภูมิวงจรรวม

เอกสารอ้างอิง

[6.1] Tae-Won Ahn, Chan-Geun Yoon and Yong Moon "An Adaptive Frequency Calibration Technique for Fast Locking Wide-Band Frequency Synthesizers" IEEE Int. Symp., Circuits and Systems, Vol. 2, pp. 1899-1902, 7-10 Aug. 2005

[6.2] Han-il Lee, Je-Kwang Cho, Kun-Seok Lee, In-Chut Hwang, Tae-Won Ahn, Kyung-Suc Nah and Byeong-Ha Park, " A Σ-Δ Fractional-N Frequency Synthesizer Using a Wide-Band Integrated VCO and a Fast AFC Technique for GSM/GPRS/WCDMA Applications" IEEE Journal of Solid-State Circuits, Vol. 39, pp. 1164-1169, July 2004

[6.3] A. Fard and P. Andreani "A low-phase-noise wide-band CMOS quadrature VCO for multi-standard RF front-ends" IEEE Int. Symp. Radio Frequency integrated Circuits, pp. 539-542, 12-14 June 2005

[6.4] C. C. Boon, M. A. Do, K. S. Yeo, J. G. Ma and X. L. Zhang "RF CMOS low-phase-noise LC oscillator through memory reduction tail transistor" IEEE Tran. Circuits and Systems, Vol. 51, No. 2, Feb. 2004

[6.5] H. Sjoland "Improved switched tuning of differential CMOS VCOs" IEEE Trans. Circuits and Systems, Vol. 49, No. 5, May 2002

[6.6] Ali Fard and Denny Aberg "A Novel 18 GHz 1.3 mW CMOS Frequency Divider with High Input Sensitivity" IEEE Int. Symp. Signals, Circuits and Systems, Vol. 2 pp. 409-412, 14-15 July 2005

[6.7] M. Soyuer and R. G. Meyer, "Hight-frequency phase-locked loop in monolithic bipolar technology", IEEE Journal of Solid-State Circuit, Vol.24, June 1989, pp.787-795

[6.8] Behzad Razavi, "Phase-Locking in High-Performance System From Devices to Architectures", John Wiley&Sons. Inc., Hoboken, New Jersey,2003,pp:556-557.

บทที่ 7 วงจรเชื่อมต่อตัวตรวจวัดความต้านทานเปียโซ

Low-power CMOS interface circuit for piezoresistive sensor

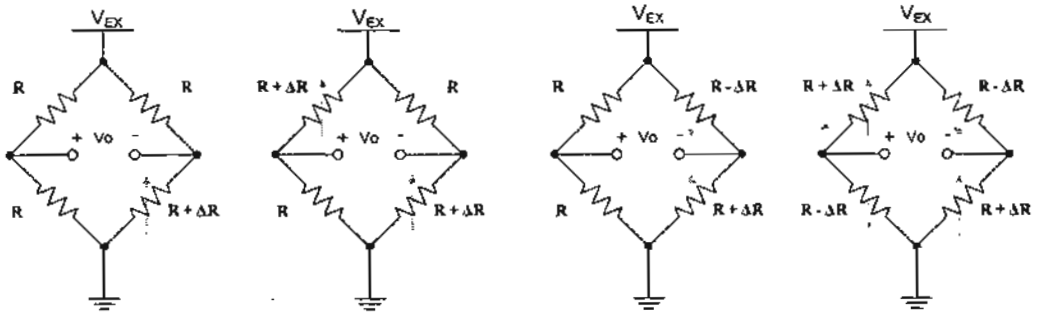
7.1 บทนำ

การพัฒนาของเทคโนโลยีซีมอสในปัจจุบันนั้นถูกนำไปใช้สร้างอุปกรณ์เซนเซอร์ขนาดเล็ก (micro sensor) ร่วมกับอุปกรณ์ประมวลผลสัญญาณ [7.1], [7.2]ไว้บนชิฟเดียวกัน โดยเรียกอุปกรณ์เหล่านี้ว่าสมาร์ตเซนเซอร์(Smart sensor)[7.3] ซึ่งถูกนำมาใช้ประโยชน์อย่างมากในด้านต่างๆ ประกอบกับเทคโนโลยีการสร้างอุปกรณ์อิเล็กทรอนิกส์ที่พัฒนาขึ้น ทำให้สามารถสร้างอุปกรณ์อิเล็กทรอนิกส์ให้มีขนาดเล็กลงอย่างมากในปัจจุบัน เพื่อให้สามารถทำงานได้ที่แรงดันแหล่งจ่ายที่ต่ำลง ซึ่งจะทำให้การใช้กำลังงานของวงจรถูกลดลงตามไปด้วย ดังนั้นวงจรประมวลผลสัญญาณที่ต่อเชื่อมกับเซนเซอร์(ทั้งวงจรอนาล็อกและดิจิตอล) จึงควรจะเป็นต้องทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำเพื่อให้เหมาะสมกับเทคโนโลยีการสร้างอุปกรณ์อิเล็กทรอนิกส์ที่พัฒนาไปอย่างต่อเนื่อง

จากที่ได้กล่าวมาแล้วข้างต้น จึงได้นำเสนอวิธีตรวจจับการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์ และวงจรต่อเชื่อมที่สามารถทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ แทนการใช้วงจรวีตสโตนบริดจ์ในการตรวจวัดค่าการเปลี่ยนความต้านทาน เนื่องจากความไม่เหมาะสมในการทำงานภายใต้แรงดันต่ำของวงจรวีตสโตนบริดจ์ โดยบทนี้จะกล่าวถึง วงจรวีตสโตนบริดจ์และความไม่เหมาะสมในการใช้งานภายใต้แรงดันแหล่งจ่ายต่ำ รวมไปถึงการแก้ปัญหาโดยใช้วิธีตรวจจับการเปลี่ยนค่าความต้านทานโดยการตรวจจับกระแส (current-sensing configuration) และสุดท้ายจะได้กล่าวถึงวงจรต่อเชื่อมเพื่อใช้ต่อเชื่อมกับวิธีตรวจจับการเปลี่ยนความต้านทานโดยการตรวจจับกระแส โดยระบบที่ออกแบบนี้สามารถทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ ใช้กำลังงานต่ำ และเหมาะสมกับการติดต่อกับระบบประมวลผลสัญญาณดิจิตอลอีกด้วย

7.2 วงจรวีตสโตนบริดจ์ (Wheatstone bridge circuit)

วงจรจวีตสโตนบริดจ์นั้นเป็นวงจรที่นิยมใช้ในการตรวจจับค่าการเปลี่ยนความต้านทานของเซนเซอร์ โดยส่วนประกอบของวงจรวีตสโตนบริดจ์นั้นประกอบไปด้วยวัสดุเปียโซรีซิสเตอร์ ทั้งหมด 1 , 2 หรือ 4 ต่อเป็นวงจรดังรูปที่ 7.1 ซึ่งโดยทั่วไปแล้วค่าความต้านทานปกติ(nominal resistance) ของความต้านทานทุกตัวในวงจรวีตสโตนบริดจ์จะมีค่าเท่ากัน โดยแรงดัน V_{EX} คือแรงดันกระตุ้น (Excitation Voltage) ที่จ่ายให้กับวงจรวีตสโตนบริดจ์ และค่าแรงดันเอาต์พุตของวงจรวีตสโตนบริดจ์นั้นคือค่าแรงดันผลต่างของวงจรแบ่งค่าแรงดัน(voltage divider) ทางด้านซ้ายและขวาของวงจรวีตสโตนบริดจ์



(ก) ใช้เซนเซอร์ตัวเดียว (ข) ใช้เซนเซอร์สองตัว(แบบแรก) (ค) ใช้เซนเซอร์สองตัว(แบบที่สอง) (ง) ใช้เซนเซอร์สี่ตัว

รูปที่ 7.1 วงจรวีตสโตนบริดจ์แบบต่างๆ

ในการทำงานของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1 นั้น ค่าแรงดันเอาต์พุตของวงจรจะมีค่าเป็นศูนย์เมื่อเมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์ไม่มีการเปลี่ยนแปลง แต่เมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงขึ้นจะทำให้เกิดค่าแรงดันเอาต์พุตขึ้น โดยความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับค่าความต้านทานที่เปลี่ยนไปของวัสดุเปียโซรีซิสเตอร์ของวงจรวีตสโตนบริดจ์แต่ละแบบในรูปที่ 7.1 แสดงได้ดังสมการที่ 7.1 ถึง 7.4 ตามลำดับ

วงจรวีตสโตนบริดจ์ที่ใช้วัสดุเปียโซรีซิสเตอร์ 1 ตัว ดังรูปที่ 7.1(ก)

$$V_o = \frac{V_{EX}}{4}\left[\Delta R \Big/ (R + \Delta R/2)\right] \tag{7.1}$$

วงจรวีตสโตนบริดจ์ที่ใช้วัสดุเปียโซรีซิสเตอร์ 2 ตัว(แบบแรก) ดังรูปที่ 7.1(ข)

$$V_o = \frac{V_{EX}}{2}\left[\Delta R \Big/ (R + \Delta R/2)\right] \tag{7.2}$$

วงจรวีตสโตนบริดจ์ที่ใช้วัสดุเปียโซรีซิสเตอร์ 2 ตัว(แบบที่สอง) ดังรูปที่ 7.1(ค)

$$V_o = \frac{V_{EX}}{2}\left[\Delta R / R\right] \tag{7.3}$$

วงจรวีตสโตนบริดจ์ที่ใช้วัสดุเปียโซรีซิสเตอร์ 4 ตัว ดังรูปที่ 7.1(ง)

$$V_o = V_{EX}\left[\Delta R / R\right] \tag{7.4}$$

7.2.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไวของวงจรวีตสโตนบริดจ์

จากสมการที่ 7.1 ถึง 7.4 นั้นแสดงให้เห็นถึงความสัมพันธ์ระหว่างค่าแรงดันเอาต์พุตที่เกิดจากการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์ในแต่ละแบบ และเมื่อสังเกตวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก) และ (ข) แล้ว จะเห็นว่าสมการความสัมพันธ์ระหว่างแรงดันเอาต์พุต (V_o) กับค่าความต้านทานที่เปลี่ยนแปลงไป (ΔR) จะเป็นสัมพันธ์แบบไม่เป็นเชิงเส้น ซึ่งความไม่เป็นเชิงเส้นนี้สามารถทำการวัดเทียบกับสมการที่เป็นเชิงเส้น[7.4]ได้ดังนี้

ความสัมพันธ์ระหว่างค่าแรงดันเอาต์พุตและค่าความต้านทานที่เปลี่ยนแปลงไปของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก) เมื่อนำมาเขียนใหม่ดังนี้

$$V_o = \frac{V_{EX}}{4}\frac{\Delta R}{R}\left[\Big/\left(1+\frac{\Delta R}{2R}\right)\right] \qquad (7.5)$$

ซึ่งจะสังเกตเห็นว่าพจน์ในวงเล็บในคือความไม่เป็นเชิงเส้นที่เกิดขึ้น ดังนั้นสมาการเชิงเส้นที่นำมาเปรียบเทียบเพื่อหาความไม่เป็นเชิงเส้นของสมการที่ 7.5 คือ

$$V_o = \frac{V_{EX}}{4}\frac{\Delta R}{R} \qquad (7.6)$$

เมื่อกำหนดให้ค่าความต้านทานของเปียโซรีซิสเตอร์เปลี่ยนแปลงไปเป็น n% ของค่าความต้านทานปกติ ดังนั้นค่าอัตราส่วนของค่าความต้านทานที่เปลี่ยนแปลงไปเมื่อเทียบกับค่าความต้านทานปกติของเปียโซรีซิสเตอร์ จะมีค่าดังสมการที่ 7.5

$$\frac{\Delta R}{R} = \frac{n\%}{100} \qquad (7.7)$$

เมื่อนำสมการที่ 7.7 แทนเข้าไปในสมการที่ 7.5 และสมการที่ 7.6 จะได้สมการที่ 7.8 และ 7.9 ตามลำดับ

$$V_{o(non-linear)} = \frac{V_{EX}}{2}\left[\frac{n}{n+200}\right] \qquad (7.8)$$

$$V_{o(linear)} = \frac{V_{EX}}{2}\left[\frac{n}{200}\right] \qquad (7.9)$$

นำสมการที่ 7.8 ลบกับสมการที่ 7.9 ดังนี้

$$\left|V_{o(linear)} - V_{o(non-linear)}\right| = \frac{V_{EX}}{2}\left[\left[\frac{n}{n+200} - \frac{n}{200}\right]\right] \tag{7.10}$$

$$\left|V_{o(linear)} - V_{o(non-linear)}\right| = \frac{V_{EX}}{2}\left[\left[\frac{n^2}{200(n+200)}\right]\right] \tag{7.11}$$

ดังนั้นค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{\left|V_{o(non-linear)} - V_{o(linear)}\right|}{Full\ scale\ output} \times 100 \tag{7.12}$$

$$\%ERROR = \frac{\frac{V_{EX}}{2}\left[\left[\frac{n^2}{200(n+200)}\right]\right]}{\frac{V_{EX}}{2}\left[\frac{n}{200}\right]} \times 100 \tag{7.13}$$

$$\%ERROR = \frac{100n}{n+200} \tag{7.14}$$

สมการที่ 7.14 เป็นสมการที่บ่งบอกว่า วงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก) นั้นจะเกิดการเบี่ยงเบนไปจากสมการเส้นตรงมากเท่าไรเมื่อเกิดการเปลี่ยนแปลงความต้านทานไปจากค่าความต้านทานปกติ

เมื่อนำวิธีนี้ไปหาความไม่เป็นเชิงเส้นของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ข) นั้น โดยจัดรูปสมการที่ 7.2 ใหม่ดังนี้

$$V_o = \frac{V_{EX}}{2}\frac{\Delta R}{R}\left[\frac{1}{1+(\Delta R/2R)}\right] \tag{7.15}$$

ซึ่งความไม่เป็นเชิงเส้นของสมการที่ 7.15 นั้นมาจากพจน์ในวงเล็บ ดังนั้นสมการเชิงเส้นที่นำมาเปรียบเทียบกับสมการที่ 7.15 สามารถแสดงได้ดังนี้

$$V_{o(linear)} = \frac{V_{EX}}{2}\frac{\Delta R}{R} \qquad (7.16)$$

จากสมการที่ 7.15 และ 7.16 นั้นสามารถหาค่าความผิดพลาดของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ข) ได้โดยใช้วิธีเดียวกันกับการหาค่าความไม่เป็นเชิงเส้นของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก) ซึ่งจะพบว่าความไม่เป็นเชิงเส้นของวงจรวีตสโตนบริดในรูปที่ 7.1(ข) จะมีค่าเท่ากับความไม่เป็นเชิงเส้นของวงจตวีดสโตนบริดจ์ในรูปที่ 7.1(ก)

ในส่วนของการหาค่าความไวของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก)-7.1(ง) นั้น ทำได้โดยการคิดค่าอัตราการเปลี่ยนแปลงแรงดันด้านเอาต์พุตเทียบกับค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์ โดยตารางที่ 7.1 แสดงค่าความไม่เป็นเชิงเส้นและค่าความไว(Sensitivity) ของวงวีตสโตนบริดจ์จากการเปลี่ยนค่าความต้านทานทั้ง 4 แบบ โดยคิดค่าความไม่เป็นเชิงเส้นที่ค่าความต้านทานเปลี่ยนไป 1% (n=1) จากค่าความต้านทานปกติ

ตารางที่ 7.1 ความไม่เป็นเชิงเส้นของวงจรวีตสโตนบริดจ์ในรูปที่ 7.1 แต่ละแบบ

วงจรวีตสโตนบริดจ์	สมการเอาต์พุต	ค่าความไว	ความไม่เป็นเชิงเส้น
รูป 7.1(ก)	$V_o = \frac{V_{EX}}{4}\left[\frac{\Delta R}{(R+\Delta R/2)}\right]$	$S = \frac{V_{EX}}{4}\frac{R}{\left[R+(\Delta R/2)\right]^2}$	0.5%
รูป 7.1(ข)	$V_o = \frac{V_{EX}}{2}\left[\frac{\Delta R}{(R+\Delta R/2)}\right]$	$S = \frac{V_{EX}}{2}\frac{R}{\left[R+(\Delta R/2)\right]^2}$	0.5%
รูป 7.1(ค)	$V_o = \frac{V_{EX}}{2}\left[\Delta R/R\right]$	$S = \frac{V_{EX}}{2R}$	0%
รูป 7.1(ง)	$V_o = V_{EX}\left[\Delta R/R\right]$	$S = \frac{V_{EX}}{R}$	0%

จากตารางที่ 7.1 ซึ่งแสดงถึงความไม่เป็นเชิงเส้นระหว่างการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์กับค่าแรงดันเอาต์พุตที่ได้จากวงจรวีตสโตนบริดจ์แต่ละแบบ ซึ่งความไม่เป็นเชิงเส้นนี้คิดเป็นเปอร์เซ็นต์ของเอาต์พุตที่เบนออกจากเส้นตรงเทียบกับช่วงอินพุตเต็ม(Full-scale input) โดยจะสังเกตเห็นว่าวงจรวีตสโตนบริดจ์ในรูปที่ 7.1(ก) และ (ข) เกิดความไม่เป็นเชิงเส้นขึ้น แต่อย่างไรก็ตามความไม่เป็นเชิงเส้นนี้สามารถถูกชดเชย(Compensate) ได้ด้วย ซอฟต์แวร์[7.4] แต่สิ่งที่สำคัญนั้นคือการลดแรงดันออฟเซตที่เกิดจากความไม่เข้าคู่กัน(Mismatch) ของความต้านทานแต่ละตัว โดยปัญหาความไม่เข้าคู่กัน(Mismatch) ของค่าความต้านทานแต่ละตัวในวงจรวีตสโตนบริดจ์ จะทำให้เกิดแรงดันออฟเซตขึ้นที่เอาต์พุต ซึ่งสามารถแก้ไขได้โดยวิธีการต่อเชื่อสามสาย (3-wire connection), การตรวจวัดแบบ KELVIN [7.4] หรือใช้ซอฟแวร์ในการชดเชยค่าแรงดันออฟเซตที่เกิดขึ้น

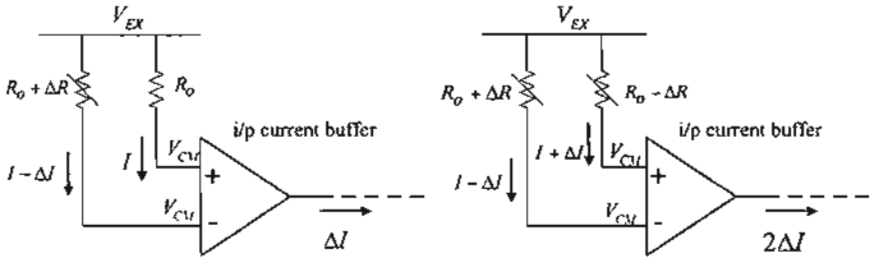
ข้อเสียอีกประการหนึ่งของวงจรวีตสโตนบริดจ์นั่นคือ ค่าความไวของวงจรวีตสโตนบริดจ์นั้นเป็นสัดส่วนโดยตรงกับค่าแรงดันกระตุ้น(Excitation voltage) ซึ่งโดยทั่วไปจะเป็นแรงดันของแหล่งจ่าย(Supply) ดังนั้นการเพิ่มค่าความไวให้กับวงจรวีตสโตนบริดจ์โดยการเพิ่มแรงดันกระตุ้นให้มีค่ามากขึ้น เป็นผลให้วงจรวีตสโตนบริดจ์ไม่สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำๆ ได้ โดยวิธีที่จะเพิ่มค่าความไวให้กับวงจรวีตสโตนบริดจ์โดยไม่เพิ่มค่าแรงดันกระตุ้น คือการต่อวงจรขยายแรงดันผลต่าง(Diferential amplifier)เข้าไปที่เอาต์พุตของวงจรวีตสโตนบริดจ์ ซึ่งวิธีนี้จะทำให้ค่าความไวของวงจรวีตสโตนบริดจ์ถูกเพิ่มขึ้นด้วยอัตราขยายของวงจรขยายแรงดันผลต่าง แต่วิธีนี้จะทำให้ออกแบบวงจรขยายแรงดันผลต่างที่มีค่าอัตราส่วนการขจัดแบบวิธีร่วม(Common-mode rejection ratio: CMRR) ได้ยากเพราะค่าแรงดันโหมดร่วมของวงจรวีตสโตนบริดจ์มีค่าอยู่ตรงกึ่งกลางของแรงดันกระตุ้น ซึ่งจากเหตุผลดังที่ได้กล่าวมานั้น เป็นข้อเสียที่ทำให้วงจรวีตสโตนบริดจ์ไม่เหมาะสมต่อการใช้งานภายใต้แรงดันต่ำ

7.3 การตรวจวัดการเปลี่ยนความต้านทานโดยใช้การตรวจจับกระแส (Current Sensing configuration)

ปัจจุบันความก้าวหน้าทางเทคโนโลยีทำให้สามารถสร้างทรานซิสเตอร์ให้มีขนาดที่เล็กลงกว่าแต่ก่อนมาก ซึ่งผลที่ได้คือสามารถออกแบบวงจรที่ทำงานได้ภายใต้แรงดันต่ำ เพื่อเป็นการลดการใช้กำลังงานของวงจรลง ทำให้วงจรมีอายุการใช้งานที่ยาวนานขึ้น เมื่อกลับมาพิจารณาถึงวงจรวีตสโตนบริดจ์แล้ว ในการใช้งานวงจรวีตสโตนบริดจ์ภายใต้แรงดันกระตุ้นต่ำ(Low excitation voltage) นั้นมีข้อเสีย ดังที่ได้กล่าวมาแล้วคือความไว(sensitivity) ของวงจรจะมีค่าลดลง และนอกจากนั้นแล้วแรงดันดันโหมดร่วม(Common-mode voltage) ของวงจรวีตสโตนบริดจ์ซึ่งโดยปกติจะอยู่กึ่งกลางของของแรงดันกระตุ้น V_{EX} (ในที่นี้สมมุติให้มีค่าเท่ากับแรงดันของแหล่งจ่าย) นั้นจะมีผลต่อการออกแบบวงจรต่อร่วม(Interface circuit) ที่มีแรงดันโหมดร่วมที่อินพุตอยู่กึ่งกลางของแรงดันแหล่งจ่าย

จากที่ได้กล่าวถึงปัญหาของการใช้งานวงจรวีตสโตนบริดจ์ภายใต้แรงดันต่ำแล้ว ได้ทำการออกแบบวิธีการตรวจจับการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์ โดยการตรวจจับกระแสที่เกิดจากการเปลี่ยนค่าความต้านทานแทนการตรวจจับแรงดันเหมือนอย่างในวงจรวีตสโตนบริดจ์ ซึ่งโครงสร้างการตรวจจับกระแส(Current-sensing configuration) จากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์ ทำได้โดยการสร้างแรงดันคงที่คร่อมวัสดุเปียโซรีซิสเตอร์ดังแสดงในรูปที่ 7.2 แรงดันคงที่ที่ดกคร่อมตัวเปียโซรีซิสเตอร์นั้นมีค่าเท่ากับ $V_{EX} - V_{CM}$ โดยที่ V_{CM} คือแรงดันโหมดร่วมที่สร้างขึ้นจากวงจรบัฟเฟอร์ ดังนั้นจะเห็นได้ว่าเมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เปลี่ยนแปลงไปจะทำให้เกิดการเปลี่ยนแปลงของกระแสที่ไหลผ่านตัวเปียโซรีซิสเตอร์ โดยกระแสนี้จะถูกส่งผ่านเข้าไปในวงจรบัฟเฟอร์แบบผลต่างกระแสอินพุต(Differential input

current buffer) ซึ่งมีสัมพันธ์ระหว่างกระแสที่เปลี่ยนแปลงไป ΔI กับค่าความต้านทาตานที่เปลี่ยนแปลงไป ΔR ของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทาน ทั้งสองแบบสามารถแสดงดังนี้



(ก) ใช้เซนเซอร์ตัวเดียว (ข) ใช้เซนเซอร์ 2 ตัว

รูปที่ 7.2 การตรวจจับกระแสจากการเปลี่ยนค่าความต้านทาน

วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 1 ตัว

$$\Delta I = \frac{V_{EX} - V_{CM}}{R_o} \frac{\Delta R}{R_o} \left[\frac{1}{1 + \Delta R / R_o} \right] \tag{7.17}$$

วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัว

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o} \frac{\Delta R}{R_o} \left[\frac{1}{1 - (\Delta R / R_o)^2} \right] \tag{7.18}$$

7.3.1 การวิเคราะห์ความไม่เป็นเชิงเส้นและค่าความไวของวิธีการตรวจวัดการเปลี่ยนความต้านทานโดยการตรวจจับกระแส

ในการวิเคราะห์หาความไม่เป็นเชิงเส้นของวิธีการตรวจจับการเปลี่ยนความต้านทานโดยการตรวจจับกระแส(current-sensing configuration) นั้น สามารถใช้วิธีเดียวกันกับการวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรวีตสโตนบริดจ์ โดยวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 1 ตัว มีค่าความไม่เป็นเชิงเส้นของสมการนั้นขึ้นอยู่กับพจน์ในวงเล็บของสมการที่ 7.17 ดังนั้นสมการเส้นตรงที่นำมาเปรียบเทียบเพื่อหาค่าความไม่เป็นเชิงเส้นของสมการที่ 7.17 นั้นสามารถแสดงได้ดังนี้

$$\Delta I = \frac{V_{EX} - V_{CM}}{R_o}\frac{\Delta R}{R_o} \tag{7.19}$$

เมื่อแทนสมการที่ 7.7 เข้าไปในสมการที่ 7.17 และ 7.19จะได้สมการที่ 7.20 และ 7.21 ตามลำดับ

$$\Delta I_{(non-linear)} = \frac{V_{EX} - V_{CM}}{R_o}\left(\frac{n}{n+100}\right) \tag{7.20}$$

$$\Delta I_{(linear)} = \frac{V_{EX} - V_{CM}}{R_o}\left(\frac{n}{100}\right) \tag{7.21}$$

เมื่อหาค่าสัมบูรณ์ของผลต่างของสมการที่ 7.20 และ 7.21 จะได้

$$\left|\Delta I_{(linear)} - \Delta I_{(non-linear)}\right| = \frac{V_{EX} - V_{CM}}{R_o}\left[\left[\frac{n}{n+100} - \frac{n}{100}\right]\right] \tag{7.22}$$

$$\left|\Delta I_{(linear)} - \Delta I_{(non-linear)}\right| = \frac{V_{EX} - V_{CM}}{R_o}\left[\left[\frac{n^2}{100(n+100)}\right]\right] \tag{7.23}$$

ดังนั้นค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{\left|\Delta I_{(non-linear)} - \Delta I_{(linear)}\right|}{Full\ scale\ output} \times 100 \tag{7.24}$$

$$\%ERROR = \frac{\frac{V_{EX} - V_{CM}}{R_o}\left[\left[\frac{n^2}{100(n+100)}\right]\right]}{\frac{V_{EX} - V_{CM}}{R_o}\left(\frac{n}{100}\right)} \times 100 \tag{7.25}$$

$$\%ERROR = \frac{100n}{n+100} \tag{7.26}$$

เมื่อทำการวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัวนั้นสามารถทำได้แบบเดียวกันกับวิธีวิเคราะห์หาความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ 2 ตัว โดย

พิจารณาจากสมการที่ 7.18 จะพบว่าพจน์ในวงเล็บนั้นส่งผลให้สมการที่ 7.18 เกิดความไม่เป็นเชิงเส้นขึ้น ดังนั้นสมการเส้นตรงที่นำมาเปรียบเทียบเพื่อหาค่าความไม่เป็นเชิงเส้นของสมการที่ 7.18 นั้นสามารถแสดงได้ดังนี้

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o}\frac{\Delta R}{R_o} \tag{7.27}$$

เมื่อแทนสมการที่ 7.7 เข้าไปในสมการที่ 7.18 และ 7.27 จะได้สมการที่ 7.28 และ 7.29 ตามลำดับ

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o}\left(\frac{100n}{100^2 - n^2}\right) \tag{7.28}$$

$$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o}\left(\frac{n}{100}\right) \tag{7.29}$$

เมื่อหาค่าสัมบูรณ์ของผลต่างของสมการที่ 7.20 และ 7.21 จะได้

$$\left|\Delta I_{(linear)} - \Delta I_{(non\text{-}linear)}\right| = \frac{2(V_{EX} - V_{CM})}{R_o}\left|\left[\frac{100n}{100^2 - n} - \frac{n}{100}\right]\right| \tag{7.30}$$

$$\left|\Delta I_{(linear)} - \Delta I_{(non\text{-}linear)}\right| = \frac{2(V_{EX} - V_{CM})}{R_o}\left|\left[\frac{n^2}{100\left(100^2 - n^2\right)}\right]\right| \tag{7.31}$$

เมื่อนำสมการที่ 7.31 ไปแทนในสมการที่ 7.24 เพื่อหาค่าความผิดพลาดไปจากสมการเชิงเส้นคิดเป็นเปอร์เซ็นต์เมื่อเทียบกับเอาต์พุตเต็ม (Full scale output) จะมีค่าดังสมการ

$$\%ERROR = \frac{\dfrac{2(V_{EX} - V_{CM})}{R_o}\left|\left[\dfrac{n^2}{100\left(100^2 - n^2\right)}\right]\right|}{\dfrac{2(V_{EX} - V_{CM})}{R_o}\left(\dfrac{n}{100}\right)} \times 100 \tag{7.32}$$

$$\%ERROR = \frac{100n}{100^2 - n^2} \tag{7.26}$$

ในส่วนของการหาค่าความไวของวิธีตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานในรูปที่ 7.2(ก) และ7.2 (ข) นั้น ทำได้โดยการคิดค่าอัตราการเปลี่ยนแปลงแรงดันด้านเอาต์พุตเทียบกับค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์โดยตารางที่ 7.2 แสดงค่าความไม่เป็นเชิงเส้นและค่าความไว(Sensitivity) ของของวิธีตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานทั้ง 2 แบบ โดยคิดค่าความไม่เป็นเชิงเส้นที่ค่าความต้านทานเปลี่ยนไป 1% (n=1) จากค่าความต้านทานปกติ

ตารางที่ 7.2 ความไม่เป็นเชิงเส้นของวงจรตรวจจับกระแสจากการเปลี่ยนค่าของความต้านทาน

วงจรตรวจจับกระแส	สมการเอาต์พุต	ค่าความไว	ความไม่เป็นเชิงเส้น
รูปที่ 7.2(ก)	$\Delta I = \frac{(V_{EX} - V_{CM})}{R_O} \frac{\Delta R/R}{1+\Delta R/R}$	$S = \frac{V_{EX} - V_{CM}}{(R_o + \Delta R)^2}$	1%
รูปที่ 7.2(ข)	$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_O} \frac{\Delta R/R}{1-(\Delta R/R)^2}$	$S = 2(V_{EX} - V_{CM})\left[\frac{(R_o^2 + \Delta R^2)}{(R_o^2 - \Delta R^2)^2}\right]$	0.01%

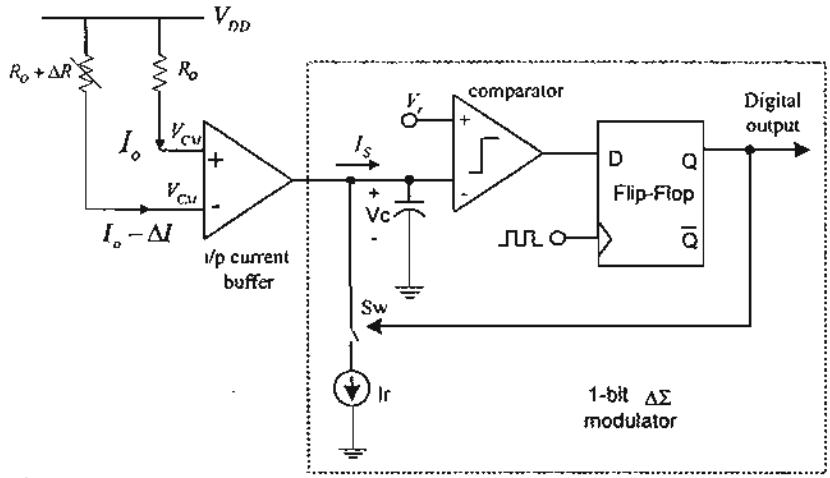
จากตารางที่ 7.2 แสดงให้เห็นว่า วงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้วัสดุเปียโซรีซิสเตอร์ 2 ตัวให้ความความเป็นเชิงเส้นมากกว่าแบบใช้วัสดุเปียโซรีซิสเตอร์ 1 ตัว แต่ว่าเนื่องจากที่ได้กว่ามาแล้วว่าความไม่เป็นเชิงเส้นนั้นสามารถชดเชยได้ด้วยกระบวนการทางซอฟแวร์ ดังนั้นจึงเลือกใช้วิธีการตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานโดยใช้เปียโซรีซิสเตอร์เพียงตัวเดียว เพื่อลดพื้นที่ และความไม่เข้ากันของค่าความต้านทาน โดยวงจรตรวจจับกระแสจากการเปลี่ยนค่าความต้านทานแบบใช้เปียโซรีซิสเตอร์ฟเพียวตัวเดียวนั้น ค่าความต้านทานคงที่ R_o นั้นสามารถนำไปใช้ในการชดเชยอุณหภูมิให้กับวงจรได้อีกด้วย[7.5]

7.4 วงจรต่อเชื่อม (Interface circuit)

วงจรต่อเชื่อมที่สร้างขึ้นเพื่อใช้ตรวจวัดการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์นั้นมีด้วยกันหลายแบบ ทั้งที่ให้เอาต์พุตเป็นสัญญาณอนาล็อกที่สัมพันธ์กับการเปลี่ยนค่าความต้านทานที่เปลี่ยนแปลง และที่ให้เอาต์พุตเป็นสัญญาณดิจิตอล เพื่อประโยชน์ในการเชื่อต่อกับอุปกรณ์ประมวลผล ซึ่งส่วนมากเป็นอุปกรณ์ดิจิตอล

รูปที่ 7.2(ก) แสดงวิธีการตรวจจับการเปลี่ยนค่าความต้านทานโดยการตรวจจับกระแสแบบใช้เปียโซรีซิสเตอร์เพียงตัวเดียว โดยการออกแบบวงจรต่อร่วมกับโครงสร้างดังกล่าวนั้นแสดงได้ดังรูปที่ 7.3 ซึ่งประกอบไปด้วยวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input-current buffer) และวงจรมอดูเลตสัญญาณชิกม่าเดลต้าอันดับหนึ่ง โดยเปียโซรีซิสเตอร์ R_p ($R_p = R_o + \Delta R$) และความต้านทานอ้างอิง R_o ซึ่งมีค่าความต้านปกติเท่ากัน ถูกต่ออยู่ระหว่างแรงดันแหล่งจ่ายกับ

อินพุตทั้งสองของวงจรบัฟเฟอร์กระแสซึ่งมีแรงดันโหมดร่วม(common-mode voltage) คงที่ ดังนั้นจึงทำให้แรงดันที่ตกคร่อมความต้านทานทั้งสองมีค่าคงที่ตามไปด้วย



รูปที่ 7.3 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์

จากรูปที่ 7.3 นั้นแสดงให้เห็นถึงหลักการทำงานของวงจร ซึ่งเมื่อค่าความต้านทานของเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงไป ΔR จะทำให้กระแสที่ไหลผ่านตัวมันเกิดการเปลี่ยนแปลงไป ΔI ขณะที่กระแสที่ไหลผ่านความต้านทานอ้างอิงนั้นมีคงที่เท่ากับ I_o ดังแสดงในรูปที่ 7.3 โดยที่กระแสทั้งสองนี้จะถูกส่งผ่านเข้าไปในวงจรบัฟเฟอร์แบบผลต่างกระแสอินพุต (differential input buffer) ซึ่งจะให้เอาต์พุต I_s เป็นผลต่างของกระแสอินพุตดังสมการ

$$I_{out} = I_{in}^{+} - I_{in}^{-} \tag{7.5}$$

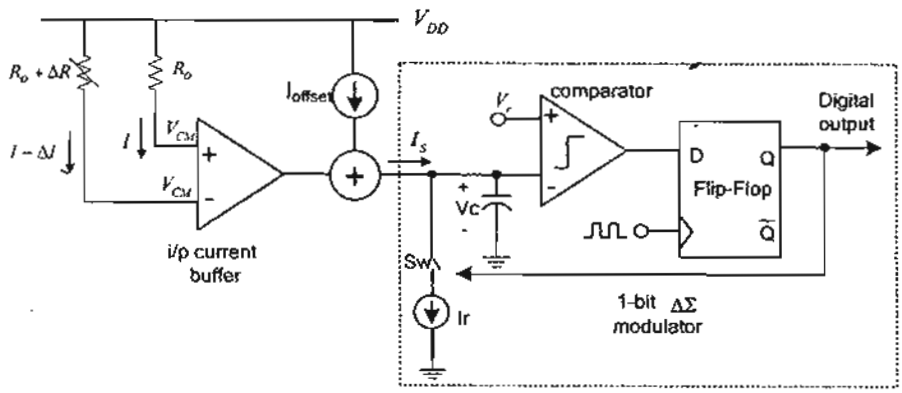
จากนั้นกระแสเอาต์พุตของวงจรบัฟเฟอร์แบบผลต่างอินพุต I_s จะถูกส่งผ่านเข้าไปยังวงจรมอดูเลตสัญญาณซิกม่าเดลต้า ซึ่งให้ผลจำนวนพัลส์ที่สัมพันธ์กับกระแสอินพุต I_s และซิงโครไนซ์ (synchronize) กับความถี่การสุ่มดังสมการที่ 7.6

$$\frac{I_{out}}{I_r} = \frac{N_d T_{clk}}{T_{im}} \tag{7.6}$$

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่นำมาใช้เป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่งแบบเวลาต่อเนื่อง(First-order continuous time sigma delta modulator) โดยมีฟังก์ชั่นของวงจรกรองความถี่เป็นแบบผ่านความถี่ต่ำอันดับหนึ่ง(First-order low-pass filter) แต่โดยทั่วไป

โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่ใช้นี้จะมีชื่อเรียกอีกอย่างหนึ่งว่า วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัดปล่อยประจุ (Charge-balance ΣΔ modulator) ซึ่งรายละเอียดในส่วนของการทำงานของวงจรจะขอกล่าวอย่างละเอียดในบทถัดไป

7.4.1 วงจรต่อเชื่อมสำหรับวิธีตรวจวัดค่าการเปลี่ยนความต้านทานโดยการตรวจจับกระแส ในทางปฏิบัติ



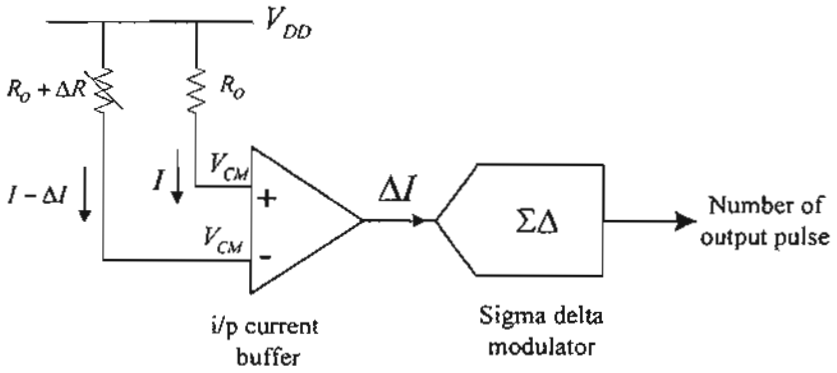
รูปที่ 7.4 วงจรเชื่อมต่อสำหรับวัดค่าการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์ในทางปฏิบัติ

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้นจำเป็นต้องให้ทิศทางของกระแส I_{out} มีทิศไหลเข้าเท่านั้นจึงจะทำให้วงจรสามารถทำงานในรูปแบบการป้อนกลับแบบลบได้ ดังนั้นเมื่อกลับมาพิจารณาถึงวิธีตรวจวัดการเปลี่ยนค่าความต้านทานโดยใช้การตรวจจับกระแส จะสังเกตเห็นได้ว่า ทิศทางของกระแสที่ไหลออกจากวงจรตรวจจับการเปลี่ยนความต้านทานโดยใช้การตรวจวัดกระแสนั้น มีทิศทางไหลออกเพียงอย่างเดียวเมื่อค่าความต้านทานของเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงมีค่ามากขึ้น ดังนั้นกระแสนี้จะถูกป้อนเข้าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุในทิศทางไหลเข้าวงจร ดังรูปที่ 7.3 ทำให้กลไกการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าสามารถทำงานได้ตามปกติ ซึ่งเหตุการณ์นี้จะเกิดขึ้นก็ต่อเมื่อการสร้างค่าความต้านปกติของวัสดุเปียโซรีซิสเตอร์มีค่าเท่ากันหรือถ้าการสร้างค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์มีค่าไม่เท่ากัน กระแสออฟเซตที่ได้ต้องมีทิศทางไหลเข้าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุเท่านั้น แต่ถ้าเกิดการสร้างค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์เกิดความผิดพลาด แล้วทำให้เกิดกระแสออฟเซตในวิธีตรวจจับการเปลี่ยนความต้านทานโดยการตรวจวัดกระแสนั้นมีทิศทางไหลออกจากวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ ซึ่งในกรณีนี้จะทำให้กลไกการทำงานของวงจรไม่สามารถทำงานได้ภายใต้การป้อนกลับแบบลบอีกต่อไป โดยในทาง

ปฏิบัติสามารถการแก้ปัญหานี้ได้โดยการเพิ่มกระแสคงที่ค่าหนึ่งเข้าไปที่เอาต์พุตของวงจรตรวจจับการเปลี่ยนความต้านทานโดยใช้การตรวจจับกระแส ดังรูปที่ 7.4

7.6 โครงสร้างของวงจรตรวจวัดกระแสจากการเปลี่ยนค่าความต้านทานที่นำเสนอ

รูปที่ 7.5แสดงวิธีตรวจจับการเปลี่ยนค่าความความต้านทานของเปียโซรีซิสเตอร์โดยวิธีการตรวจจับกระแส โดยวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer)นั้นมีหน้าที่สร้างแรงดันคงที่ให้ดกคร่อมความต้านทานของวัสดุเปียโซรีซิสเตอร์ และค่าความต้านทานอ้างอิง เมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงขึ้น จะทำให้เกิดการเปลี่ยนแปลงกระแสขึ้นที่อินพุตของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current input) โดยกระแสนี้จะถูกส่งผ่านไปยังวงจรมอดูเลตสัญญาณซิกม่าเดลต้าซึ่งทำหน้าที่เปลี่ยนกระแสอินพุตให้เป็นจำนวนพัลส์ทางด้านเอาต์พุต ซึ่งส่วนประกอบและหลักการทำงานของวงจรแต่ละส่วนสามารถอธิบายได้ในหัวข้อถัดไป

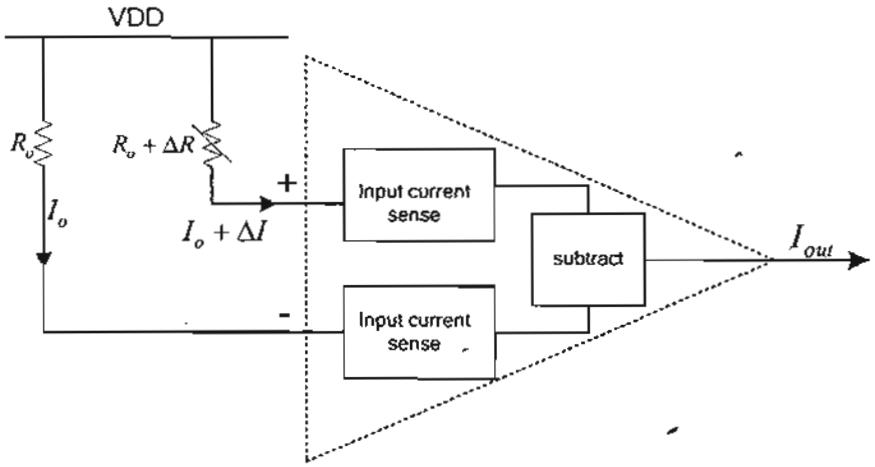


รูปที่ 7.5 แผนภาพวงจรต่อเชื่อมเพื่อตรวจวัดการเปลี่ยนค่าความต้านทาน

7.7 วงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer)

7.7.1 โครงสร้างของวงจรบัฟเฟอร์กระแส

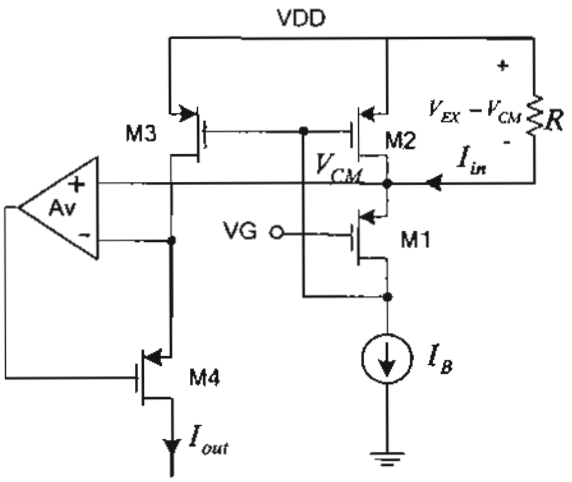
วงจรบัฟเฟอร์ประกอบไปด้วยวงจร 2 ส่วนด้วยกัน คือวงจรในส่วนรับกระแสอินพุต และวงจรหักล้างกระแสโหมดร่วมดังรูปที่ 7.6 โดยวงจรในส่วนแรกเป็นวงจรที่ทำหน้าที่สร้างแรงดันคงที่ตกคร่อมความต้านทานอ้างอิงและเปียโซรีซิสเตอร์ และยังทำหน้าที่เป็นวงจรสำหรับรับกระแสอินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์อีกด้วย ซึ่งกระแสเอาต์พุตที่ได้จากวงจรในส่วนแรกจะถูกส่งผ่านไปยังวงจรในส่วนที่สองซึ่งทำหน้าที่นำค่ากระแสที่รับได้จากวงจรในส่วนแรกมาหักลบเพื่อกำจัดกระแสโหมดร่วมออกไป



รูปที่ 7.6 โครงสร้างของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

7.7.2 การวิเคราะห์วงจรในส่วนรับกระแสอินพุตและวงจรหักล้างกระแสโหมดร่วม

โครงสร้างของวงจรในส่วนรับกระแสอินพุตสามารถแสดงได้ดังรูปที่ 7.7 ซึ่งเป็นโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower [7.6] ต่อเป็นวงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบเพื่อเพิ่มความแม่นยำในการสะท้อนกระแส และยังช่วยเพิ่มค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสอีกด้วย โดยคุณสมบัติของวงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นคือ แรงดันที่ขาซอสของทรานซิสเตอร์ M1 นั้นจะมีค่าคงที่เพราะกระแสไบอัส I_B โดยสามารถแสดงเป็นสมการได้ดังนี้



รูปที่ 7.7 โครงสร้างของวงจรในส่วนรับกระแสอินพุต

$$V_{CM} = V_{G1} + \sqrt{\frac{2I_B}{u_p C_{ox}(W/L)_1}} + V_{THP} \qquad (7.7)$$

ดังนั้นค่าแรงดัน V_{CM} นี้จึงทำให้ค่าแรงดันคงที่ตกคร่อมความต้านทาน R เท่ากับ $V_{DD} - V_{CM}$ ดังในรูปที่ 7.8 และทำให้เกิดกระแส I_{in} ดังสมการที่ 7.8

$$V_R = V_{DD} - V_{CM} \qquad (7.8)$$

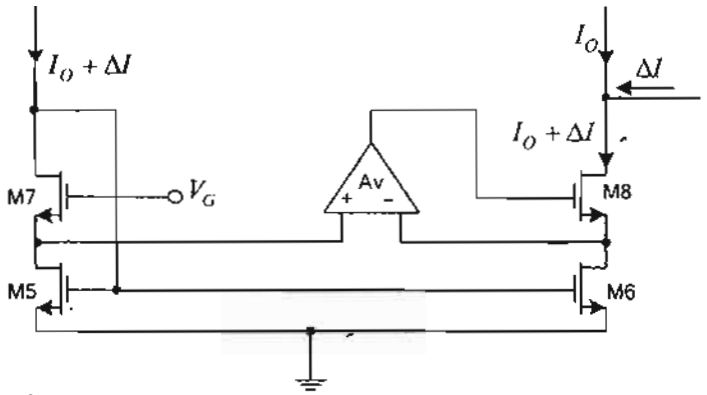
คุณสมบัติอีกอย่างหนึ่งของวงสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นคือ ค่าความต้านทานรอบขาซอสของทรานซิสเตอร์ M1 นั้นจะมีค่าต่ำมาก เพราะโครงสร้างของการป้อนกลับแบบเซนต์แรงดันป้อนกลับแรงดัน(series-shunt feedback)[7.7] จึงทำให้วงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นเหมาะที่จะนำมาใช้เป็นวงจรในส่วนรับกระแสอินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ โดยค่าอิมพีแดนซ์ทางด้านอินพุตของวงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นสามารถแสดงได้ดังสมการที่ 7.9 ดังนี้

$$R_{in} = \frac{1}{gm_1 gm_2 ro_1} \qquad (7.9)$$

เนื่องจากวงจรสะท้อนกระแสในส่วนรับกระแสอินพุตนั้นมีการป้อนกลับแรงดันโดยวงจรขยายสัญญาณออปแอมป์เพื่อรักษาแรงดันที่ขาเดรนของทรานซิสเตอร์ M2 และ M3 ให้มีค่าคงที่ จึงทำให้ความแม่นยำในการสะท้อนกระแสจากอินพุตไปยังเอาต์พุตของวงจรสะท้อนกระแสที่มีโครงสร้างของวงจรตามแรงดันแบบ Flipped voltage follower นั้นมีค่ามากขึ้น และนอกจากนั้นยังเป็นการช่วยเพิ่มค่าความต้านทานเอาต์พุตให้กับวงจรอีกทางหนึ่งด้วย ซึ่งค่าความต้านทานเอาต์พุตของวงจรสะท้อนกระแสในส่วนรับกระแสอินพุตมีค่าดังสมการที่ 7.10

$$R_{out} = A_v gm_3 r_{o2} r_{o3} \qquad (7.10)$$

ในวงจรส่วนที่สองเป็นวงจรที่ใช้ในการนำกระแสที่ได้จากส่วนรับกระแสอินพุตทั้งสองมาหักล้างกระแสโหมดร่วมออกเพื่อให้กระแสที่เอาต์พุตของวงจรบัฟเฟอร์กระแสมีแต่กระแสที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เท่านั้น โดยวงจรที่ทำหน้าที่หักล้างกระแสโหมดร่วม(Common-mode current) ที่เอาต์พุตสามารถแสดงได้ดังรูปที่ 7.8



รูปที่ 7.8 โครงสร้างของวงจรหักล้างกระแสโหมดร่วมที่เอาต์พุต

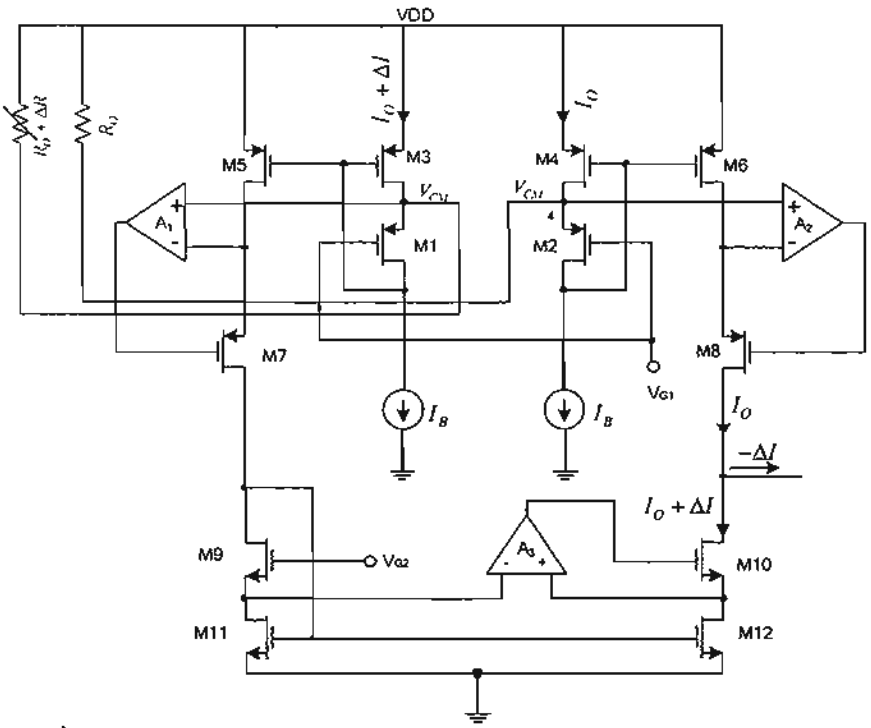
จากรูปที่ 7.7 วงจรที่ใช้ในการหักล้างกระแสโหมดร่วม(Common-mode current) ที่เอาต์พุตนั้น คือ วงจรสะท้อนกระแสที่มีการป้อนกลับแบบลบนั้นเอง โดยค่าความต้านทานอินพุตและของวงจรนี้สามารถพิจารณาได้ดังสมการที่ 7.11 และ 7.12 นี้

$$R_{in} \approx \frac{1}{gm_5} \tag{7.11}$$

$$R_{out} \approx A_v gm_6 r_{o6} r_{o8} \tag{7.12}$$

7.7.3 การวิเคราะห์วงจรบัฟเฟอร์ผลต่างกระแสอินพุต

เมื่อนำวงจรในส่วนรับกระแสอินพุตและวงจรหักล้างกระแสที่เอาต์พุตมาต่อร่วมกันดังแผนภาพบล็อกที่ 7.5 แล้ว จะทำให้วงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) ดังรูปที่ 7.9 ซึ่งการทำงานของวงจรสามารถอธิบายได้โดย วงจรในส่วนรับกระแสอินพุตจะทำหน้าที่สร้างแรงดันคงที่ให้ตกคร่อมวัสดุเปียโซรีซิสเตอร์และความต้านทานอ้างอิงดังสมการที่ 7.8 ดังนั้น เมื่อค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เกิดการเปลี่ยนแปลงค่าไป(สมมุติค่าความต้านทานมีค่ามากขึ้น) จึงทำให้เกิดกระแสผลต่าง (Differential current) $I_o - \Delta I$ ไหลเข้าสู่ทรานซิสเตอร์ M3 ซึ่งกระแสนี้จะถูกสะท้อนไปยังทรานซิสเตอร์ M5 และในอีกด้านหนึ่งกระแสโหมดร่วม I_o ที่เกิดจากความต้านทานอ้างอิงจะถูกสะท้อนผ่านทรานซิสเตอร์ M4 และ M6 ซึ่งกระแสทั้งสองนี้จะถูกนำไปหักลบกันที่เอาต์พุตของวงจรบัฟเฟอร์กระแส เพื่อกำจัดกระแสโหมดร่วม (common-mode current) ออกไป ดังนั้นเอาต์พุตของวงจรบัฟเฟอร์กระแสจึงให้กระแสผลต่างที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์เท่านั้น



รูปที่ 7.9 วงจรบัฟเฟอร์ผลต่างกระแสอินพุต (Differential input current buffer)

เมื่อพิจารณาถึงค่าอินพุตและเอาต์พุตอิมพีแดนซ์ของวงจรบัฟเฟอร์กระแสอินพุต จะเห็นได้ว่า ค่าอินพุตอิมพีแดนซ์ของวงจรนั้นมีค่าเท่ากับค่าอินพุตอิมพีแดนของวงจรส่วนรับกระแสอินพุต ซึ่งสามารถแสดงได้ดังสมการที่ 7.9 และเมื่อพิจารณาค่าอิมพีแดนซ์ด้านเอาต์พุตของวงจรบับเฟอร์กระแสนั้น จะเห็นว่าค่าเอาต์พุตอิมพีแดนซ์ของวงจรคือค่าเอาต์พุตอิมพีแดนซ์ของวงจรในส่วนรับกระแสอินพุตขนานกับค่าเอาต์พุตอิมพีแดนซ์ของวงจรหักล้างกระแสโหมดร่วม ซึ่งสามารถแสดงได้ดังสมการที่ 7.13

$$R_{out} \simeq A_{v2} g m_8 r_{o8} r_{o6} // A_{v3} g m_{10} r_{o10} r_{o12} \tag{7.13}$$

สมการกระแสที่เอาต์พุตของวงจรบัฟเฟอร์กระแสอินพุตนั้นสามารถหาได้การพิจารณาการสะท้อนกระแสของวงจรสะท้อนกระแสแต่ละคู่ โดยสมการสะท้อนกระแสของวงจรสะท้อนกระแสซึ่งมีทรานซิสเตอร์ M3 และ M5 , M4 และ M6 , M11 และ M12 เป็นคู่สะท้อนกระแสสามารถแสดงได้ดังสมการที่ 7.14 ถึง 7.16 ตามลำดับ

$$I_5 = I_3 \frac{(W/L)_5 (1 + \lambda V_{SD5})}{(W/L)_3 (1 + \lambda V_{SD3})} \tag{7.14}$$

$$I_6 = I_4 \frac{(W/L)_6(1+\lambda V_{SD6})}{(W/L)_4(1+\lambda V_{SD4})} \tag{7.15}$$

$$I_{11} = I_{12} \frac{(W/L)_{11}(1+\lambda V_{DS11})}{(W/L)_{12}(1+\lambda V_{DS12})} \tag{7.16}$$

จากรูปที่ 7.9 จะเห็นว่า กระแส $I_5 = I_{11}$ ดังนั้น จะได้ว่า

$$I_{12} = I_3 \frac{(W/L)_{12}(1+\lambda V_{DS12})}{(W/L)_{11}(1+\lambda V_{DS11})} \frac{(W/L)_5(1+\lambda V_{SD5})}{(W/L)_3(1+\lambda V_{SD3})} \tag{7.17}$$

นำสมการที่ 7.15 ลบกับสมการที่ 7.17 จะได้ดังนี้

$$I_{OUT} = I_4 \frac{(W/L)_6(1+\lambda V_{SD6})}{(W/L)_4(1+\lambda V_{SD4})} - I_3 \frac{(W/L)_{12}(1+\lambda V_{DS12})}{(W/L)_{11}(1+\lambda V_{DS11})} \frac{(W/L)_5(1+\lambda V_{SD5})}{(W/L)_3(1+\lambda V_{SD3})} \tag{7.18}$$

เมื่อกำหนดให้ค่าอัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์ M6 = M4 , M12 = M11 , M5 = M3 จะได้

$$I_{OUT} = I_4 \frac{(1+\lambda V_{SD6})}{(1+\lambda V_{SD4})} - I_3 \frac{(1+\lambda V_{DS12})}{(1+\lambda V_{DS11})} \frac{(1+\lambda V_{SD5})}{(1+\lambda V_{SD3})} \tag{7.19}$$

จากรูปที่ 7.8 แทนกระแส I_4 ด้วย I_o และแทนกระแส I_3 ด้วย $I_o + \Delta I$ จะได้

$$I_{OUT} = I_M \left[\frac{(1+\lambda V_{SD6})}{(1+\lambda V_{SD4})} - \frac{(1+\lambda V_{DS12})}{(1+\lambda V_{DS11})} \frac{(1+\lambda V_{SD5})}{(1+\lambda V_{SD3})} \right] - \Delta I \frac{(1+\lambda V_{DS12})}{(1+\lambda V_{DS11})} \frac{(1+\lambda V_{SD5})}{(1+\lambda V_{SD3})} \tag{7.20}$$

จากสมการที่ 7.20 แสดงให้เห็นว่าถ้าไม่คิดผลของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) แล้วนั้นสมการที่ 7.20 จะมีค่าดังนี้

$$I_{OUT} = -\Delta I \tag{7.21}$$

จากสมการที่ 7.21 จะเห็นว่าการลดผลกระทบของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต(Channel length modulation) นั้นจะทำให้อัตราขยายสัญญาณมีค่าคงที่เท่ากับ -1 และลดผลของกระแสออฟเซตทางด้านเอาต์พุตลงด้วย ดังนั้นการใช้การป้อนกลับแบบลบเพื่อทำให้ค่าแรงดันระหว่างขาเดรนและซอสของทรานซิสเตอร์ที่เป็นคู่สะท้อนกระแสจึงมีส่วนช่วยในการลดผลของปรากฏการณ์การลดขนาดลงของความยาวแชนเนลของทรานซิสเตอร์แบบมอสเฟต (Channel length modulation) ได้เป็นอย่างดี

7.7.4 ผลการจำลองการทำงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

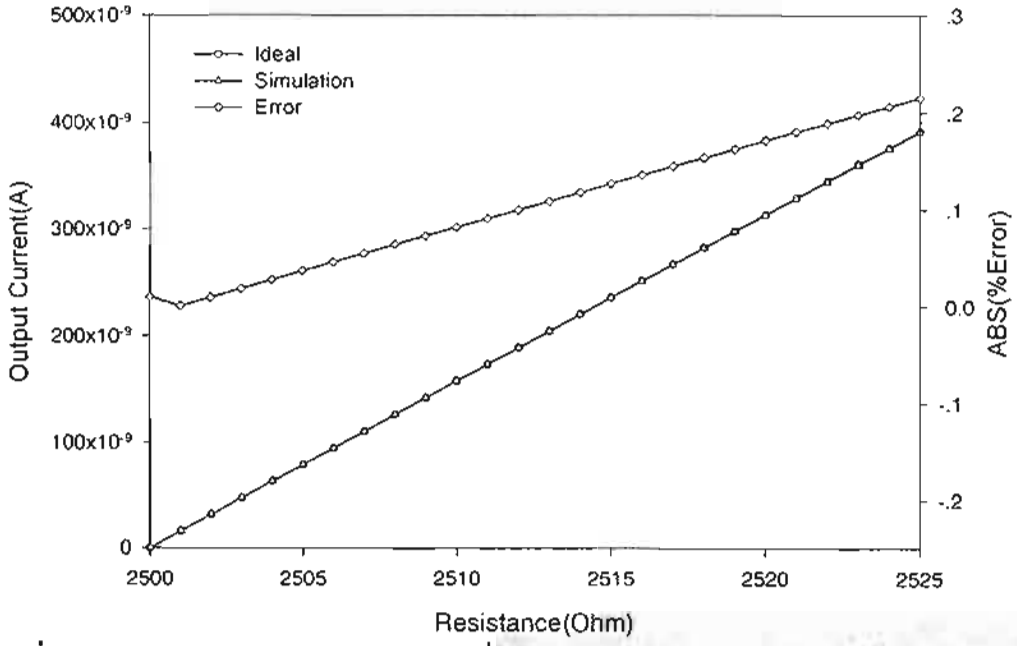
ค่าความต้านทานของเปียโซรีซิสเตอร์ 2500 โอมห์ และมีการเปลี่ยนแปลงค่าความต้านทานไปมากที่สุดคิดเป็น 1% จากค่าความต้านทานปกติของวัสดุเปียโซรีซิสเตอร์ ดังนั้น จากเหตุผลข้างต้นจะเห็นว่า ความแม่นยำในการสะท้อนกระแสของของวงจรบัฟเฟอร์กระแสนั้นเป็นเรื่องที่สำคัญมาก เนื่องจากการเปลี่ยนแปลงค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์นั้นมีค่าน้อย ดังนั้นโครงสร้างของวงจรบัฟเฟอร์กระแสที่มีการป้อนกลับแบบลบ ดังโครงสร้างในรูปที่ 7.8 จึงมีความเหมาะสมที่จะนำมาใช้งาน เพราะโครงสร้างของการป้อนกลับจะช่วยให้การสะท้อนกระแสจากอินพุตไปยังเอาต์พุตของวงจรบัฟเฟอร์มีความแม่นยำยิ่งขึ้น และเมื่อพิจารณาถึงขนาดแบนด์วิดท์ของสัญญาณที่เกิดจากการเปลี่ยนค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์แล้วพบว่าขนาดแบนด์วิดท์จะอยู่ในช่วงไม่เกิด 30 Hz [24] ดังนั้นในการออกแบบวงจรบัฟเฟอร์กระแสอินพุตจึงไม่จำเป็นต้องการแบนด์วิดท์ของวงจรมาก

ในการศึกษาคุณสมบัติของวงจรบัฟเฟอร์กระแสอินพุตในรูปที่ 7.8 นั้น ทำได้โดยการจำลองการทำงานโดยใช้โปรแกรม CADENDE SPECTRE โดยใช้เทคโนโลยีซีมอสขนาด 0.35 ไมโครเมตร โดยกำหนดให้วงจรใช้แหล่งจ่ายแรงดัน 1.5 โวลต์ ใช้กระแสไบอัส I_B 50 μA แรงดันไบอัส V_{G1} เท่ากับ 0.5V และแรงดันไบอัส V_{G2} เท่ากับ 1V ตามลำดับ ซึ่งกระแสไบอัสและแรงดันไบอัสที่ใช้นี้ถูกสร้างโดยวงจรสร้างแรงดันและกระแสอ้างอิง(Voltage and current reference) โดยในการออกแบบวงจรบับเฟอร์กระแสนี้ ทำการออกแบบให้แรงดันโหมดร่วมคงที่ (V_{CM}) ที่สร้างโดยวงจรส่วนรับกระแสอินพุตของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) มีค่าประมาณ 1.4 โวลต์ เพื่อเป็นการลดค่ากระแสโหมดร่วมที่ไหลผ่านความต้านทานอ้างอิงและค่าความต้านทานปกติของเปียโซรีซิสเตอร์ลงให้น้อยที่สุด เพื่อลดการใช้กำลังงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) นอกจากนั้นได้ทำการออกแบบวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer)ให้สามารถ รองรับความไม่สมพงษ์กัน(Mismatch) ของค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงได้ไม่เกิน ±2.5% จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์ โดยค่าความกว้างและความยาวของมอสทรานซิสเตอร์ที่ใช้ในการจำลองการทำงานแสดงได้ดังตารางที่ 7.3

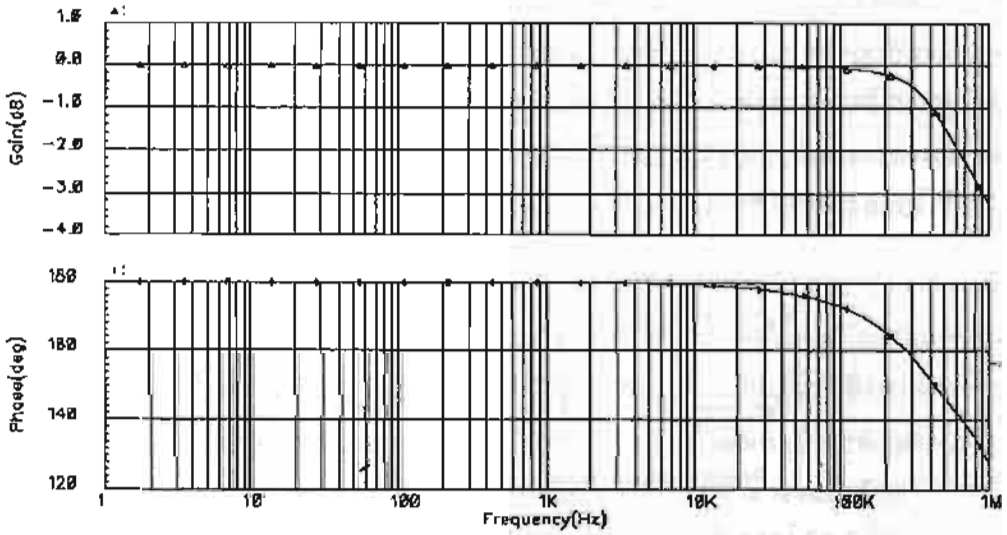
ตารางที่ 7.3 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรบัฟเฟอร์กระแสอินพุต

ทรานซิสเตอร์	W(μm)	L(μm)
M1 , M2	320	5
M3 , M4 , M5 , M6	510	5
M7 , M8	200	5
M9 , M10	20	2
M11 , M12	28	5

รูปที่ 7.10 เป็นผลจำลองการทำงานของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต(Differential input current buffer) เมื่อทำการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์จาก ค่าความต้านทานปกติ 2500 โอห์มไปเป็น 2525(คิดเป็น 1% จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์) โดยจากการจำลองการทำงาน พบว่าเมื่อเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์จากจาก 2500 โอห์ม ไปเป็น 2525 โอห์มแล้ว ค่ากระแสเอาต์พุตที่ได้จะมีค่าเปลี่ยนแปลงไปประมาณ 400 nA โดยกระแสนี้เกิดจากการกำหนดค่าแรงดันคงที่ตกคร่อมตัวเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงซึ่งมีค่าประมาณ 1.4012 โวลต์ โดยผลการจำลองการทำงานนี้ยังได้ทำการเปรียบเทียบ ค่ากระแสที่ได้รับที่เอาต์พุตของวงจรบัฟเฟอร์กระแส เทียบกับการคำนวณค่ากระแสโดยคิดเป็นค่าเปอร์เซนต์ของผลต่างระหว่างกระแสที่ได้จากการคำนวณกับกระแสที่ได้จากการจำลองการทำงานเทียบกับค่ากระแสตลอดช่วงการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเตอร์ ซึ่งจากกราฟแสดงกระแสที่ได้จากการจำลองการทำงานของวงจรบัเฟอร์กระแสนั้นผิดพลาดไปจากกระแสที่ได้จากการคำนวนมากที่สุดคิดเป็น 0.22 % เมื่อเทียบกับกระแสเอาต์พุตตลอดช่วงของการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์



รูปที่ 7.10 การเปรียบเทียบกระแสเอาต์พุตที่ได้จากการจำลองผลการทำงานกับการคำนวณ



รูปที่ 7.11 อัตราขยายทางกระแสและเฟส ของวงจรบัฟเฟอร์กระแสอินพุต

รูปที่ 7.11 เป็นผลจำลองการทำงานซึ่งแสดงอัตราการขยายกระแสเทียบกับเฟสของวงจรบัฟเฟอร์กระแสอินพุต โดยจากรูปแสดงให้เห็นว่าวงจรมีอัตราขยายเป็น 0 dB และ เฟสเป็น 180 องศาคงที่ตลอดย่านความถี่จาก 0 ถึง 10 kHz ซึ่งเพียงพอกับแบนด์วิดท์ ของสัญญาณที่ได้จากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์[7.8] ดังที่ได้กล่าวมาแล้ว โดยวงจรบัฟเฟอร์กระแสที่ทำการออกแบบนี้มีค่าแบนด์วิดท์ที่ -3 dB ประมาณ 900 kHz

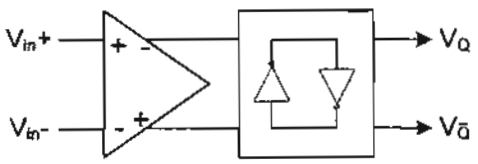
ตารางที่ 7.4 เป็นการสรุปคุณสมบัติโดยรวมของวงจรบัฟเฟอร์กระแสที่ได้จากการจำลองผลการทำงาน

ตารางที่ 7.4 สรุปคุณสมบัติโดยรวมของวงจรบัฟเฟอร์ผลต่างกระแสอินพุต

พารามิเตอร์	วงจรบัฟเฟอร์กระแส	หน่วย
Supply	1.5	V
Gain	0.	dB
-3dB Bandwidth	900k	Hz
Input impedance	6.8	Ω
Output impedance	0.9G	Ω
Power dissipation	195	uW

7.8 วงจรเปรียบสัญญาณแบบพลวัต (Dynamic comparator)

วงจรเปรียบสัญญาณแบบพลวัตเป็นส่วนประกอบหนึ่งที่ถูกนำมาใช้ในโครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า โดยจะให้แทนในส่วนของวงจรเปรียบเทียบสัญญาณ(Comparator)และวงจรฟลิปฟ่ลอป(Flip-Flop) เพราะลักษะการทำงานของวงจรเปรียบเทียบสัญญาณแบบพลวัตนั้นจะทำการเปรียบสัญญาณอินพุตและแรงดันอ้างอิงทุกๆของขาของสัญญาณนาฬิกาและโฮลค่าการเปรียบเทียบนั้นไว้จนกว่าจะขอบขาของสัญญาณนาฬิกาลูกใหม่จะมาถึง จึงทำการเปรียบเทียบใหม่ ซึ่งโครงสร้างโดยทั่วไปของวงจรเปรียบเทียบสัญญาณแบบพลวัตินั้นสมารถแสดงได้ดังรูปที่ 7.12



รูปที่ 7.12 โครงสร้างวงจรเปรียบเทียบสัญญาณแบบพลวัต

จากรูปที่ 7.12 จะเห็นว่าวงจรเปรียบเทียบสัญญาณแบบพลวัต ประกอบด้วยวงจร 2 ส่วนใหญ่ ๆ คือ วงจรขยายภาคต้น(preamplifier) ซึ่งจะทำการขยายสัญญาณอินพุตทั้งสองด้วยอัตราการขยายที่มีค่าไม่สูงมากนัก และในส่วนที่สองคือวงจรเลตช์ค่าแรงดันต้นวงกลับ (regenerative latch) ซึ่งใช้หลักการของการป้อนกลับแบบบวกเพื่อเพิ่มค่าอัตราการขยายประสิทธิผลให้กับวงจรเปรียบเทียบสัญญาณ

โดยค่าอัตราการเปลี่ยนแปลงแรงดันที่เอาต์พุต (ΔV_O) จะเป็นฟังก์ชันเอกซ์โพเนนเชียลของค่าคงตัวเวลาของวงจรอินเวอร์เตอร์ (τ_{inv}) [4] ดังสมการที่ 7.22

$$\Delta V_O = \Delta V_O e^{t/t_{lich}} \tag{7.22}$$

โดย ΔV_O คือสัญญาณผลต่างของแรงดันเอาต์พุตที่เวลาเริ่มต้น และ t_{lich} คือค่าเวลาคงตัวของการสร้างใหม่ (Regenerative time : t_{lich}) ของวงจรแลตช์ค่าแรงดันวงกลับ ดังแสดงในสมการที่ 7.23

$$t_{lich} = K\frac{L^2}{u_n V_{eff}} \tag{7.23}$$

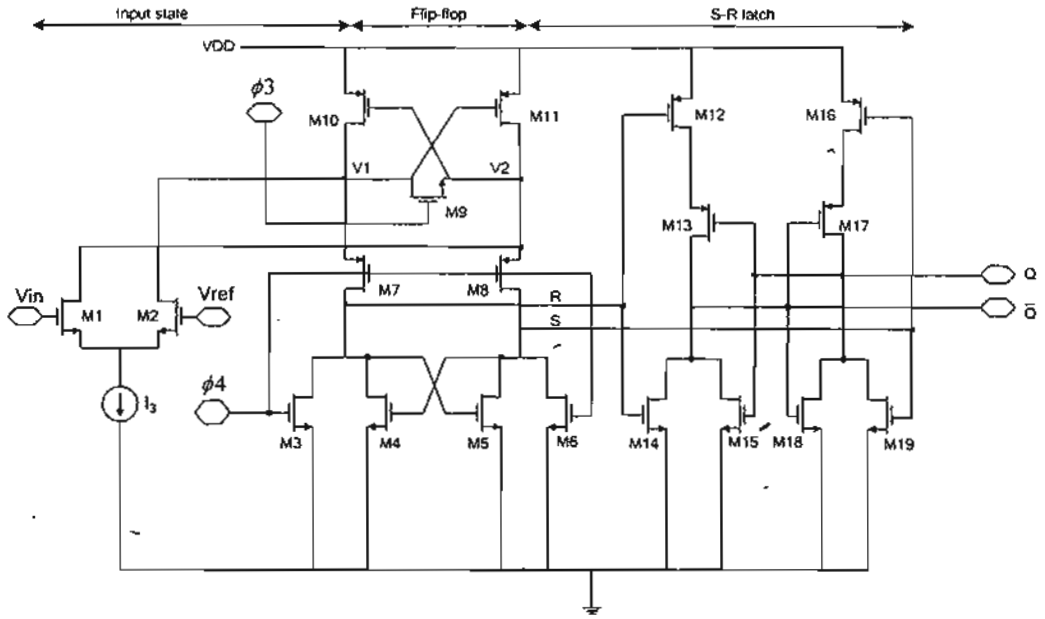
จากสมการที่ 7.23 แสดงให้เห็นว่า ค่าเวลาการสร้างใหม่ของวงจรแลต์ค่าแรงดันวงกลับนั้นขึ้นอยู่กับค่า ความยาวของทรานซิสเตอร์ (channel length) ดังนั้นค่าเวลาการสร้างใหม่ที่น้อยที่สุดนั้นอาจจะกล่าวได้ว่าขึ้นอยู่กับเทคโนโลยีการสร้าวทรานซิสเตอร์ให้มีค่าความยาวน้อยที่สุดเพียงไร

เมื่อทำการแก้สมการที่ 7.22 เพื่อหาค่าผลต่างของแรงดันเอาต์พุตของวงจรแลต์ค่าแรงดันวงกลับที่เวลาใดๆ โดยแทนค่า t_{lich} เข้าไปจะได้ดังสมการที่ 7.24

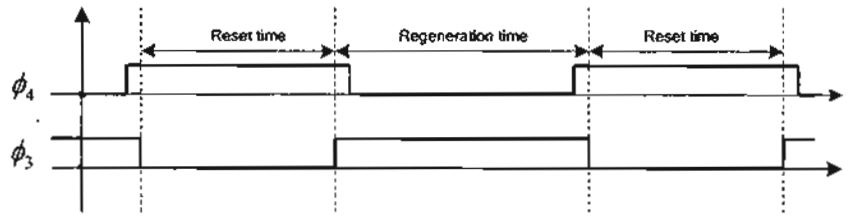
$$t = K\frac{L^2}{u_n V_{eff}} ln\left(\frac{\Delta V_{logic}}{\Delta V_O}\right) \tag{7.24}$$

จากสมการที่ 7.24 แสดงให้เห็นว่าเมื่อกำหนดค่าผลต่างแรงของแรงดันเอาต์พุตสุดท้ายที่ต้องการ และให้ค่า t_{lich} มีค่าคงตัวแล้ว วงจรแลต์ค่าแรงดันวงกลับนั้นจะให้ค่าเอาต์ค่าสุดท้าย ΔV_{logic} ได้เร็วที่สุดเมื่อค่าผลต่างแรงดันเอาต์พุตเริ่มต้น ΔV_O มีค่ามากที่สุด ซึ่งค่าแรงดันเอาต์พุตเริ่มต้นนั้นมีค่าสัมพันธ์กับค่าอัตราขยายของวงจรขยายภาคต้น ดังนั้นค่าอัตราขยายของวงจรขยายภาคต้นจึงมีความสำคัญกับวงรเปรียบเทียบแรงดันที่มีความเร็วในการทำงานสูงด้วย

ในส่วนของวงจรเปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator) ประกอบไปด้วยส่วนอินพุตผลต่าง,ส่วนฟลิปฟลอป, และส่วนของวงจรแลตส์ค่าสัญญาณ ดังแสดงในรูปที่ 7.13(ก) [7.9]โดยในการทำงานของวงจรเปรียบเทียบสัญญาณแบบพลวัต แบ่งออกเป็น 2 ช่วงด้วยกันคือ ช่วงเวลาการรีเซต(reset time interval) และช่วงเวลาการสร้างใหม่ (Regeneration time interval) ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกาแบบไม่ทับซ้อน ϕ_1 และ ϕ_2 ดังแสดงในรูป 7.13(ข)



(ก)



(ข)

รูปที่ 7.13 (ก)วงจรเปรียบเทียบสัญญาณแบบพลวัต (ข)สัญญาณนาฬิกาควบคุม

ในช่วงเวลาการรีเซต สัญญาณนาฬิกาควบคุม ϕ_3 จะมีค่าเป็น 0 และ ϕ_4 จะมีค่าเป็น 1 ทำให้ลอจิกขา R และ S ของ อาร์เอสแลตช์มีค่าเป็นลอจิกต่ำ เป็นผลให้เอาต์พุตขา Q และ $\bar{Q}$ อยู่ในสถานะไม่มีการเปลี่ยนแปลงหรือคงค่าลอจิกเดิมไว้ นอกจากนั้นการทำงานในช่วงนี้ยังเป็นการสร้างแรงดันเริ่มต้น (ΔV_O) ให้กับช่วงเวลาการสร้างใหม่อีกด้วย โดยสัญญาณควบคุม ϕ_2 จะทำให้สวิตช์ทรานซิสเตอร์ M7 และ M8 เปิดวงจร และสวิตช์ทรานซิสเตอร์ M9 ปิดวงจร ทำให้ค่าแรงดัน V_1 และ V_2 มีค่าดับสมการที่ 7.25 และ 7.26

$$V_1 = -gm_2\left[r_{o2} // r_{o10} // \left(R_{on} + (r_{o11} // r_{o1})\right)\right]\left[\frac{v_{id}}{2}\right] \qquad (7.25)$$

$$V_2 = gm_1\left[r_{o1} // r_{o11} // \left(R_{on} + (r_{o10} // r_{o2})\right)\right]\left[\frac{v_{id}}{2}\right] \qquad (7.26)$$

โดยค่า R_{on} คือค่าความต้านทานของมอสทรานซิสเตอร์ M9 ขณะอยู่ในสภาวะนำกระแส และค่า v_{id} คือค่าผลต่างระหว่างแรงดัน V_{in} และแรงดันอ้างอิง V_{ref}

เมื่อนำสมการที่ 7.25 ลบด้วย 7.26 โดยสมมุติให้ค่าความต้านทานระหว่างขาเดรน (r_o) และซอสทุกตัวมีค่าประมาณเท่ากัน จะได้สมการของค่าแรงดันที่จะถูกนำไปใช้เป็นแรงดันเริ่มต้นในช่วงเวลาการสร้างใหม่

$$\Delta V_0 \simeq V_1 - V_2 \simeq -gm_{1,2}r_o v_{id} \qquad (7.27)$$

ในช่วงเวลาการสร้างใหม่คือช่วงเวลาที่สัญญาณนาฬิการควบคุม ϕ_2 จะมีค่าเป็น 1 และ ϕ_1 จะมีค่าเป็น 0 โดยในช่วงนี้สวิตช์ทรานซิสเตอร์ M8 และ M9 จะปิดวงจรและสวิตช์ทรานซิสเตอร์ M3 และ M6 จะเปิดวงจรทำให้ฟลิปฟลอปแบบเอ็น(M4 , M5) และ ฟลิปฟลอปแบบพี (M10 , M11) เชื่อมต่อกันและทำหน้าที่เป็นวงจรเลตช์ค่าแรงดันค้นวงกลับ (regenerative latch) ที่ได้อธิบายมาแล้วข้างต้น โดยค่าตารางค่าความจริง(True table) ของวงจรเปรียบเทียบสัญญาณแบบพลวัตแสดงดังตารางที่ 7.5

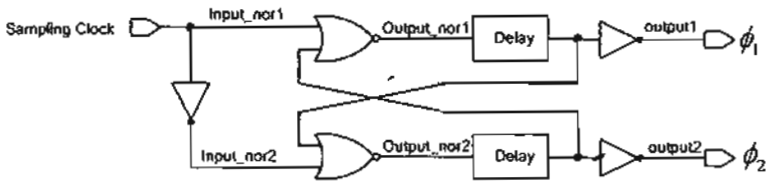
ตารางที่ 7.5 ตารางค่าความจริงของวงจรเปรียบเทียบสัญญาณแบบพลวัต

ϕ_1	ϕ_2	สถานะ	v_{id}	Q	$\bar{Q}$
1	0	Reset time	Don't care	Q	$\bar{Q}$
0↑	1	Regeneration time	Positive	1	0
			Negative	0	1
1	1	Reset time	Don't care	Q	$\bar{Q}$

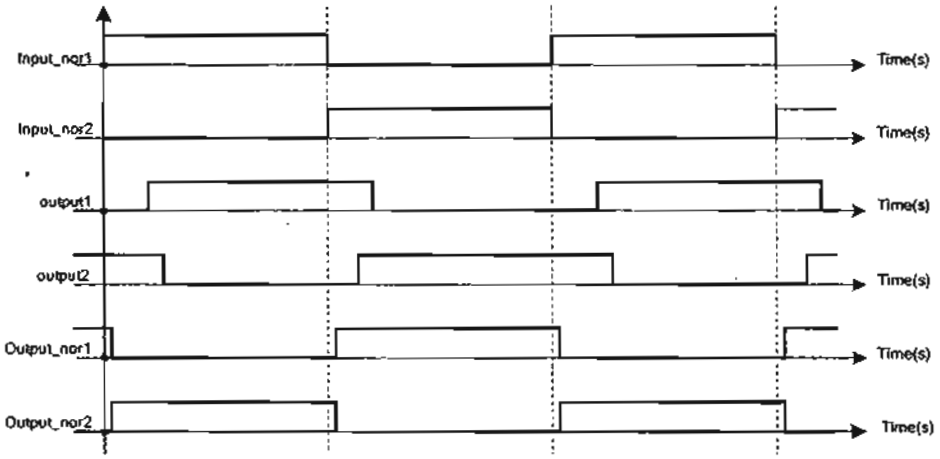
7.9 วงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน (Non-overlap clock circuit)

วงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน(Non-overlapping clock) ดังแสดงในรูปที่ 7.14(ก) ถูกนำไปใช้สร้างสัญญาณควบคุมการทำงานของวงจรเปรียบเทียบสัญญาณแบบพลวัตโดย ϕ_1 และ ϕ_2 โดยลักษณะสัญญาณที่สร้างออกมานั้น ระหว่างสัญญาณ ϕ_1 และ ϕ_2 จะไม่มีค่าลอจิกต่ำที่ครงกันดังรูปที่ 7.14(ข) โดยวงจรประกอบไปด้วยวงจรดิจิตอลเกตนอร์ (NOR Gate) ต่ออนุกรมกับวงจรหน่วงเวลา ซึ่งสร้างจากวงจรอินเวอร์เตอร์ต่ออนุกรมกันเป็นจำนวนคู่ และมีวงจรอินเวอร์เตอร์ทำหน้าที่เป็นภาคบัฟเฟอร์แรงดันเพื่อขับโหลดของวงจรสร้างสัญญาณนาฬิกาแบบไม่ทับซ้อน และ

เอาต์พุตของวงจรหน่วงเวลาจะถูกป้อนกลับไปยังอินพุตของลอจิกนอร์อีกตัวหนึ่ง โดยช่วงเวลาการไม่ทับซ้อนที่ได้จากวงจรสร้างสัญญาณนาฬิกแบบไม่ทับซ้อนนั้นจะมีค่าเท่ากับสองเท่าของผลรวมค่าการแพร่กระจายเวลาการหน่วงสัญญาณ(Propagation delay) ของวงจรลอจิกนอร์ แลวงจรหน่วงเวลาดิจิตอล



(ก)



(ข)

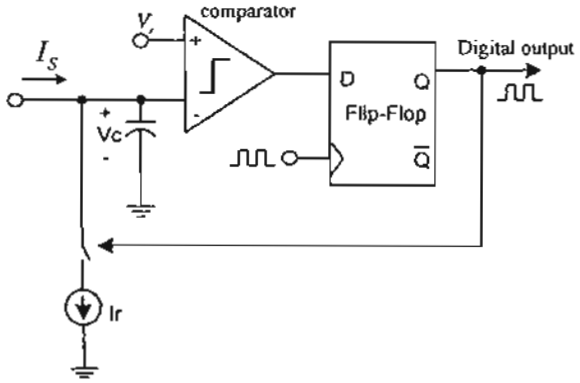
รูปที่ 7.14 (ก) วงจรสร้างสัญญาณนาฬิกาแบบไม่ซ้อนทับ (ข) แผนภาพเวลา

7.10 วงจรมอดูเลตสัญญาณซิกม่าเดลต้า(Sigma-delta modulator)

7.10.1 หลักการทำงานวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

วงจรมอดูเลตสัญญาณซิกม่าเดลต้าเป็นวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่งแบบเวลาต่อเนื่อง(First-order continuous time sigma delta modulator) ซึ่งโครงสร้างของวงจรแสดงได้ดังรูปที่ 7.15 ประกอบไปด้วยวงจรแปลงกระแสเป็นแรงดันที่มีฟังก์ชั่นผลตอบสนองต่อความถี่เป็นแบบผ่านความถี่ต่ำอันดับที่ 1 (First-order low-pass filter) ซึ่งสร้างโดยใช้ตัวเก็บประจุ ,

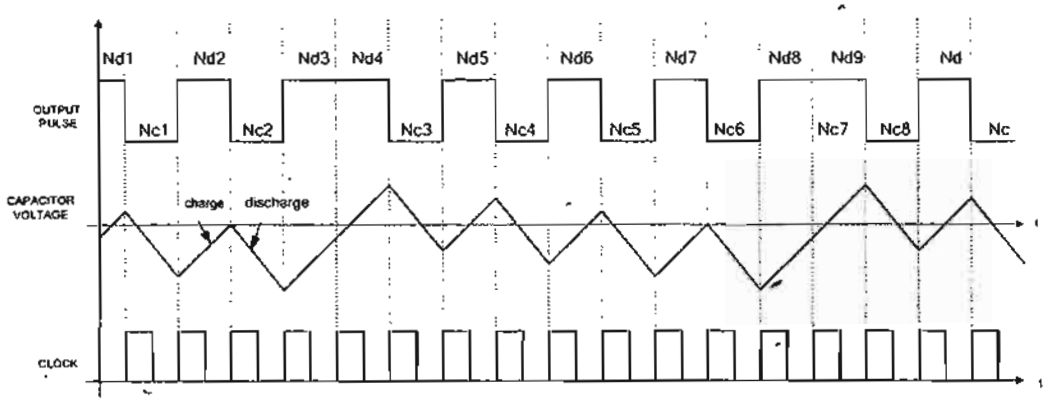
วงจรเปรียบเทียบสัญญาณ(Comparator) ,วงจรฟลิบฟลอป(Flip-Flop) และวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกซึ่งสร้างจากการสวิตซ์เปิด-ปิดกระแส I_r เข้าและออกจากวงจรอบการป้อนกลับ โดยที่โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้านี้สามารถเรียกอีกอย่างหนึ่งว่า วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ(Charge-balancing sigma delta modulator)



รูปที่ 7.15 โครงสร้างของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

หลักการทำงานทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาการอัด-ปล่อยประจุในรูปที่ 7.15 นั้นสามารถอธิบายได้ดังนี้ โดยสมมุติให้ค่าลอจิก "1" ทำให้สวิตช์ Sw เปิดวงจร และ ค่าลอจิก "0" ทำให้สวิตช์ Sw ปิดวงจร ดังนั้นเริ่มแรกถ้าให้ลอจิกที่ขา Q ของฟลิปฟลอปมีสถานะเป็นลอจิก "1" ดังนั้นสวิตช์ Sw จะเปิดวงจรทำให้กระแส I_s ไหลเข้าประจุตัวเก็บประจุ ทำให้ระดับแรงดันที่ตกคร่อมตัวเก็บประจุจะมีค่ามากขึ้นเรื่อยๆ จึงถึงระดับแรงดันอ้างอิง V_r ณ เวลานี้สถานะที่เอาต์พุตของวงจรเปรียบเทียบระดับสัญญาณจะมีค่าเปลี่ยนจากสถานะสูงเป็นสถานะต่ำ ดังนั้นเมื่อขอบขาขึ้นของสัญญาณนาฬิกามาถึงจะทำให้ลอจิกที่ขา Q ของฟลิปฟลอปเปลี่ยนจากลอจิก "1" เป็น "0" สวิตช์ Sw จะปิดวงจร กระแส $I_r - I_s (I_r > I_s)$ จะไหลคลายประจุของตัวเก็บประจุออก ทำให้ระดับแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าลดลงเรื่อยจนถึงระดับแรงดันอ้างอิง V_r ณ เวลานี้สถานะที่เอาต์พุตของวงจรเปรียบเทียบระดับสัญญาณจะมีค่าเปลี่ยนจากสถานะต่ำเป็นสถานะสูง ดังนั้นเมื่อขอบขาขึ้นของสัญญาณนาฬิกามาถึงจะทำให้ลอจิกที่ขา Q ของฟลิปฟลอปเปลี่ยนจากลอจิก "0" เป็น "1" สวิตช์ Sw จะทำการเปิดวงจรอีกครั้งหนึ่ง การทำงานแบบนี้จะวนไปเรื่อย ๆ โดยเมื่อสังเกตพฤติกรรมของวงจรมอดูเลตสัญญาซิกม่าเดลต้าแบบรักษาอัตราการอัด-คลายประจุนี้ จะเห็นว่าวงจรพยายามจะรักษาระดับแรงดันที่ตกคร่อมตัวเก็บประจุให้มีค่าเฉลี่ยเท่ากับแรงดันอ้างอิงของวงจรเปรียบเทียบระดับสัญญาณโดยการทำให้จำนวนประจุรวมที่ถูกอัดเข้า

และปล่อยออกจากตัวเก็บประจุมีค่าเท่ากัน ดังรูปที่ 7.16 ซึ่งสาเหตุที่เป็นเช่นนี้เพราะว่าหลักการของการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้านั่นเอง



รูปที่ 7.16 แรงดันตกคร่อมที่ตัวเก็บประจุในวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

7.10.2 การวิเคราะห์วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

ในการวิเคราะห์หาค่าความสัมพันธ์ระหว่างจำนวนครั้งของการประจุ (N_c) และจำนวนครั้งการปล่อยประจุ (N_d) ให้กับตัวเก็บประจุด้วยกระแสที่ใช้ในการประจุ (I_s) และปล่อยประจุ $(I_s - I_r)$ สามารถแสดงได้ดังนี้

จากที่ได้กล่าวมาแล้วข้างต้นว่าวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาการอัด-ปล่อยประจุ จะทำให้ค่าแรงดันเฉลี่ยที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับแรงดันอ้างอิง ซึ่งทำให้จำนวนประจุที่ถูกเพิ่มเข้าไปและปล่อยออกมาจากเดิมของตัวเก็บประจุมีค่าเท่ากันดังสมการ 7.28

$$\Delta Q_{charge} + \Delta Q_{discharge} = 0 \tag{7.28}$$

ดังนั้นถ้าพิจารณาวงจรรูปที่ 7.13 ในช่วงเวลาการประจุ กระแส I_s จะไหลเข้าประจุให้กับตัวเก็บประจุ ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุมีค่าเพิ่มขึ้นจากเดิมดังนี้

$$\Delta V(t)_{charge} = V(t)_{c(charge)} - V(0)_{c(charge)} = \frac{I_s \Delta t}{C} \tag{7.29}$$

โดยค่า $V(0)_{c(charge)}$ คือค่าแรงดันตกคร่อมตัวเก็บประจุที่เวลาเริ่มต้นในช่วงการประจุให้กับตัวเก็บประจุ และค่า ΔV_{charge} คือค่าแรงดันตกคร่อมตัวเก็บประจุที่ถูกเพิ่มขึ้นในช่วงเวลา Δt ดังนั้นค่าประจุที่ถูกประจุเพิ่มขึ้นจากเดิมโดยกระแส I_s สามารถหาได้ดังนี้

$$\Delta Q_{charge} = C\Delta V(t)_{c(charge)} \tag{7.30}$$

นำสมการที่ 7.30 ซึ่งแสดงถึงของค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ถูกเพิ่มขึ้นที่เวลาใดๆ $V(t)_{charge}$ แทนเข้าไปในสมการที่ 7.31 เพื่อหาจำนวนประจุที่ถูกประจุเพิ่มเข้าไปในตัวเก็บประจุดังนี้

$$\Delta Q_{charge} = I_s \Delta t \tag{7.31}$$

ถ้าพิจารณาวงจรรูปที่ 7.16 ในช่วงเวลาการปล่อยประจุ กระแส $(I_r - I_s)$ จะไหลปล่อยประจุให้กับตัวเก็บประจุ ทำให้แรงดันที่ตกคร่อมตัวเก็บประจุมีค่าลดลงจากเดิมดังนี้

$$\Delta V(t)_{discharge} = V(t)_{c(discharge)} - V(0)_{c(discharge)} = \frac{(I_s - I_r)\Delta t}{C} \tag{7.32}$$

โดยค่า $V(0)_{c(discharge)}$ คือค่าแรงดันตกคร่อมตัวเก็บประจุที่เวลาเริ่มต้นในช่วงการปล่อยประจุให้กับตัวเก็บประจุ และค่า $\Delta V_{discharge}$ คือค่าแรงดันตกคร่อมตัวเก็บประจุที่ถูกลดลงจากเดิมในช่วงเวลา Δt ดังนั้นค่าประจุที่ถูกปล่อยลดลงจากเดิมโดยกระแส $(I_r - I_s)$ สามารถหาได้ดังนี้

$$\Delta Q_{discharge} = C\Delta V(t)_{c(discharge)} \tag{7.33}$$

นำสมการที่ 7.32 ซึ่งแสดงถึงของค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ถูกลดลงที่เวลาใดๆ $V(t)_{discharge}$ แทนเข้าไปในสมการที่ 7.33 เพื่อหาจำนวนประจุที่ถูกปล่อยออกจากจากเดิมของตัวเก็บประจุดังนี้

$$\Delta Q_{discharge} = (I_s - I_r)\Delta t \tag{7.34}$$

ถ้ากำหนดให้ในช่วงเวลา T_{int} เป็นช่วงเวลาทั้งหมดที่สนใจการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุแล้ว ให้ในช่วงเวลาการอัดประจุเข้าในตัวเก็บประจุตลอดช่วงเวลา T_{int} ใช้เวลา $N_c T_{clk}$ และให้ช่วงเวลาในการปล่อยประจุออกจากตัวเก็บประจุตลอดช่วงเวลา T_{int} ใช้เวลา $N_d T_{clk}$

โดยที่ N_c และ N_d คือจำนวนครั้งในการอัดและปล่อยประจุตลอดช่วงเวลา T_{int} ดังนั้นสามารถเขียนสมการที่ 7.9 และ 7.12 ได้ใหม่ดังนี้

$$\Delta Q_{charge} = I_s\left(N_c T_{clk}\right) \tag{7.35}$$

$$\Delta Q_{discharge} = \left(I_s - I_r\right)\left(N_d T_{clk}\right) \tag{7.36}$$

นำสมการที่ 7.35 และ สมการที่ 7.36 เข้าไปแทนในสมการที่ 7.28 จะได้

$$I_s\left(N_c T_{clk}\right) + \left(I_s - I_r\right)\left(N_d T_{clk}\right) = 0 \tag{7.37}$$

- ทำการแก้สมการและจัดรูปใหม่ดังนี้

$$\frac{I_s}{I_r} = \frac{N_d}{N_d + N_c} \tag{7.38}$$

จากสมการที่ 7.38 เมื่อนำค่า T_{clk} คูณเข้ากับทางด้านขวาของสมการทั้งบนและล่างจะได้

$$\frac{I_s}{I_r} = \frac{N_d T_{clk}}{\left(N_d + N_c\right)T_{clk}} \tag{7.39}$$

เมื่อพิจารณาพจน์ของ $\left(N_d + N_c\right)T_{clk}$ จะเห็นว่ามีค่าเท่ากับช่วงเวลาทั้งหมดที่สนใจในการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุ ดังนั้น สมการที่ 7.39 สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_s}{I_r} = \frac{N_d T_{clk}}{T_{int}} \tag{7.40}$$

จากสมการที่ 7.40 สามารถสรุปได้ว่าเมื่อกำหนดช่วงเวลาที่สนใจในการอัด-ปล่อยประจุเข้าและออกจากตัวเก็บประจุช่วงหนึ่งนั้น จำนวนพัลส์ทางด้านเอาต์พุตที่เกิดจากการปล่อยประจุออกจากตัวเก็บประจุของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ (charge balance sigma delta modulator) จะมีค่าแปรผันโดยตรงกับความถี่การสุ่มสัญญาณภายในวงรอบ และแปรผกผันกับกระแสอ้างอิง I_r

เมื่อพิจารณาถึงความละเอียด(resolution) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ นั้นสามารถพิจารณาได้ดังนี้ โดยผลต่างของสัญญาณพัลส์ทางด้านเอาต์พุต (ΔN_d) ที่เกิดจากช่วงสัญญาณอินพุต ΔI_s มีค่าดังสมการที่ 7.41

$$\Delta N_d = \frac{\Delta I_s T_{\text{int}}}{T_{clk} I_r} \tag{7.41}$$

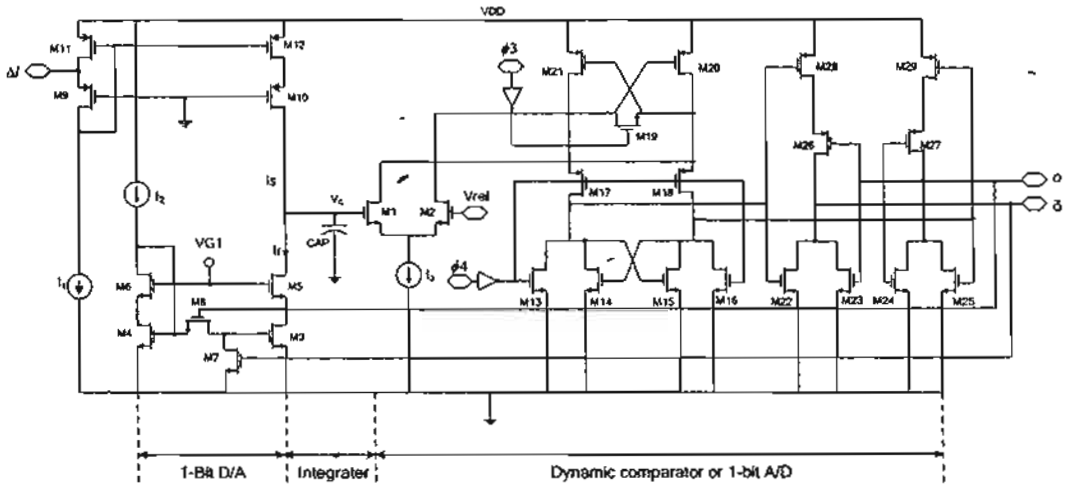
ดังนั้นค่าความละเอียด(resolution) ของงจรสามารถกำหนดได้โดย

$$2^N = \Delta N_d = \frac{\Delta I_s T_{\text{int}}}{T_{clk} I_r} \tag{7.42}$$

เมื่อทำการใส่ฟังก์ชันลอกาลิทึม ทั้งทางด้านซ้ายและขวาของสมการที่ 7.42 จะได้สมการความละเอียด(resolution) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบอัตราอัด-ปล่อยประจุดังนี้

$$N = \log_2\left(\frac{\Delta I_s T_{\text{int}}}{T_{clk} I_r}\right) \tag{7.43}$$

จากแผนภาพของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุดังแสดงในรูปที่ 7.15 สามารถแสดงวงจรในระดับทรานซิสเตอร์ได้ดังรูปที่ 7.17



รูปที่ 7.17 วงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

จากรูปที่ 7.14 นั้นจะเห็นได้ว่ากระแสเอาต์พุตจากวงจรบัฟเฟอร์กระแสได้ถูกสะท้อนผ่านวงจรสะท้อนกระแส(M9-M12) เข้าเข้ามาเป็นอินพุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ โดยมีตัวเก็บประจุทำหน้าที่เป็นวงจรกรองสัญญาณแบบผ่านความถี่ต่ำ(Low-pass filter) โดยแรงดันที่ตกคร่อมตัวเก็บประจุจะถูกนำไปเปรียบเทียบกับแรงดันอ้างอิง V_{ref} ด้วยวงจรเปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator) ซึ่งใช้แทนวงจรเปรียบเทียบสัญญาณ(Comparator) และวงจรฟลิปฟลอป(Flip-Flop) ในรูปที่ 7.15 โดยเอาต์พุตที่ได้จากวงจร เปรียบเทียบสัญญาณแบบพลวัต(Dynamic comparator) จะถูกป้อนให้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลซึ่งสร้างโดยการสวิตช์เปิด-ปิดวงจรสะท้อนกระแส(M3-M6) โดยทรานซิสเตอร์สวิตช์ (M7-M8)

7.10.3 การแปลงฟังก์ชั่นวงจรกรองความถี่แบบเวลาต่อเนื่องไปสู่ฟังก์ชั่นวงจรกรองความถี่แบบเวลาไม่ต่อเนื่อง

เพื่อความสะดวกในการวิเคราะห์ผลตอบสนองต่อความถี่ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้น จึงควรแปลงฟังก์ชั่นของวงจรกรองความถี่แบบเวลาต่อเนื่อง(Continuous-time filter)ไปเป็นฟังก์ชั่นของวงจรกรองความถี่แบบเวลาไม่ต่อเนื่อง (Discrete-time filter) ซึ่งสามารถแสดงได้ดังนี้

ฟังชั่นวงจรกรองความถี่ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุสามารถแสดงได้ดังนี้

$$\hat{H}(s)=\sum_{k=1}^{N}\frac{\hat{a}_k}{s-\hat{s}_k}=\frac{1}{SC} \tag{7.44}$$

จากสมการที่ 7.44 ทำให้ทราบว่า ค่าสัมประสิทธิ์ $a_k=1/C$ และ $s_k=0$ ดังนั้น จากความสัมพันธ์ในการแปลงระหว่างสัมประสิทธิ์ ของวงจรกรองแบบเวลาต่อเนื่องและเวลาไม่ต่อเนื่องของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่งที่มีฟังก์ชั่นวงจรกรองเป็นแบบโพลเดี่ยว ทำให้หาค่าฟังก์ชั่นของวงจรกรองสัญญาณแบบไม่ต่อเนื่องทางเวลาได้ดังนี้

$$H(z)=\sum_{k=1}^{N}\frac{a_k}{z-z_k}=\frac{\left(AT_{CLK}/C\right)}{Z-1} \tag{7.45}$$

จากสมการที่ 7.45 นั้นทำให้สามารถกำหนดฟังก์ชั่นถ่ายโอนของสัญญาณ(Signal transfer function: STF) และฟังก์ชั่นถ่ายโอนของสัญญาณรบกวน(Noise transfer function :NTF) ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบเวลาไม่ต่อเนื่องได้ดังสมการที่ 7.46 และ 7.47 ตามลำดับ

$$STF(z)=\frac{\left[AT_{CLK}/C\right]}{z+\left[\left(AT_{CLK}/C\right)-1\right]} \tag{7.46}$$

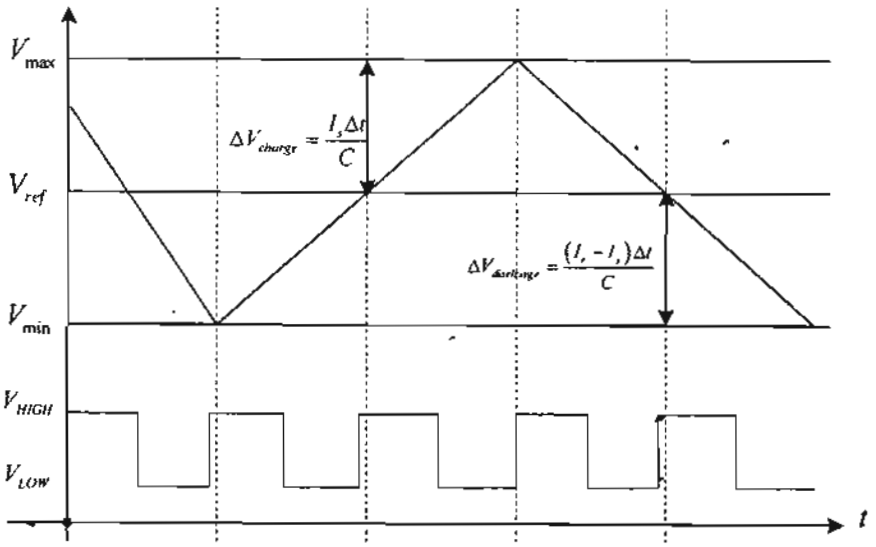
$$NTF(z)=\frac{z-1}{z+\left[\left(AT_{CLK}/C\right)-1\right]} \tag{7.47}$$

จากฟังก์ชั่นถ่ายโอนของสัญญาณและฟังก์ชั่นถ่ายโอนของสัญญาณรบกวนในสมการที่ 7.46 และ 7.47 นั้นแสดงให้เห็นว่า ฟังก์ชั่นถ่ายโอนของสัญญาณจะมีลักษะณะเป็นฟังก์ชั่นของวงจรกรองแบบผ่านความถี่ต่ำ(Low-pass filter) เมื่อค่าสัมประสิทธิ์ $\left(AT_{CLK}/C\right)$ มีค่ามากกว่า 1 และมีลักษณะเป็นฟังก์ชั่นของวงจรกรองแบบผ่านทุกความถี่(All-pass filter) เมื่อสัมประสิทธิ์ $\left(AT_{CLK}/C\right)$ มีค่าเท่ากับ 1 และในส่วนฟังก์ชั่นถ่ายโอนของสัญญาณรบกวนจะมีลักษณะเป็นฟังก์ชั่นของวงจรกรองแบบผ่านความถี่สูง(High-pass filter) ซึ่งเป็นคุณลักษณะของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าดังเดิม

7.10.4 การออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้นสามารถทำได้โดยทำการกำหนดค่าความละเอียด(resolution)ที่ต้องการจากการสมการที่ 7.44 โดยทำการเลือกความถี่ในการสุ่มสัญญาณและช่วงเวลาการนับจำนวนพัลส์ของสัญญาณให้เหมาะสมโดยค่าความถี่ในการสุ่มสัญญาณและมีผลต่อฟังก์ชั่นถ่ายโอนของสัญญาณอินพุต(Signal transfer function :STF) และฟังก์ชั่นถ่ายโอนของสัญญาณรบกวน(Noise transfer function :NTF) ในสมการที่ 7.46 และ 7.47 ตามลำดับ

ในการออกแบบค่าตัวเก็บประจุที่ทำหน้าที่เป็นวงจรกรองสัญญาณแบบผ่านความถี่ต่ำนั้นสามารถทำได้โดยการพิจารณารูปที่ 7.18 เมื่อกำหนดค่าแรงดันที่มากที่สุดที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับ V_{max} และค่าแรงดันที่น้อยที่สุดที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับ V_{min} โดยจะเห็นว่าถ้าแรงดันที่ตกคร่อมตัวเก็บประจุ $\left(V_C\right)$ มีค่ามากว่าแรงดันดันอ้างอิง $\left(V_{ref}\right)$ วงจรมอดูเลตสัญญาณซิกม่าเดลต้าจะพยายามทำให้ค่าเฉลี่ยของแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าเท่ากับแรงดันอ้างอิงโดยทำการปล่อยประจุออกจากตัวเก็บประจุโดยการเชื่อมต่อกระแสอ้างอิง I_r เข้าไปในวงรอบการป้อนกลับเมื่อขอบขาของสัญญาณนาฬิกาลูกถัดไปมาถึง ดังนั้นถ้าคิดค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่เพิ่มขึ้นมากที่สุดโดยมีค่าไม่เกินค่าแรงดันดัน V_{max} ในช่วงรอขอบขาของสัญญาณนาฬิกาลูกถัดไป สามารถแสดงได้ดังนี้



รูปที่ 7.18 แรงดันตกคร่อมตัวเก็บประจุเมื่อเทียบกับสัญญาณนาฬิกาของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

$$(V_{max} - V_{ref}) = \frac{I_{S\max} T_{CLK}}{C} \tag{7.48}$$

ทำการจัดรูปสมการที่ 7.48 ใหม่ดังนี้

$$C = \frac{I_{S\max} T_{CLK}}{(V_{max} - V_{ref})} \tag{7.49}$$

จากสมการที่ 7.49 เป็นการกำหนดค่าตัวเก็บประจุที่น้อยที่สุดที่ทำให้ค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าไม่เกิดแรงดัน V_{max} ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

เมื่อพิจารณาในช่วงเวลาการปล่อยประจุ จะเห็นว่าเมื่อค่าแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าน้อยกว่าแรงดันอ้างอิง วงจรมอดูเลตสัญญาณซิกม่าเดลต้าจะนำกระแสอ้างอิงออกจากวงรอบการป้อนกลับเพื่อทำให้แรงดันที่ที่ตกคร่อมตัวเก็บประจุมีค่าเพิ่มมากขึ้น ดังนั้นถ้าคิดค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่ลดลงมากที่สุดโดยมีค่าไม่เกินค่าแรงดัน V_{min} ในช่วงรอขอบขาของสัญญาณนาฬิกาลูกถัดไป สามารถแสดงได้ดังนี้

$$(V_{ref} - V_{min}) = \frac{I_r - I_{S\min} T_{CLK}}{C} \tag{7.50}$$

เมื่อนำสมการที่ 7.49 แทนเข้าไปในสมการที่ 7.50 นั้นจะได้

$$I_r = \frac{\frac{I_{S\max} T_{CLK} (V_{ref} - V_{\min})}{(V_{\max} - V_{ref})} + I_{S\min} T_{CLK}}{T_{CLK}} \qquad (7.51)$$

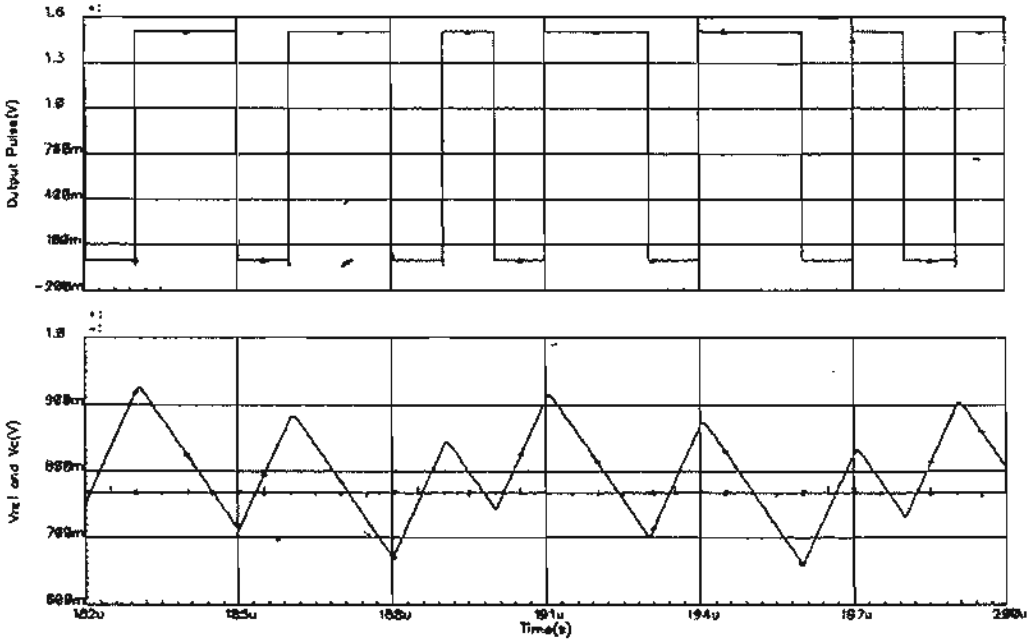
เมื่อกำหนดให้ค่าแร่งดัน $V_{\max} - V_{ref}$ มีค่าเท่ากับค่าแรงดัน $V_{ref} - V_{\min}$ จะได้

$$I_r = I_{S\max} + I_{S\min} \qquad (7.52)$$

จากสมการที่ 7.52 เป็นการกำหนดค่ากระแสอ้างอิงที่น้อยที่สุดที่ทำให้ค่าแรงดันที่ดกคร่อมตัวเก็บประจุมีค่าไม่เกินแรงดัน $V_{\min}$ ของวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

7.10.5 การจำลองผลการทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัดปล่อยประจุ

ในการออกแบบวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุนั้น ได้กำหนดค่าตัวเก็บประจุมีค่าเท่ากับ 36pF ,กระแส $I_r = 10uA$, ใช้ความถี่ในการสุ่มสัญญาณเท่ากับ 1 MHz และใช้ช่วงเวลาการนับจำนวนพัลส์ที่เกิดจากการปล่อยประจุ (N_d) เท่า 9 ms ซึ่งทำให้ได้ความละเอียดมีค่าประมาณ 8.4 บิต โดยในรูปที่ 7.18 แสดงถึงกระบวนการของการป้อนกลับแบบลบของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าที่บังคับให้ค่าแรงดันที่ดกคร่อมตัวเก็บประจุมีค่าเฉลี่ยเท่ากับค่าแรงดันอ้างอิง และตารางที่ 7.6 แสดงถึงค่าอัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์ที่ใช้ในรูปที่ 7.17



รูปที่ 7.19 การทำงานของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าแบบรักษาอัตราการอัด-ปล่อยประจุ

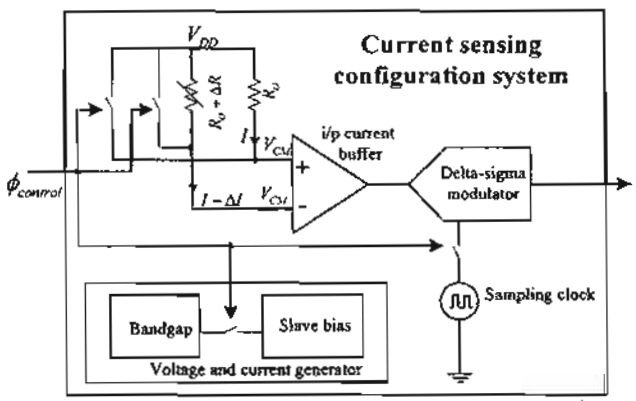
ตารางที่ 7.6 ขนาดของทรานซิสเตอร์แบบมอสเฟตที่ใช้สำหรับวงจรมอดูเลตสัญญาณซิกม่าเดลต้า

ทรานซิสเตอร์	W(μm)	L(μm)
M1 , M2	14	1
M3	16	2
M4	32	2
M5 , M6	5	1
M7	340	0.35
M8	560	0.35
M9 , M10	100	2
M11 , M12	80	5
M13-M16, M22-M25	1	0.35
M17-M21, M6-M29	4	0.35

7.11 ระบบรวมและผลจำลองการทำงานของระบบ

7.11.1 แผนภาพของระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิกเตอร์ที่นำเสนอ

ในหัวข้อที่ผ่านมานั้นได้กล่าวถึงวงจรในส่วนต่าง ๆซึ่งถูกใช้ในวิธีการตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์โดยการตรวจจับกระแสที่นำเสนอ โดยในหัวข้อนี้จะอธิบายถึงการทำงานของระบบและผลจำลองการทำงานของระบบตรวจวัดการเปลี่ยนค่าความต้านทานที่นำเสนอ ซึ่งแผนภาพของระบบตรวจวัดการเปลี่ยนค่าความต้านทานที่นำเสนอนั้นสามารถแสดงได้ดังรูปที่ 7.20 และมีความสัมพันธ์ระหว่างผลต่างของจำนวนพัลส์ที่เอาต์พุตและค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์ดังแสดงในสมการที่ 7.53



รูปที่ 7.20 แผนภาพแสดงส่วนประกอบของระบบตรวจวัดการเปลี่ยนค่าความต้านทาน

$$\Delta N_d = \frac{I_o T_{\text{int}} \dfrac{\Delta R}{R_o}\left[\dfrac{1}{1+\Delta R/R_o}\right]}{I_r T_{clk}} \qquad (7.53)$$

โดยค่า I_0 คือกระแสที่ไหลผ่านค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงซึ่งมีค่าเท่ากับ $\frac{V_{DD}-V_{CM}}{R_0}$

ในระบบที่ใช้วิธีตรวจวัดค่าความต้านทานที่นำเสนอนั้น สามารถแบ่งการทำงานของระบบออกเป็น 2 โหมดการทำงานด้วยกันโดยมีสัญญาณ $\phi_{control}$ เป็นสัญญาณควบคุม โดยถ้าสัญญาณควบคุม $\phi_{control}$ มีค่าเป็น 1 ระบบจะทำงานในโหมดทำงาน (Active mode) ซึ่งจะทำการตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์และให้จำนวนพัลส์ด้านเอาต์พุตที่สัมพันธ์กับค่าความต้านทานที่เปลี่นแปลงตามลำดับ และเมื่อสัญญาณควบคุม $\phi_{control}$ มีค่าเป็น 0 ระบบจะเข้าสู่โหมดรอคอย(idle mode) ซึ่งโหมดนี้วงจรบัฟเฟอร์ผลต่างกระแสอินพุต , วงจรมอดูเลตสัญญาณซิกม่าเดลต้า และวงจรสร้างกระแสและแรงดันไบอัส จะถูกหยุดการทำงาน เพื่อทำให้ระบบตรวจวัดสามารถลดการใช้กำลังงานลงได้

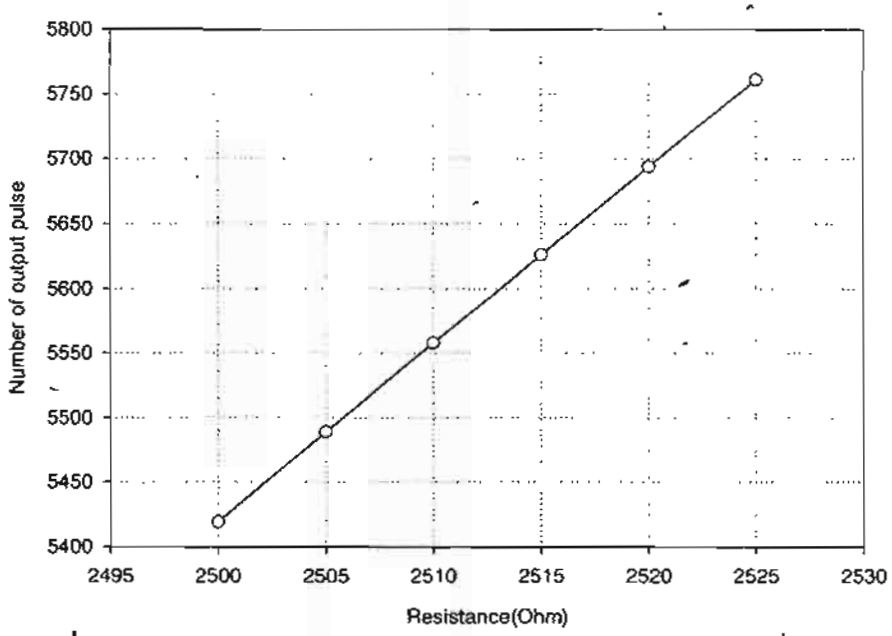
7.11.2 ผลจำลองการทำงานของระบบ

ระบบวัดตรวจวัดการเปลี่ยนแปลงค่าความต้านทานของเปียโซรีซิสเดอร์โดยใช้วิธีตรวจจับกระแสที่นำเสนอ ใช้ค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงเท่ากับ 2500 โอมห์ โดยให้ค่าความต้านทานของวัสดุเปียโซรีซิสเตอร์สามารถเปลี่ยนแปลงไปได้มากที่สุด 1% จากค่าความต้านทานปกติ [7.4] ซึ่งระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์นี้ออกแบบแบบให้สามารถรองรับความไม่สมพงษ์กันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงมากที่สุดคิดเป็น ±5% ของค่าความต้านทานปกติ

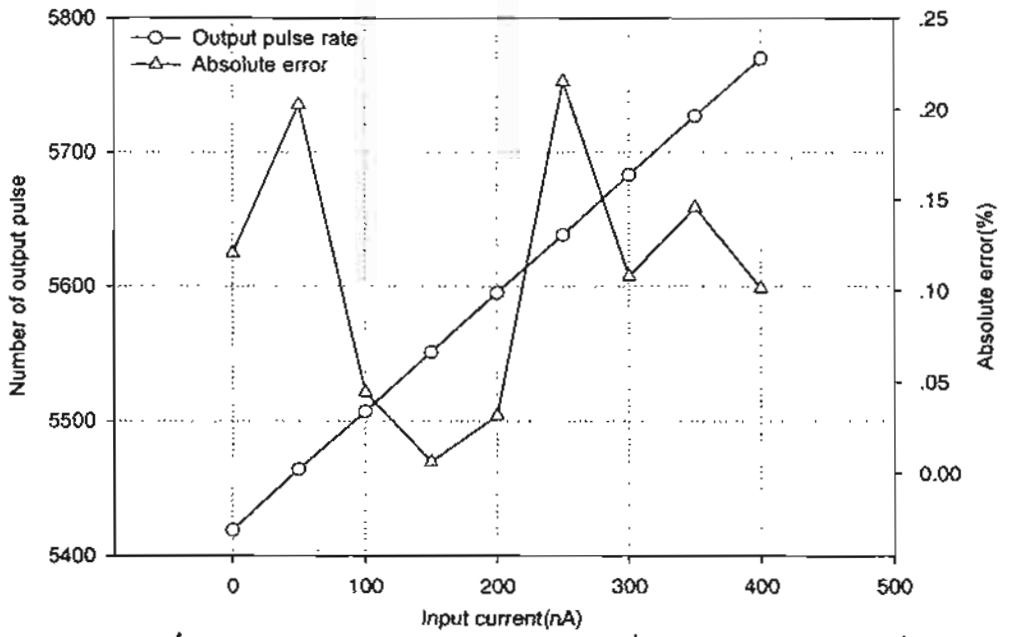
รูปที่ 7.21 แสดงความสัมพันธ์ระหว่าค่าความต้านทานกับค่าจำนวนพัลส์ที่เอาต์พุตของระบบที่นำเสนอ ซึ่งจะเห็นได้ว่าเมื่อความต้านทานของเปียโซรีซิสเตอร์เปลี่ยนแปลงไปเป็น 1% ของค่าความต้านทานปกติ (25 โอมห์) จะทำให้จำนวนพัลส์ที่ได้ที่เอาต์พุตเปลี่ยนแปลงไป 342 พัลส์ คิดเป็นประมาณ 0.08 Ω/pulse

ค่าความสัมพันธ์ระหว่างค่าความต้านทานที่เปลี่ยนแปลงไปของเปียโซรีซิสเตอร์นั้นมีความไม่เป็นเชิงเส้นต่อกัน ตามสมการที่ 7.53 จึงทำให้ไม่สามารถระบุว่าระบบมีค่าเป็นเชิงเส้นมากน้อยเพียงไร ดังนั้นในการวัดความเป็นเชิงเส้นของระบบสามารถวัดได้โดยการวัดจำนวนพัลส์ที่เอาต์พุตเทียบกับกระแสที่เกิดจากการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์แทน ซึ่งมีความสัมพันธ์เป็นเชิงเส้นต่อกันดังสมการที่ 7.40 โดยความไม่เป็นเชิงเส้นของระบบเมื่อวัดเทียบ

ระหว่างจำนวนพัลส์ที่เอาต์พุตกับกระแสที่อินพุตสามารถแสดงได้ดังรูปที่ 7.22 โดยจะเห็นว่าความไม่เป็นเชิงเส้นสูงสุดมีค่าเป็น 0.22% เมื่อคิดเทียบกับค่ากระแสเต็มช่วง

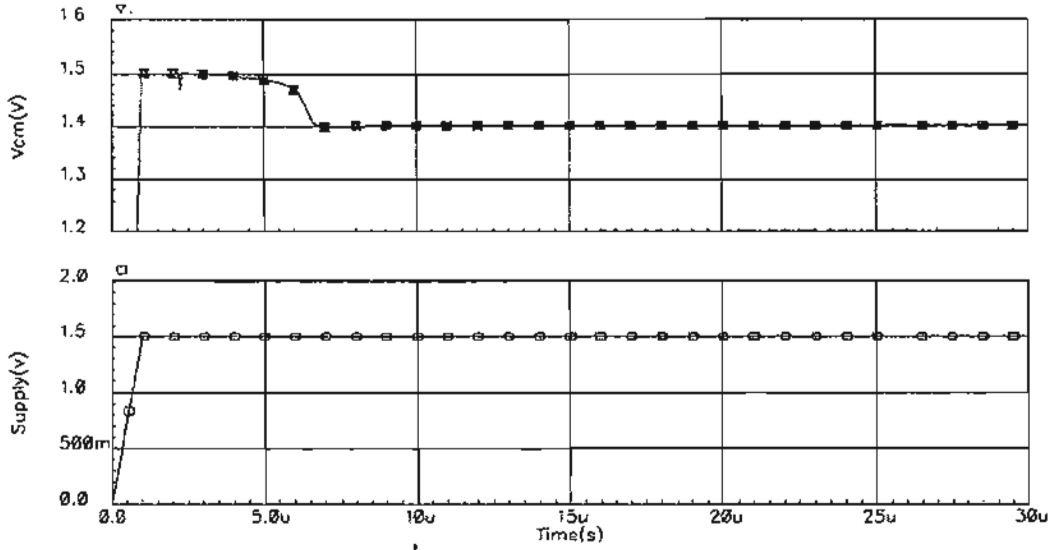


รูปที่ 7.21 ความสัมพันธ์ระหว่างค่าความต้านทานกับจำนวนพัลส์ที่เอาต์พุต

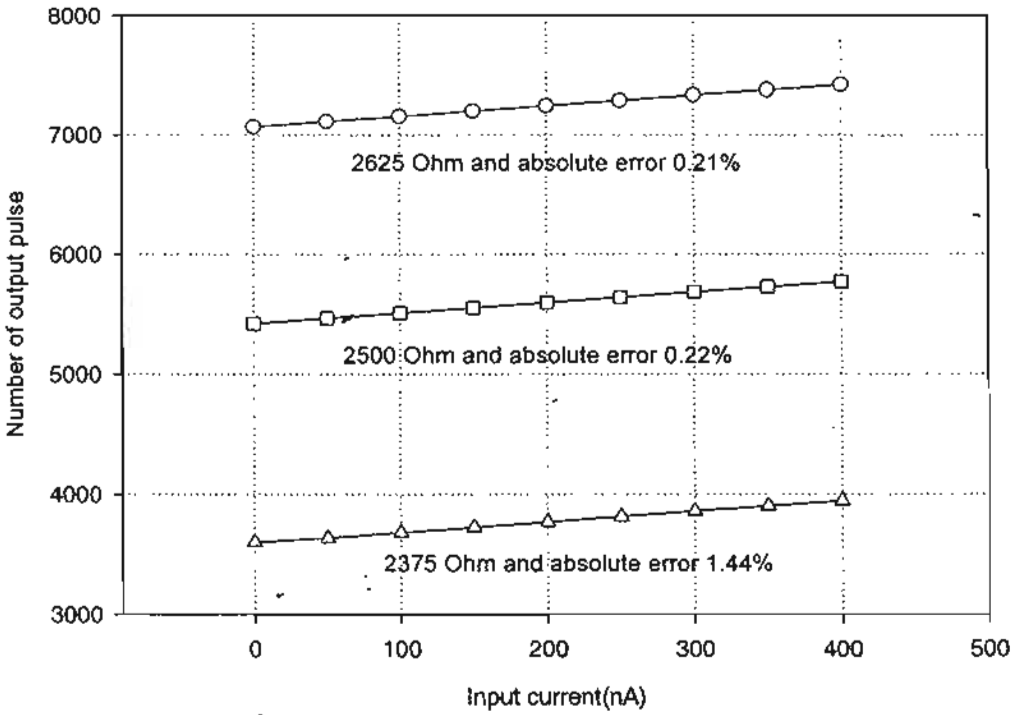


รูปที่ 7.22 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุต

รูปที่ 7.23 แสดงผลตอบสนองทางเวลาของระบบโดยกำหนดให้แหล่งจ่ายแรงดันของระบบมีค่าค่อยๆ เปลี่ยนแปลงขึ้นจาก 0 ไปจนถึงระดับที่คงที่ 1.5 โวลต์ โดยจากกราฟพบว่าระบบที่ทำการออกแบบต้องใช้เวลาประมาณ 6 us ในการสร้างแรงดันโหมดร่วม (V_{CM}) ที่มีค่า 1.4 V เพื่อทำให้แรงดันที่ตกคร่อมค่าความต้านทานเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิงให้มีค่าคงที่



รูปที่ 7.23 ผลตอบสนองทางเวลาของระบบ



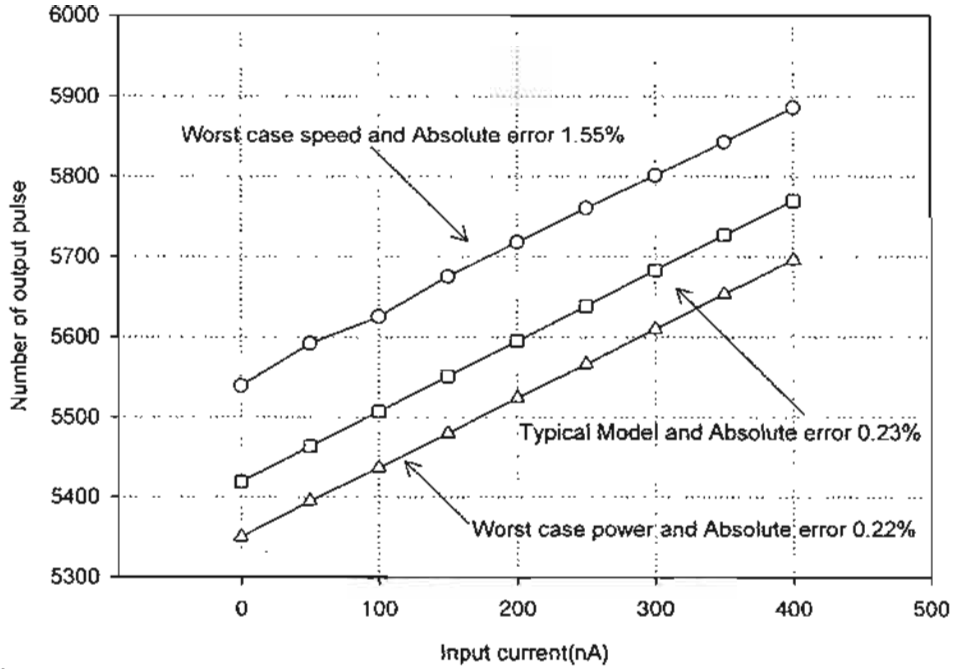
รูปที่ 7.24 ความไม่เป็นเชิงเส้นของค่าความต้านทานปกติแต่ละค่า

รูปที่ 7.24 แสดงความไม่เป็นเชิงเส้นระหว่างจำนวนพัลส์เอาต์พุตกับกระแสที่อินพุตที่เกิดจากการเปลี่ยนค่าความต้านทานไป 1% จากค่าความต้านทานปกติของเปียโซรีซิสเตอร์เมื่อค่าความต้านปกติของเปียโซรีซิสเตอร์เกิดความไม่สมพงษ์(mismatch) กับค่าความต้านทานอ้างอิง

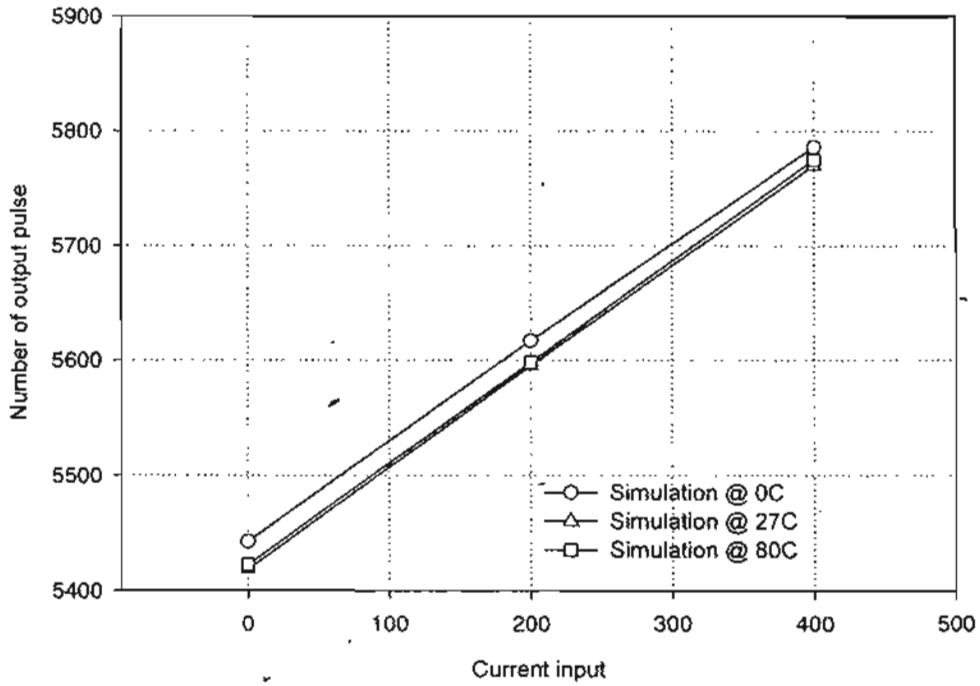
ระบบตรวจวัดการเปลี่ยนความต้านทานของเปียโซรีซิสเตอร์ที่นำเสนอนี้ได้ออกแบบให้รองรับความไม่สมพงษ์กันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานทานอิงได้มากที่สุดเป็น ±5% (2375Ω ถึง 2625 Ω) โดยจากกราฟจะพบว่าที่ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เป็น 2375 Ω (เกิดความไม่สมพงษ์ไปจากค่าความต้านทาน 2500 Ω ไป -5%) เกิดความไม่เป็นเชิงเส้นมากที่สุดคือ 1.44 % และที่ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เป็น 2625 Ω (เกิดความไม่สมพงษ์ไปจากค่าความต้านทาน 2500 Ω ไป 5%) เกิดความไม่เป็นเชิงเส้นมากที่สุดคือ 0.21%

รูปที่ 7.25 แสดงผลจำลองการทำงานของระบบตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์เมื่อเกิดการเปลี่ยนแปลงพารามิเตอร์เนื่องจากความไม่แน่นนอนของการสร้างทรานซิสเตอร์ โดยแบ่งเป็น 3 กรณีด้วยกันคือ ผลการจำลองการทำงานเมื่อมีเจือสารให้กับทรานซิสเตอร์ที่ต้องการสร้างมากเกินไป(worst case power) ผลการจำลองการทำงานเมื่อมีการเจือสารให้กับทรานซิสเตอร์ตามปกติของกระบวนการสร้าง(Typical model) และผลการจำลองการทำงานเมื่อมีการเจือสารให้กับทรานซิสเตอร์ที่ต้องการสร้างน้อยเกินไป(worst case power) โดยในการจำลองผลการทำงานนั้นใช้ค่าความต้านทานปกติของเปียโซรีซิสเตอร์เท่ากับ 2500 โอห์ม

จากกราฟจะพบว่าเมื่อพารามิเตอร์ในการสร้างทรานซิสเตอร์เกิดเปลี่ยนแปลงไปดังที่ได้กล่าวมาข้างต้นนั้น จะพบว่าจำนวนพัลส์ที่เอาต์พุตของวงจรในกรณีที่มีการเจือสารให้กับทรานซิสเตอร์น้อยเกินไปนั้น จำนวนพัลส์ที่เอาต์พุตจะมีค่าเพิ่มขึ้นจากกรณีการเจือสารปกติประมาณ 120 พัลส์เมื่อวัดที่ค่ากระแสอินพุตแต่ละค่า และในกรณีที่เจือสารให้กับทรานซิสเตอร์มากเกินไปนั้น จำนวนพัลส์ที่เอาต์พุตจะมีค่าลดลงจากกรณีปกติประมาณ 69 พัลส์เมื่อวัดที่ค่ากระแสอินพุตแต่ละค่า โดยระบบยังสามารทำงานได้ปกติ และพบว่าในกรณีที่มีการเจือสารให้กับทรานซิสเตอร์น้อยเกินไปนั้น จะเกิดความไม่เป็นเชิงเส้นสูงที่สุดในทั้ง 3 กรณี คือ 1.55 % และในรูปที่ 7.26 เป็นการจำลองการทำงานของระบบเมื่อเปลี่ยนค่าอุณหภูมิไป 3 กรณีด้วยกัน คือ 0 , 27, และ 80 องศาตามลำดับ



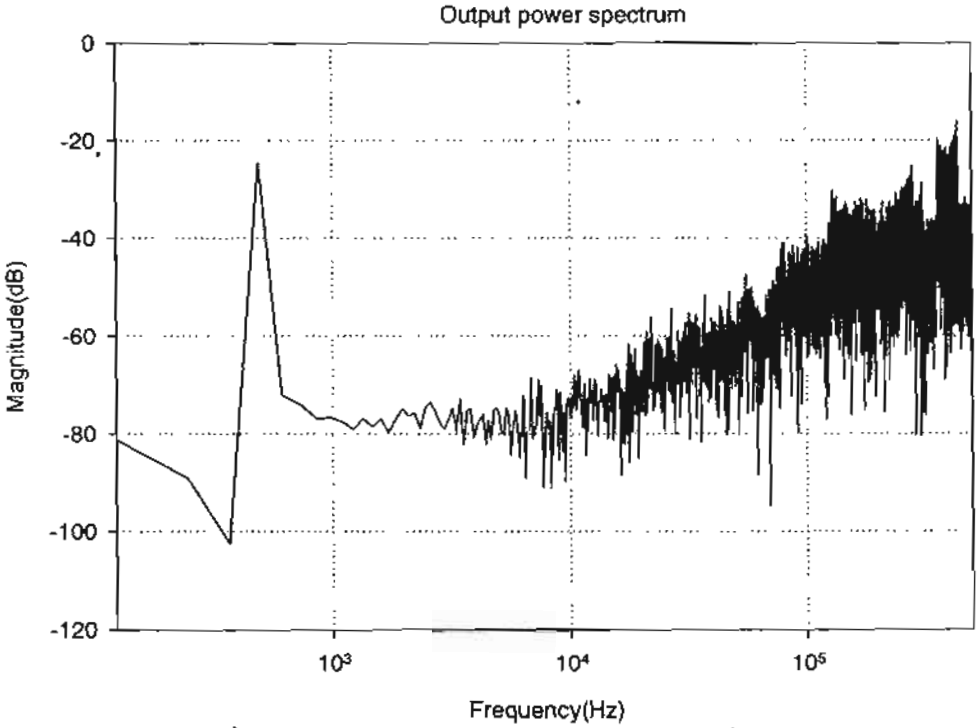
รูปที่ 7.25 ความไม่เป็นเชิงเส้นของระบบในกรณีที่เกิดการเปลี่ยนแปลงพารามิเตอร์ในการสร้างทรานซิสเตอร์



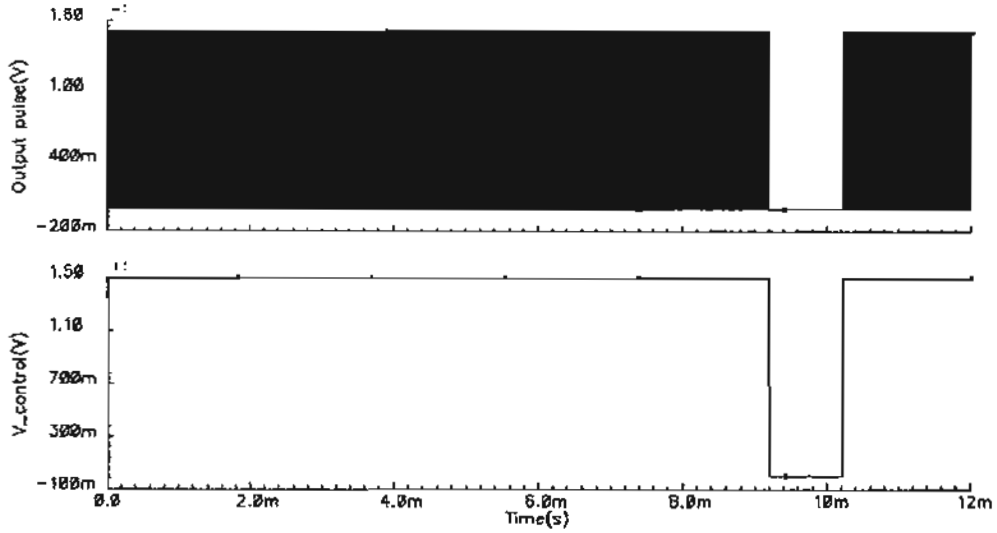
รูปที่ 7.26 ค่าเอาต์พุตพัลส์ที่เกิดจากการเปลี่ยนค่าความต้านทานของเบียโซรีซิสเตอร์ที่อุณหภูมิต่าง ๆ

จากผลการจำลองการทำงานในเรื่องของความไม่สมพงษ์กันของค่าความต้านทานปกติของเปียโซรีซิสเตอร์และค่าความต้านทานอ้างอิง,ผลการจำลองการทำงานในเรื่องความผิดพลาดในการสร้างทรานซิสเตอร์ และผลการจำลองการทำงานในเรื่องอุณหภูมิ นั้นจะเห็นได้ว่าจำนวนพัลส์ที่เอาต์พุตเกิดการเลื่อนขึ้นหรือเลื่อนลงจากจำนวนพัลส์ในกรณีปกติ โดยที่ค่าความไม่เป็นเชิงเส้นยังคงใกล้เคียงกับค่าความไม่เป็นเชิงเส้นในกรณีปกติ ดังนั้นการความผิดพลาดเหล่านี้อาจถือได้ว่าเป็นค่าออฟเซตของในแต่ละกรณี ซึ่งสามารถทำการชดเชยได้โดยกระบวนการทางซอฟแวร์

รูปที่ 7.27 แสดงกำลังงานสเปกตรัมของสัญญาณดิจิตอลที่เอาต์พุตของระบบตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ โดยจำนวนตัวอย่างที่ได้จากการสุ่มสัญญาณเอาท์พุตดิจิตอลจะเท่ากับ 16384 ตัวอย่าง โดยป้อนความถี่อินพุตที่ 488 Hz ใช้ความถี่ในการสุ่มสัญญาณ 1 MHz ซึ่งในการคำนวณอนุกรมฟูเรียร์จะใช้การจัดรูปองค์ประกอบสัญญาณอินพุตด้วยหน้าต่างแบบสี่เหลี่ยม(Rectangular window)



รูปที่ 7.27 กำลังงานสเปกตรัมตลอดช่วงความถี่ 500kHz



รูปที่ 7.28 การทำงานของระบบในโหมดปกติและโหมดรอคอยซึ่งถึงควบคุมโดยสัญญาณ $\phi_{control}$

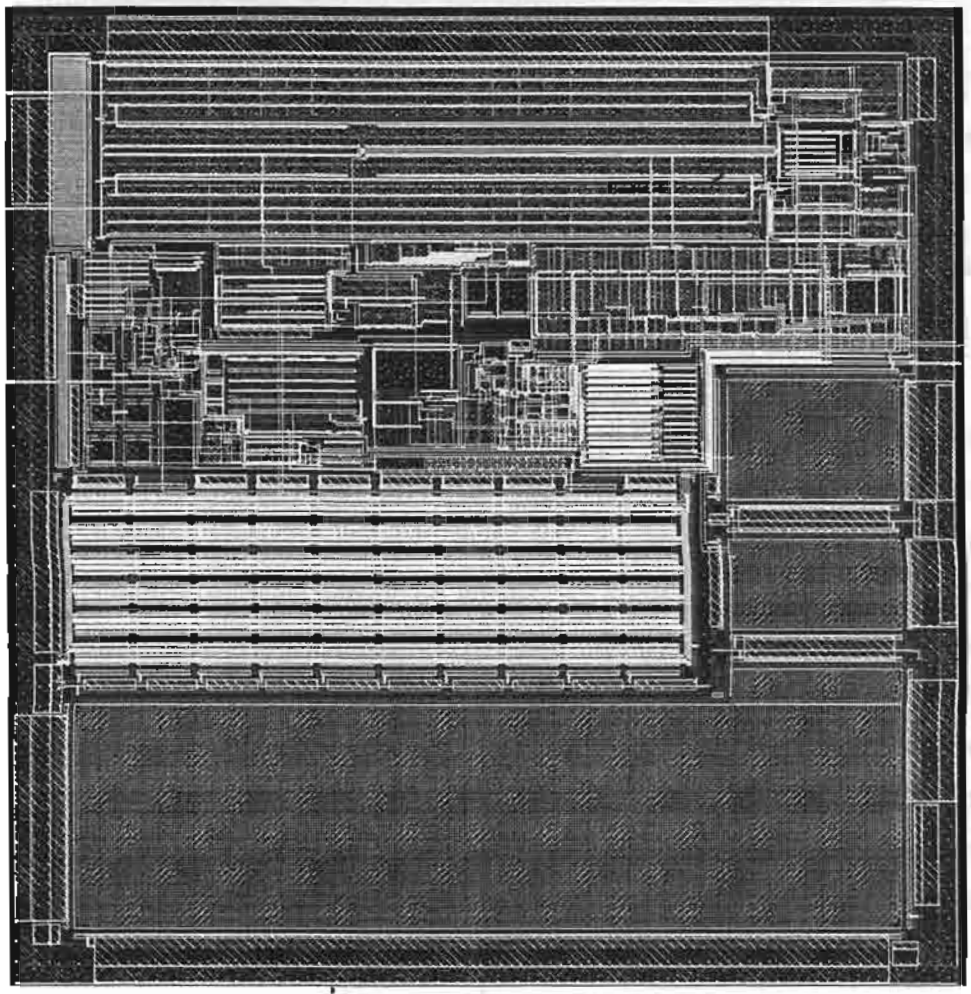
จากรูปที่ 7.27 แสดงให้เห็นถึงคุณสมบัติการจัดรูปแบบสัญญาณรบกวนที่เกิดขึ้นจากวงจรจัดระดับสัญญาณ(Quantization noise) ในช่วงแบนด์วิดส์สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่ง โดยจากรูปที่ 7.28 จะเห็นว่าขนาดกำลังงานของสัญญาณรบกวนจะมีค่าต่ำกว่าขนาดกำลังงานของสัญญาณอินพุตประมาณ 53 dB และวงจรมอดูเลตสัญญาณซิกม่าเดลต้ามีแบนด์วิดท์การทำงานประมาณ 5kHz โดยค่ากำลังงานของสัญญาณรบกวนในแต่และเสปกตรัมความถี่ในช่วงแบนด์วิดส์นั้นมีค่าประมาณ 78 dB ซึ่งสามารถหาบิตประสิทธิผล(Effective number of bit :ENOB)ได้มีค่าเท่ากับ 8.3 บิต [28]

รูปที่ 7.28 แสดงถึงการทำงานของระบบซึ่งถูกควบคุมด้วยสัญญาณ $\phi_{control}$ โดยระบบจะสลับการทำงานไปมาระหว่างโหมดทำงาน (Active mode) และ โหมดรอคอย(Ideal mode) โดยในการทำงานในโหมดปกติจะใช้เวลาทั้งหมด 9 ms และในโหมดการรอคอยจะใช้เวลา 1ms

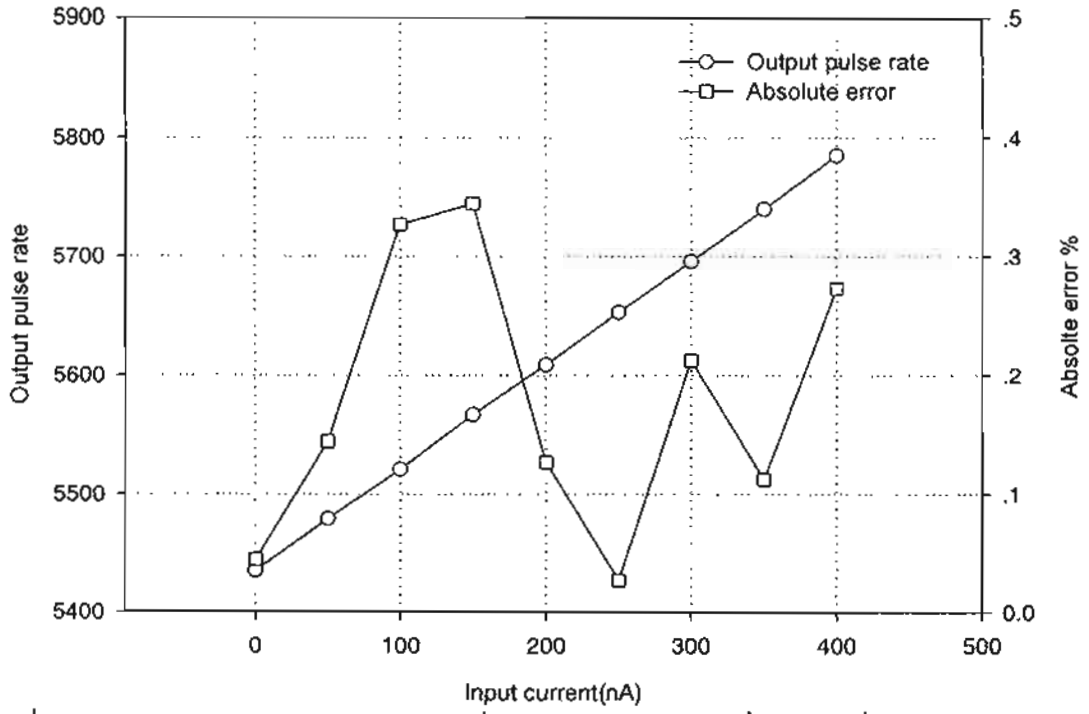
7.11.3 วงจรทางกายภาพ (Layout) และผลจำลองการทำงาน

รูปที่ 7.29 แสดงถึงวงจรทางกายภาพ(Layout) ของวงจรตรวจวัดการเปลี่ยนค่าความต้านทานของเบียโซรีซิสเตอร์ และรูปที่ 7.30 แสดงความเป็นเชิงเส้นระหว่างกระแสที่อินพุตและจำนวนพัลส์ที่เอาต์พุตของวงจรที่ได้จากวงจรทางกายภาย(Layout) ซึ่งเมื่อทำการเปรียบเทียบกับผลได้ได้จากการจำลองการทำงานในแผนภาพวงจร(Schematic) จะเห็นได้ว่าจำนวนพัลส์ที่ได้จากกระแสอินพุตแต่ละค่ามีค่ามากกว่าผลที่ได้จากการจำลองการทำงานโดยใช้แผนภาพวงจร (Schematic) ประมาณ 16 พัลส์ แต่ค่าความแตกต่างระหว่างจำนวนพัลส์ต่ำสุดและจำนวนพัลส์สูงสุด$\left(\Delta N_{discharge}\right)$ของทั้งสองกรณียังมีค่าใกล้เคียงกันโดย $\Delta N_{discharge}$ ในกรณีของการจำลองการ

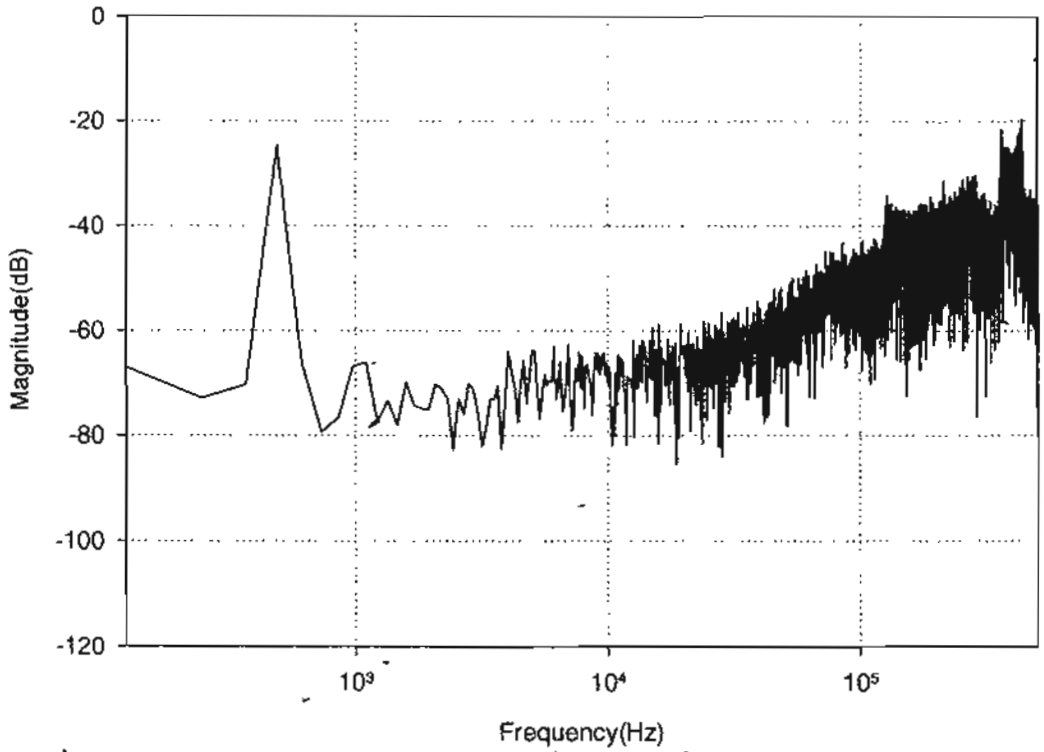
ทำงานในแผนภาพวงจร(Schematic) จะมีค่าเป็น 351 พัลส์ และในกรณีของการจำลองการทำงานของวงจรทางกายภาพจะมีค่าเป็น 350 พัลส์ และเมื่อพิจารณาถึงความไม่เป็นเชิงเส้นของวงจร จะพบว่าความไม่เป็นเชิงเส้นของวงจรที่ได้จากการออกแบบทางกายภาพ(Layout) นั้นมีค่ามากขึ้นเป็น 0.34%



รูปที่ 7.29 วงจรทางกายภาพ(Layout)



รูปที่ 7.30 ความเป็นเชิงเส้นระหว่างกระแสที่อินพุตกับจำนวนพัลส์ที่เอาต์พุตที่ได้จากวงจรเลย์เอาต์



รูปที่ 7.31 กำลังงานสเปกตรัมดลอดช่วงความถี่ 500kHz ที่ได้จากวงจรทางกายภาพ(Layout)

รูปที่ 7.31 แสดงกำลังงานสเปกตรัมของสัญญาณดิจิตอลที่เอาต์พุตของระบบตรวจจับการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเตอร์ที่ได้จากการจำลองการทำงานโดยใช้วงจรทางกายภาพ(Layout) โดยจำนวนตัวอย่างที่ได้จากการสุ่มสัญญาณเอาท์พุตดิจิตอลจะเท่ากับ 16384 ตัวอย่าง และป้อนความถี่อินพุตที่ 488 Hz ใช้ความถี่ในการสุ่มสัญญาณ 1 MHz ซึ่งในการคำนวณอนุกรมฟูเรียร์จะใช้การจัดรูปองค์ประกอบสัญญาณอินพุตด้วยหน้าต่างแบบสี่เหลี่ยม(Rectangular window)

จากรูปที่ 7.31 แสดงให้เห็นถึงคุณสมบัติการจัดรูปแบบสัญญาณรบกวนที่เกิดขึ้นจากวงจรจัดระดับสัญญาณ(Quantization noise) ของวงจรทางกายภาพ(Layout) ในช่วงแบนด์วิดส์สัญญาณอินพุตของวงจรมอดูเลตสัญญาณซิกม่าเดลต้าอันดับหนึ่ง โดยจากรูปที่ 7.31 จะเห็นว่าขนาดกำลังงานของสัญญาณรบกวนจะมีค่าต่ำกว่าขนาดกำลังงานของสัญญาณอินพุตประมาณ 48 dB และวงจรมอดูเลตสัญญาณซิกม่าเดลต้ามีแบนด์วิดท์การทำงานประมาณ 5kHz โดยค่ากำลังงานของสัญญาณรบกวนในแต่และเสปกตรัมความถี่ในช่วงแบนด์วิดส์นั้นมีค่าประมาณ 73 dB โดยเพิ่มขึ้นจากผลการจำลองการทำงานในแผนภาพวงจร(Schematic) ประมาณ 5 dB ซึ่งสามารถหาบิดประสิทธิผล(Effective number of bit :ENOB)ได้มีค่าเท่ากับ 7.3 บิต [28] และตารางที่ 7.7 แสดงถึงคุณสมบัติโดยรวมของระบบตรวจวัดการเปลี่ยนความต้านทานของเปียโซรซิสเดอร์โดยใช้วิธีการตรวจวัดกระแสที่นำเสนอ

ตารางที่ 7.7 สรุปผลการจำลองการทำงานของวงจรตรวจวัดการเปลี่ยนค่าความต้านทานของเปียโซรีซิสเดอร์

พารามิเตอร์	คุณสมบัติ	หน่วย
Voltage supply	1.5	V
Input impedance	6.8	Ω
Maximum linearity error(±1% change in R_p)	0.21	%
Resolution	8.3	bit
Conversion time	9	ms
Power dissipation (Active Mode) (Idle Mode)	271.65 13.37	uW

เอกสารอ้างอิง

[7.1] X. Li and G. C. M. Meijer, "A novel smart resistive-capacitive position sensor", IEEE Trans. Instrum. Meas., vol. 44, pp. 768-770, Jun. 1995.

[7.2] C. Lu, M. Lemkin, and B. E. Boser, "A monolithic surface micromachined accelerometer with digital output", IEEE j. Solid-State Circuits. Vol. 30,pp. 1367-1373,Dec. 1995.

[7.3] http://industrial.se-ed.com/itr117/itr117_109.asp

[7.4] Practical Design Techniques for Sensor Signal Conditioning, Analog Devices, 1999

[7.5] S. Vlassis, S. Siskos and T. Laopoulos, "A piezoresistive pressure sensor interfacing circuit" IEEE instrumentation and Measurement Technology Conference, vol.1, pp. 303-308,1999

[7.6] J. Ramírez-angulo et al., "The flipped voltage Follower: A useful cell for low-voltage low power circuit design" Proc. Of the IEEE International Symposium on Circuits and Systems, ISCAS 2002, vol. 1, pp. 725-728.

[7.7] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits", Fourth Edition, University of California, Berkeley and Davis, 2001

[7.8] L. G. Fasoli, F. R. Riedijk, J. H. Huising, "A general circuit for resistive bridge sensors eith bitstream output" IEEE Trans. Instrum. Meas., vol. 46, no. 4, pp. 954-960, 1997

[7.9] G. M. Yin, F. Op't Eynde, and W. Sansen, "A high-speed CMOS comparator with 8-b resolution", IEEE J. Solid-State Circuits, vol. 27, pp. 208-211, Feb. 1992

ภาคผนวก
ผลงานที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

1. **A. Thanachayanont** and P. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," Electronics Letters, Volume: 41 Issue: 2 , 20 Jan. 2005, Page(s): 51 –52, Journal impact factor = 1.072
2. **A. Thanachayanont** and S. Sangtong, "Low-voltage current-sensing CMOS interface circuit for piezo-resistive pressure sensor," ETRI Journal, vol.29, no.1, Feb. 2007, pp.70-78., Journal impact factor = 1.3
3. **A. Thanachayanont**, "Low-voltage Compact CMOS Variable Gain Amplifier," accepted for publication in International journal of electronics and communications, journal impact factor = 0.39

บทที่ 8 สรุปผลการดำเนินงาน

รายงานนี้นำเสนอผลงานวิจัยด้านเทคนิคการออกแบบวงจรอนาลอกที่ใช้กำลังงานต่ำสำหรับภาครับส่ง W-CDMA โดยใช้เทคโนโลยี CMOS ขนาด 0.35 ไมโครเมตร โดยได้วิจัยและพัฒนาวงจรส่วนสำคัญต่างๆ ในภาครับส่ง W-CDMA แบบ direct conversion โดยวงจรส่วนต่างๆที่ได้วิจัยและพัฒนา ได้แก่

1) วงจรขยายที่ปรับอัตราขยายได้ (Variable gain amplifier: VGA) ที่มีขนาดเล็ก ใช้กำลังงานต่ำ และทำงานภายใต้แหล่งจ่ายไฟเลี้ยงต่ำ โดยวงจร VGA ที่นำเสนอใหม่นั้นใช้เทคนิควงจรขยายทรานส์คอนดักแตนซ์แบบซอสดีเจนเนอเรชั่น และวงจรขยายกระแสที่ใช้โครงสร้างวงจรขยายทรานส์อิมพีแตนซ์ที่มีการป้อนกลับเพื่อให้สามารถปรับค่าอัตราขยายได้เป็นอิสระกับแบนด์วิท คุณสมบัติเด่นของวงจร VGA ที่นำเสนอคือมีขนาดเล็ก ใช้กำลังงานต่ำ ใช้แรงดันไฟเลี้ยงต่ำ และมีแบนด์วิทคงที่ ที่ทำงานได้ที่แรงดันไฟเลี้ยงต่ำถึง 1 V และใช้กำลังงานต่ำ โดยมีแบนด์วิทกว้างตั้งแต่ 10 MHz - 100 MHz และมีอัตราขยายต่อภาค 20 dB และยังสามารถควบคุมอัตราขยายได้เป็นอิสระจากแบนด์วิท
2) วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital-to-Analog Converter: DAC) แบบขับกระแสที่ใช้กำลังไฟต่ำ ความละเอียด 12 บิต อัตราการแปลง 100 MS/s สำหรับภาคส่งสัญญาณ W-CDMA แบบ quadrature (I/Q channel) direct conversion
3) วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog-to-digital converter: ADC) แบบ pipeline ที่ใช้กำลังไฟต่ำ ความละเอียด 6 บิต อัตราการแปลง 15.36 MS/s สำหรับภาครับ W-CDMA ที่มีอัตราข้อมูล 3.84 Mchips/s โดยใช้วงจรขยายความนำถ่ายโอนเชิงดำเนินการชั้นเอบีแบบเทียมที่นำเสนอขึ้นใหม่ ซึ่งใช้กำลังไฟต่ำ
4) วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ bandpass delta-sigma ที่ใช้แรงดันไฟเลี้ยงและกำลังไฟต่ำ ความละเอียด 10 บิต อัตราการแปลง 40 MS/s โดยใช้วงจรขยายความนำถ่ายโอนเชิงดำเนินการชั้นเอบีแบบเทียม ที่นำเสนอขึ้นใหม่ ซึ่งใช้กำลังไฟต่ำ
5) วงจรสังเคราะห์ความถี่แบบเฟสล็อกลูป แบบ fractional-N ที่มี delta-sigma modulator โดยสามารถสร้างความถี่ในย่านกว้าง 1.9 GHz – 2.5 GHz และรวมเอาวงจร oscillator ไว้บนชิพ
6) วงจรตรวจวัดค่าความต้านทานเปียโซแบบใหม่ซึ่งตรวจวัดค่าความต้านทานเปียโซที่เปลี่ยนแปลงตามค่าความดันแล้วแปลงเป็นสัญญาณดิจิตอล โดยมีจุดเด่นคือวงจรมีขนาดเล็ก ใช้แรงดันไฟเลี้ยงและกำลังงานต่ำ

Low-voltage wideband compact CMOS variable gain amplifier

A. Thanachayanont and P. Naktongkul

A novel low-voltage wideband CMOS variable gain amplifier (VGA) is proposed. Using a 0.13 μm CMOS technology, the VGA exhibits a linear-dB controllable gain range of 40 dB with a bandwidth in excess of 130 MHz, while drawing only 50 μA from a single 1 V power supply voltage.

Introduction: The variable gain amplifier (VGA) is an indispensable building block in modern wireless communication systems [1, 2]. In deep submicrometre CMOS technology where the supply voltage can be as small as 1.2 V, designing a VGA with high linearity and wide bandwidth with acceptable power dissipation is a real challenge. In this Letter, a new low-voltage low-power wideband CMOS VGA circuit is proposed.

Proposed VGA cell: The architecture of the proposed VGA circuit is shown in Fig. 1, which is a cascade of a linear transconductance amplifier and a linear transimpedance amplifier. The transimpedance amplifier is realised using a current amplifier with shunt-feedback resistors (R_f). This allows constant bandwidth when varying the voltage gain [3]. The voltage gain of the VGA circuit is the product of the transconductance gain (G_m) and the transimpedance gain (R_m). The transimpedance gain is given by (1), where R_{in} and A_i, respectively, are the input resistance and the current gain of the current amplifier. Note that, when $A_i \gg 1$, we have $R_m \simeq -R_f$. Therefore, a linear G_m and a high-gain current amplifier are required to realise a high-linearity VGA:

$$R_m = -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \tag{1}$$

Fig. 2 shows the circuit implementation of the proposed VGA cell, which combines a source degeneration differential input transconductance amplifier (M_1, M_2 and R_s) and a current-mode transimpedance amplifier (M_3–M_4 and R_f) [3]. Transistors M_1 and M_2 perform two roles simultaneously, both as part of the transconductance amplifier and as an input section of the current amplifier. This saves power dissipation and chip area. As part of the transconductance amplifier, M_2 provides negative feedback to force a constant current flowing through M_1; thus the differential input voltage appears across R_s and the differential output current flows in M_2. As an input section of the current amplifier, M_1 and M_2 provide low input impedance for the differential current signal. The differential transconductance gain is given by (2), where $R_{s1} \simeq g_{o1}/g_{m1}g_{m2}$ is the resistance looking into the source of M_1. Thus, it is required that $R_s \gg 1/R_{s1}$ to obtain high linearity:

$$G_{md} = \frac{1}{(R_{s1} + R_s)} \tag{2}$$

The transimpedance gain is given by (3), where α is the current gain, $g_f = 1/R_f$, $C_2 = c_{gs2} + c_{gs3} = c_{gs2}(1+\alpha)$ and $g_{m3} = \alpha g_{m2}$, and assuming that $g_m \gg g_o$. When $\alpha \gg 1$, the low-frequency transimpedance gain is equal to $-R_f$ and the poles are at $\omega_{p1} = -g_{m1}/C_{gs1}$ and $\omega_{p2} = -g_{m2}/C_{gs2}$, which are at the f_T of the transistors. Therefore the proposed VGA circuit inherently has a wide operating bandwidth, which is determined by the output load capacitance (C_L). Varying R_f affects the output pole and thus the bandwidth of the VGA. Therefore to design the VGA, R_f and C_L should be chosen first according to the bandwidth requirement and R_s is used to adjust the voltage gain while keeping the bandwidth constant:

$$R_m = \frac{g_f - \alpha g_{m2}}{g_f g_{m2}(1+\alpha)} \times \frac{1}{1 + s\left[(\alpha/1+\alpha)(C_{gs1}/g_{m1}) + (C_{gs2}/g_{m2})\right] + s^2\left[(C_{gs1}/g_{m1})(C_{gs2}/g_{m2})\right]} \tag{3}$$

Simulation results: The proposed VGA circuit was designed to operate with a single 1 V power supply voltage. The circuit was simulated using *Spectre*™ with process parameters from a 0.13 μm standard CMOS technology. Wide-swing cascode current sources were used, and I_B and α equal 5 μA and 4, respectively. Resistors R_f and R_s were implemented using triode PMOS transistors. To allow direct coupling of two or more VGA cells for higher voltage gain, both input and output common-mode voltages were designed to be at one-half the supply voltage.

Fig. 3 shows three families of AC frequency response with different −3 dB bandwidth, as set by using MOS switches and R_f. Each family of curves shows a linear-in-dB gain range of 12 dB in steps of 2 dB, as obtained by varying R_s. The VGA cell inherently exhibits constant bandwidth of 130, 350, and 650 MHz, when the gain ranges are 18 to 30, 16 to 4 and 2 to −10 dB, respectively.

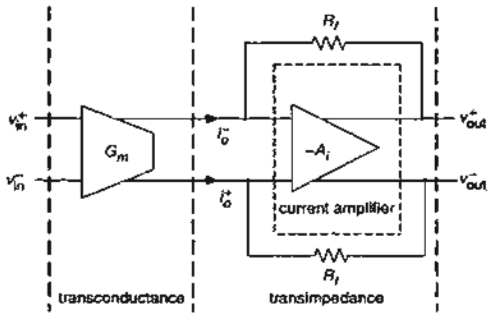


Fig. 1 *VGA architecture*

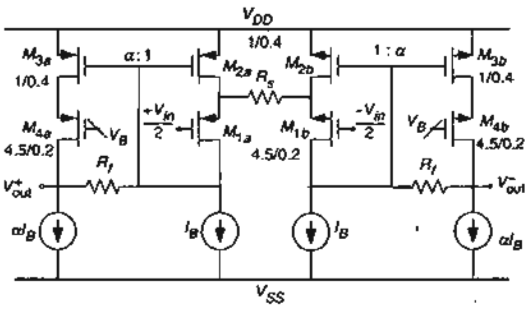


Fig. 2 *Proposed VGA circuit*

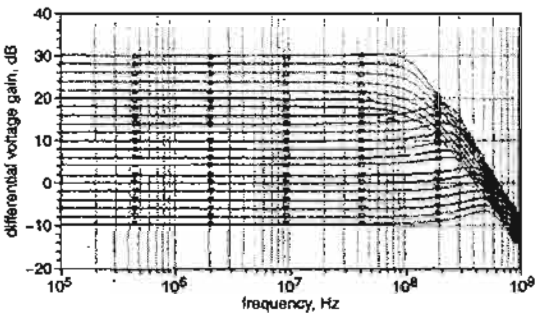


Fig. 3 *AC frequency response*
—△— $R_F = 730$ kΩ
—□— $R_F = 130$ kΩ
—▽— $R_F = 30$ kΩ

Fig. 4 shows the simulated total harmonic distortion (THD) against a 1 MHz differential input voltage. For high gain settings (>10 dB), the THD is below −40 dB for a 500 mV peak differential output voltage. For low gain settings (<10 dB), the THD is below −40 dB for peak differential input voltage less than 120 mV. The THD is roughly constant over 130 MHz bandwidth. The simulated input-referred IP3 were at −20.5, −0.9 and +4.9 dBm for gain settings at 30, 0 and −10 dB, respectively. For 30 dB gain, the input-referred noise integrated over 130 MHz bandwidth was 404 μV_{rms}.

Low-Voltage Current-Sensing CMOS Interface Circuit for Piezo-Resistive Pressure Sensor

Apinunt Thanachayanont and Suttisak Sangtong

A new low-voltage CMOS interface circuit with digital output for piezo-resistive transducer is proposed. An input current sensing configuration is used to detect change in piezo-resistance due to applied pressure and to allow low-voltage circuit operation. A simple 1-bit first-order delta-sigma modulator is used to produce an output digital bitstream. The proposed interface circuit is realized in a 0.35 μm CMOS technology and draws less than 200 μA from a single 1.5 V power supply voltage. Simulation results show that the circuit can achieve an equivalent output resolution of 9.67 bits with less than 0.23% non-linearity error.

Keywords: CMOS amplifier, current amplifier, resistive readout, interface circuit current sensing, Wheatstone bridge, piezo-resistive sensor.

I. Introduction

Recent advances in CMOS processing and micromachining technologies have allowed various types of microsensor to be integrated with signal processing circuitry in a single chip [1]-[3]. The so-called "smart sensor" is increasingly employed in many applications. A smart sensor basically integrates an on-chip sensor, a front-end readout amplifier, an analog-to-digital converter, and a digital microcontroller in a single chip. With the continuing downsizing of submicron CMOS technology and reduction of power supply voltage, a single-chip smart sensor would require all circuitry to operate under low power supply voltage. Therefore, there is a need for a low-voltage interface circuit, which serves as a bridge between the on-chip sensor and the backend digital processor.

The aim of this work is to realize a low-voltage interface circuit for a CMOS piezo-resistive pressure sensor. The sensor resistance is changed when a pressure variation is applied. The resistance change is traditionally measured by using the Wheatstone bridge circuit, the sensitivity of which depends on the excitation voltage or current. For high bridge sensitivity, high excitation voltage or current is needed; which prevents low-voltage and low-power operation.

In this paper, a new low-power low-voltage interface circuit with digital output is proposed. A current-sensing topology is used to detect the sensor resistance variation and allows low-voltage circuit implementation. The paper is organized as follows. In section II, the circuit configurations for resistive readout, including the traditional Wheatstone bridge, the current-mode Wheatstone bridge, and the proposed low-voltage current-sensing configuration, are described. Sections III and IV describe the architecture and the implementation of the proposed interface circuit, respectively. Simulation results

Manuscript received Feb. 27, 2006; revised Jan. 10, 2007.

Apinunt Thanachayanont (phone: + 662 737 3000 ext. 3309, 3375, email: ktapinun@kmitl.ac.th) and Suttisak Sangtong (email: tannunmail@yahoo.com) are with Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand.

ETRI Journal

VOLUME 29 · NUMBER 1 · FEBRUARY 2007 · ISSN 1225-64636

Low-Voltage Current-Sensing CMOS Interface Circuit for Piezo-Resistive Pressure Sensor

Apinunt Thanachayanont and Suttisak Sangtong

PP. 70-78

ETRI Electronics and Telecommunications Research Institute

and conclusions are given in sections V and VI, respectively.

II. Input Configurations for Resistive Readout

1. Voltage-Sensing Configurations

A. Voltage-Driven Wheatstone Bridge

Traditionally, the voltage-driven Wheatstone bridge configuration is used for the precise measurement of small resistance changes. It is comprised of four resistors connected in a quadrilateral form and an excitation voltage connected across one diagonal of the bridge. The output voltage of the bridge is measured differentially between the voltage divider outputs connected across the other diagonal. The deviation of one or more resistors in the bridge from a nominal value is measured as an indication of change in the measured physical variable, and the output voltage across the bridge indicates the resistance change.

The bridge can have one, two, or four piezo-resistors, whose values are deviated with the applied physical variable, as shown in Fig. 1. Typically, in sensor applications, the nominal values of four resistors are chosen to be equal. The differential output voltage and the end-point linearity error of the bridges in Fig. 1 are summarized in Table 1, where V_{EX} is the excitation voltage to the bridge. The linearity error is calculated as the maximum error in percentage full scale from a straight line that connects the origin and the end point at full scale. Table 1 shows that inherent linearity between the piezo-resistance variation and the output voltage variation can be obtained with the all-element and two-element varying configurations in Fig. 1(a) and Fig. 1(b), respectively. However, linearity error is not critical because it can easily be compensated by using software in digital systems [4]. More importantly, to reduce offset and increase the sensitivity of the sensor, the bridge should have accurate resistance matching among piezo-resistors and equal absolute resistance variation with pressure. These requirements are difficult to achieve in the all-element and two-element varying bridges, not to mention the drawbacks in terms of larger area and cost. The previously mentioned difficulty can be alleviated by using a single piezo-resistor as shown in Fig. 1(d).

One drawback of voltage-driven Wheatstone bridges is that the bridge sensitivity ($S = V_o/(\Delta R/R_0)$ is proportional to V_{EX} and inversely proportional to the baseline resistance of the piezo-resistors. Therefore, to obtain high sensitivity, large V_{EX} and small piezo-resistance are preferred, which prevent low-voltage operation and lead to considerable power consumption of the bridge.

Table 1. Summary of input configurations for resistive readout.

Input configuration	Output voltage or current	Linearity error (%/%)
Fig. 1(a)	$V_o = V_{EX}\left(\frac{\Delta R}{R_o}\right)$	0
Fig. 1(b)	$V_o = \frac{V_{EX}}{2}\left(\frac{\Delta R}{R_o}\right)$	0
Fig. 1(c)	$V_o = \left(\frac{\Delta R}{2R_o + \Delta R}\right)V_{EX} \approx \frac{1}{2}\left(\frac{\Delta R}{R_o}\right)V_{EX}$	0.5
Fig. 1(d)	$V_o = \frac{1}{2}\left(\frac{\Delta R}{2R_o + \Delta R}\right)V_{EX} \approx \frac{1}{4}\left(\frac{\Delta R}{R_o}\right)V_{EX}$	0.5
Fig. 2(a)	$V_o = (\Delta R)I_{EX}$	0
Fig. 2(b)&(c)	$V_o = \left(\frac{\Delta R}{2}\right)I_{EX}$	0
Fig. 2(d)	$V_o = \frac{R_0}{4}\left(\frac{\Delta R}{R_o + \frac{\Delta R}{4}}\right)I_{EX} \approx \frac{\Delta R}{4}I_{EX}$	0.25
Fig. 3(a)&(b)	$\Delta I = I_1 - I_2 = (\Delta R / R_o)I_{EX}$	0
Fig. 4(a)	$\Delta I = \frac{(V_{EX} - V_{CM})}{R_o}\cdot\frac{(\Delta R/R_0)}{(1+\Delta R/R_0)} = \frac{(V_{EX} - V_{CM})}{R_o}\cdot(\Delta R/R_0)$	1
Fig. 4(b)	$\Delta I = \frac{2(V_{EX} - V_{CM})}{R_o}\cdot\frac{(\Delta R/R_0)}{[1-(\Delta R/R_0)^2]} \approx \frac{2(V_{EX} - V_{CM})}{R_o}\cdot(\Delta R/R_0)$	0.01

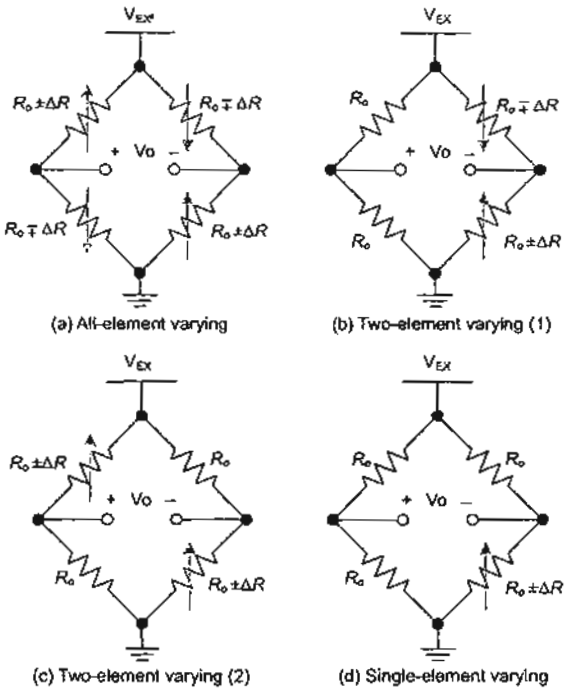


Fig. 1. Voltage-driven Wheatstone bridge configurations.

B. Current-Driven Wheatstone Bridge

The Wheatstone bridges can also be driven by a constant current source, as shown in Fig. 2. All current-driven bridges are inherently linear, except for the single-element varying configuration in Fig. 2(d). The sensitivity of current-driven bridges is proportional to the excitation current, I_{EX}. Therefore, a large I_{EX} is required to obtain high sensitivity, which increases the power consumption of the bridge.

2. Current-Sensing Configurations

A. AZKA Cell: A Current-Mode Wheatstone Bridge

As an alternative to the traditional voltage-mode Wheatstone bridge, a current-mode Wheatstone bridge has been proposed based on the circuit duality concept [6]. A current-mode dual network for the all-element varying Wheatstone bridge is shown in Fig. 3(a). It is straightforward to show that the current difference, $\Delta I = I_1 - I_2$, is linearly proportional to the change in resistance, ΔR, as shown in Table 1. Due to the circuit duality, the current-mode Wheatstone bridge inherits all characteristics and behavior of its voltage-mode counterpart in the current domain, such as sensitivity, linearity, stability, and so on. The input sensitivity is proportional to the constant excitation current value, I_{EX}. Unfortunately, it is not easy to measure ΔI practically; thus, the circuit in Fig. 3(a) is seldom used.

A practical current-mode Wheatstone bridge, shown in Fig. 3(b), has been proposed in [6] and is called the AZKA cell. The circuit uses two resistor elements driven by a constant excitation current. One end of both resistors is tied together, while the other end is forced to be equipotential, that is, $V_1 = V_2$, by a differential current or transimpedance instrumentation amplifier, which can be implemented by a number of

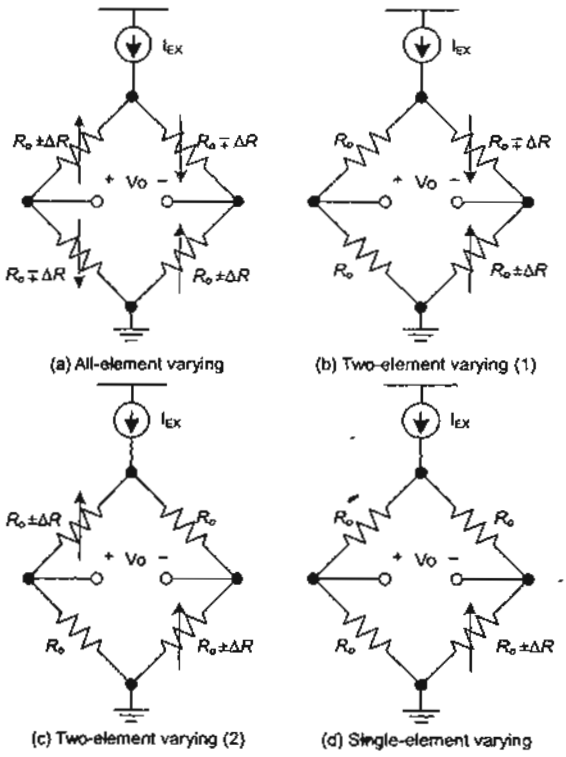


Fig. 2. Current-driven Wheatstone bridge configurations.

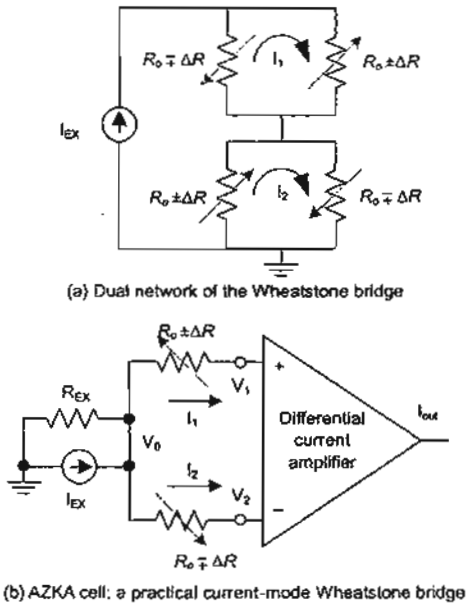


Fig. 3. Current-mode Wheatstone bridge configurations.

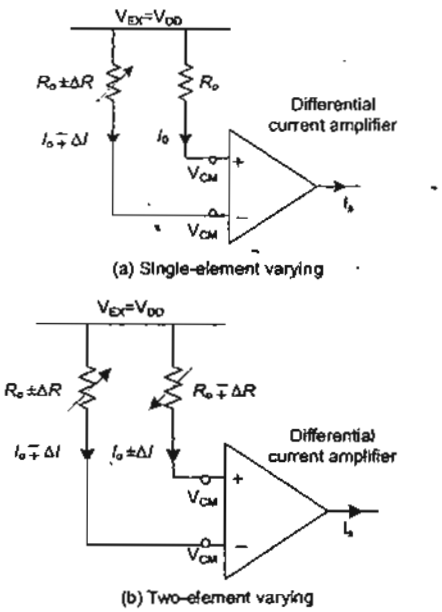


Fig. 4. Proposed low-voltage current-sensing configuration.

circuitarrangements with operational amplifiers, second-generation current conveyors (CCII), or operational floating current conveyors (OFCC) [6], [7]. It can be shown that the circuit in Fig. 3(b) exhibits the same properties and behavior as those of Fig. 3(a), while using only two resistors.

B. Proposed Low-Voltage Current Sensing Configuration

This paper proposes a new current-sensing arrangement suitable for low-voltage integrated circuit implementations.

The proposed configuration, shown in Fig. 4, uses two resistors connected between an excitation voltage, V_{EX} and a fixed input common-mode voltage, V_{CM} of a current buffer. Since the voltages across both resistors are fixed, change in resistance due to applied pressure generates an input current to flow into the current buffer. In this work, V_{EX} is equal to V_{DD} and V_{CM} and is designed to be near V_{DD} to minimize the DC current flowing through both resistors. Figures 4(a) and 4(b) show the proposed configurations with one and two piezo-resistors, respectively. Both resistors have the same baseline resistance, R_0 under no pressure variation. Under a pressure variation, the input current signal and the linearity error of both current-sensing configurations can be summarized as shown in Table 1. The two-element varying configuration has a much lower linearity error. However, as previously mentioned, linearity error can be compensated easily by using backend digital systems; therefore, the single-element varying arrangement is chosen in this work to save cost and area, and to mitigate the resistance matching requirement. In addition, the fixed resistor can be used to compensate for temperature dependence of the piezo-resistor [5].

3. Comparison of Input Configurations

This section compares the input configurations described above. In voltage-sensing configurations, both voltage- and current-driven Wheatstone bridges, the DC common-mode voltage of the following input amplifier is about one half of the power supply voltage (assuming that $V_{EX} = V_{DD}$) due to the voltage divider effect. Under low power supply voltage ($V_{DD} <$ 2V), where the transistor's threshold voltage is a significant portion of V_{DD}, it is not easy to realize a high CMRR amplifier with an input common-mode voltage in the middle of V_{DD}. This may be alleviated by using the current-sensing arrangements shown in Figs. 3 and 4.

Compared with the traditional voltage-mode Wheatstone bridge, the AZKA cell offers a number of advantages, including reduction of resistive sensing elements, summation of sensors' effects (namely, superposition ability), and simple linearization technique [6].

However, the input common-mode voltage of the AZKA cell is determined by the values of I_{EX} and the sensor's baseline resistance, R_0. For high input sensitivity, a large I_{EX} is desired; this may prohibit the use of the AZKA cell for low-voltage operation due to the voltage headroom required by I_{EX}. Furthermore, the voltage at the input coupled node V_0 is varied with the resistance variation, ΔR, as described in (1). Due to finite output resistance, R_{EX}, I_{EX} will fluctuate with input pressure variation; this produces an input-dependent and time-varying non-linearity error, which is not easy to compensate. Providing that $R_{EX} >> R_0$ and $\Delta R << R_0$, this consequence may be insignificant in many circumstances; however, it may not be ignored in low-voltage operation when there is not adequate voltage headroom for I_{EX} and the use of cascode structure is prohibited, rendering R_{EX} not much larger than R_0.

$$V_0 = V_1 + \frac{I_{EX}}{2}\left(R_0 - \frac{\Delta R^2}{R_0}\right) \quad (1)$$

The input sensitivity of the proposed current-sensing configuration in Fig. 4 is proportional to $(V_{EX}-V_{CM})/R_0$, which is the current through R_0. This is similar to the AZKA cell whose sensitivity is proportional to I_{EX}. However, the advantage of the circuit in Fig. 4 is that there is no headroom voltage associated with I_{EX}, making it more suitable for low-voltage operation under the same required input sensitivity.

Input-dependent and time-varying non-linearity may also occur in the circuit in Fig. 4, providing R_0 is not much greater than the Thevenin resistance of the excitation voltage or the supply voltage. Nevertheless, in many circumstances, a low-impedance and well-regulated supply voltage is usually and easily provided. Therefore, under low-voltage operation, the current-sensing arrangement in Fig. 4 is likely to provide superior performance.

III. Architecture of the Proposed Interface Circuit

Using the low-voltage single-element varying current-sensing configuration in Fig. 4(a), Fig. 5 shows the simplified circuit diagram of the proposed interface circuit, which consists of an input current buffer and a 1-bit delta-sigma analog-to-digital converter. The piezo-resistor ($R_P = R_0+\Delta R$, assuming that R_P increases with pressure variation) and the reference resistor, R_0, are connected between the power supply voltage and the input of the current buffer. The input common-mode voltage, V_{CM}, of the current buffer is kept constant due to the negative feedback within the circuit. Thus the voltages across the resistors are constant, and when pressure is applied, it creates a current flow into the current buffer. The current buffer measures the input current differentially and delivers a single-ended output current, I_S, to charge a capacitor, which functions

as an integrator of the following delta-sigma converter. The digital output pulse rate will be proportional to the applied pressure variation. The delta-sigma converter is a synchronized charge-balancing converter suitable for an embedded smart sensor due to its simplicity.

The operation of the circuit can be described as follows. When no pressure is applied, I_S is zero and the capacitor will not be charged or discharged; thus, there is no digital output pulse. Assume that the output of the comparator is low, the switch SW will be open and the current I_S charges the capacitor. The voltage across the capacitor increases until it reaches the reference voltage, V_r. At this instance, the output of the comparator goes to the negative saturation state and the output of the flip-flop goes LOW at the next rising edge of the clock. Then, the switch SW is turned on, thus allowing the capacitor to be discharged with the current I_r-I_S, where I_r is a constant reference current. The capacitor voltage is discharged until it is less than V_r, at which the output of the comparator goes back to the positive saturation state. Then, at the next rising of the clock, the output of the flip-flop goes HIGH and turns off SW and I_r; thus, the capacitor is charged again with I_S.

It can be deduced that the number of digital output pulses (N) over a fixed measuring time interval (T_{int}) is proportional to the value of I_S as described in (2), where T_{CLK} is the digital sampling clock period. The output pulses during T_{int} are counted by a digital counter, which acts as a first-order digital decimation filter, and the total number of pulses is the digital representation of the applied pressure.

$$\frac{I_s}{I_r} = \frac{NT_{CLK}}{T_{\text{int}}} \tag{2}$$

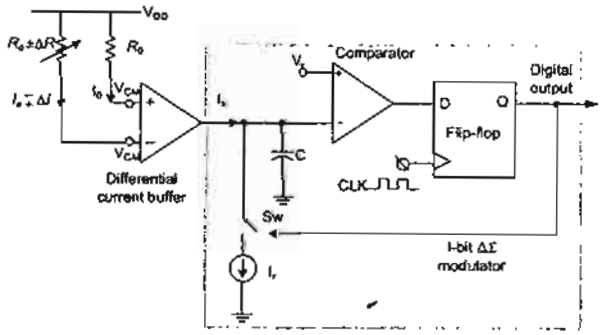


Fig. 5. Proposed low-voltage current-sensing interface circuit.

IV. Proposed Circuit Implementation

1. Differential Input Current Buffer

Figure 6 shows the circuit implementation of the differential input current buffer, which can be described as follows. The input section of the current buffer is realized by M_1-M_4 and DC biased current sources (M_{13}-M_{20}). This kind of circuit has been called the "flipped voltage follower" [8]. The circuit uses negative feedback to achieve small input resistance and to fix the input common-mode voltage, V_{CM}, as given by (2), where $\mu_0 C_{ox}$ is the MOSFET's transconductance parameter and V_{GI}, I_1, V_{TH}, and $(W/L)_1$ are the gate voltage, drain current, threshold voltage, and the aspect ratio of M_1, respectively. Thus, the voltages dropped across both resistors are kept constant to V_{DD}-V_{CM}.

Under a pressure variation, the piezo-resistance is changed, creating an input current (ΔI) into M_4, which is mirrored to M_6. On the other hand, the reference resistor is fixed and does not vary with pressure; thus, a constant common-mode current flows through M_3 and M_5. The common-mode current is subtracted from the input current signal at the output of the current buffer to produce an output current signal which is free of common-mode variation. The accuracy of current mirroring is vital to the linearity and common-mode rejection ratio (CMRR) of the current buffer. Therefore, two auxiliary amplifiers, A_1 and A_2 are used to match the drain-source voltages of M_3, M_5, and M_4, M_6, in order to improve the accuracy of current mirrors. The two amplifiers are identical and are realized by using the conventional two-stage operational amplifier. Transistors M_9-M_{12} realize a cascode current mirror used to eliminate the common-mode component of the input signal.

Note that, although the same circuit functions (that is, detection of resistance change and differential input current) may be obtained with a simpler current differencing circuit [9], which is essentially one of the two identical input sections shown in the dotted box in Fig. 6 with two DC bias current sources, and without the NMOS current mirror, M_9-M_{12}. In this work, we opted for two identical input sections because they provide identical and symmetrical low-input impedance to both inputs, which minimizes input offsets and signal-dependent voltage variations to enhance accuracy and linearity at the expense of increased power dissipation and area.

$$V_{CM} = V_{GI} + \sqrt{\frac{2I_1}{\mu_0 C_{OX}(W/L)_1}} + V_{TH} \tag{3}$$

For DC stability of the following delta-sigma modulator, a DC current, I_2, is added to the output current signal (ΔI) by a current mirror, M_{21}-M_{24}, yielding the final output current, $I_s = I_2+\Delta I$. Transistors M_{21} and M_{22} also realize a flipped voltage follower to fix the output common-mode voltage of the current buffer for best matching and accuracy of the current mirror.

Since the bandwidth of the pressure signal is in the order of a few tens of hertz, the pressure readout can be sampled with a sufficient sampling rate without any loss of information.

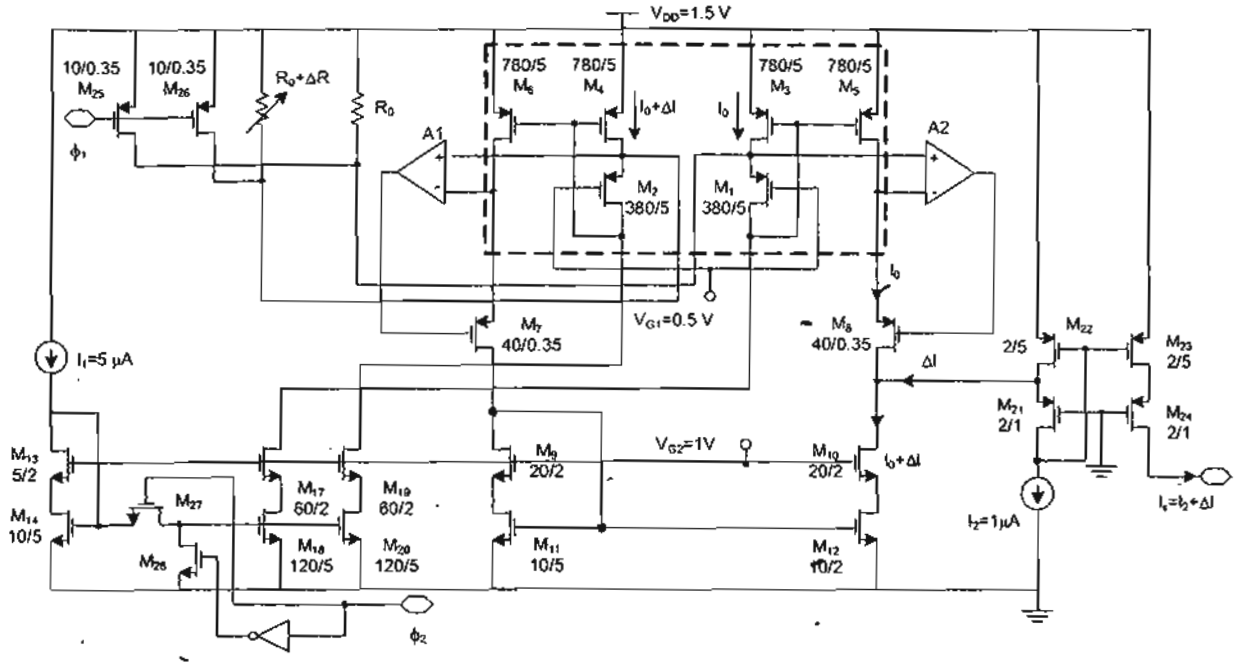


Fig. 6. Differential input current buffer.

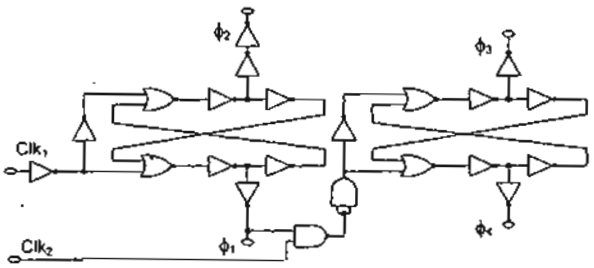


Fig. 7. Clock generator circuit.

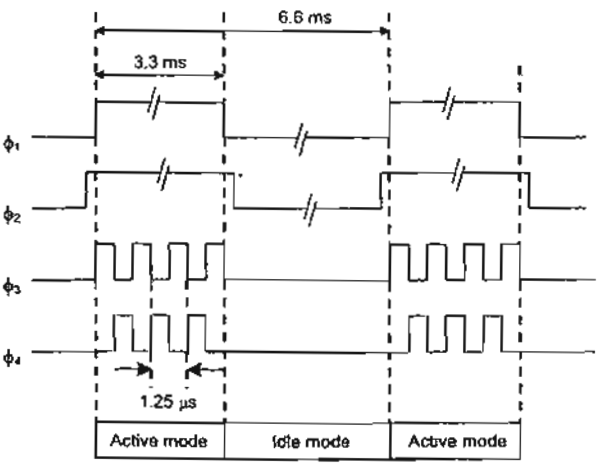


Fig. 8. Timing diagram of clock signals.

Therefore, the circuit operation is controlled by two non-overlapping clock signals, ϕ_1 and ϕ_2, rendering two modes of operation: active and idle modes. In idle mode, ϕ_1 and ϕ_2 are LOW, M_{25} and M_{26} are turned on shorting both resistors, and the input bias current I_1 is turned off to save power and disable the circuit. In active mode, ϕ_1 and ϕ_2 are HIGH, M_{25} and M_{26} are turned off, and I_1 is turned on allowing the circuit to operate and measure the input resistance variation. This scheme allows power saving during the idle interval, which is useful for implantable and battery-operated applications. The clock signals ϕ_1 and ϕ_2 are generated by the circuit in Fig. 7, and its timing diagram is depicted in Fig. 8. In this work, the active sampling clock rate (clk1) and the active time interval (clk2) are chosen as 800 kHz and 3.3 ms, respectively.

2. First-Order Delta-Sigma Modulator

The output current I_s of the current buffer is converted to a digital bitstream by a first order 1-bit delta-sigma modulator as shown in Fig. 9. The circuit consists of an integrating capacitor, C; a reference current source, I_r; and a flip-flop and a dynamic comparator, M_{41}-M_{50}. The capacitor C performs the integration of I_s, yielding the capacitor voltage, V_C. The value of C is chosen so that non-linear clipping does not occur at the desirable maximum input signal amplitude. The dynamic comparator compares V_C with the reference voltage, V_r, and produces the 1-bit output digital bitstream. The comparator

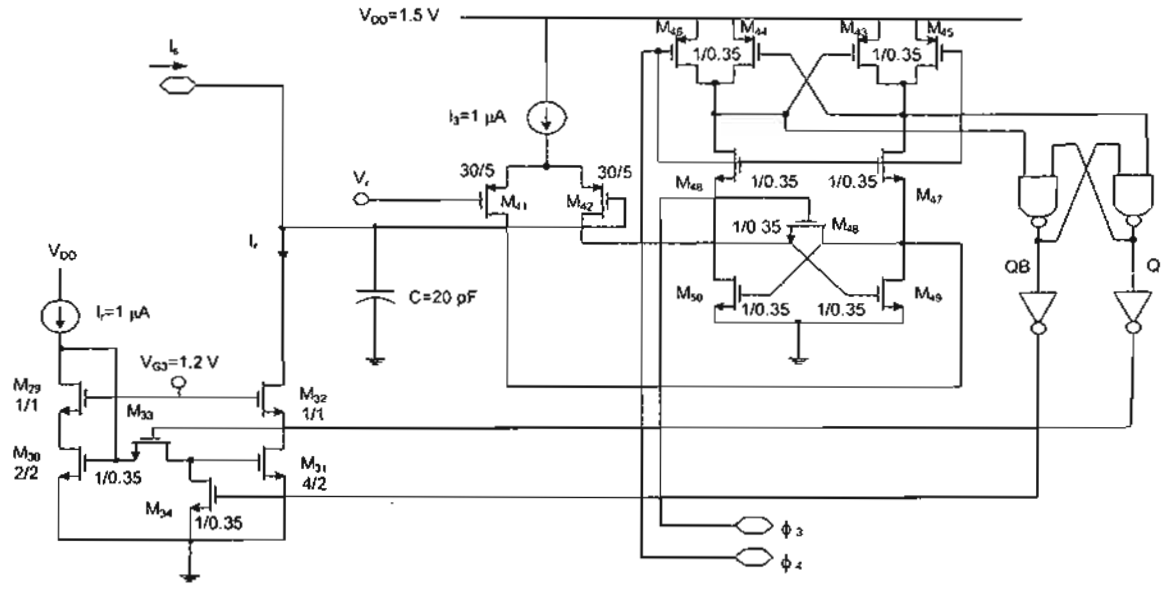


Fig. 9. Circuit diagram of the 1-bit delta-sigma modulator.

[10] consists of a positive feedback differential amplifier and a data latch. Finally, transistors M_{33} and M_{34} switch the current I_r on and off according to the output digital bitstream; thus, performing 1-bit digital-to-analog conversion.

V. Simulation Results

In this work, the proposed interface circuit is targeted for an implantable pressure sensor as in [3], with a sensitivity of 5 μV/V/mmHg. The nominal resistance of piezo-resistance (R_0) is 2.5 kΩ. The maximum change of ±1% from the nominal value is expected from a typical blood pressure range (-500 to +500 mmHg). The circuit was designed to operate with a single 1.5 V power supply, and was simulated using Spectre™ with process parameters from a 0.35 μm CMOS technology. The value of V_{CM} of the input current buffer was set to 1.4 V to minimize the quiescent current flowing through R_0. The value of C was chosen to be 20 pF. Each transistor in the input current buffer was biased to have its drain-source voltage around 0.4 V, except for M_5-M_6 which have 0.1 V.

Main circuit and bias parameters are displayed in Figs. 6 and 7. Bias currents and voltages were provided by on-chip bandgap voltage reference and a regulated cascode current generator with a precision external resistor. In the idle mode, all circuits are powered down, except the bandgap reference, which remains active in order to allow fast recovery return to the active mode.

Figure 10 shows the digital output pulse rate versus the input current and its linear regression. The maximum absolute error,

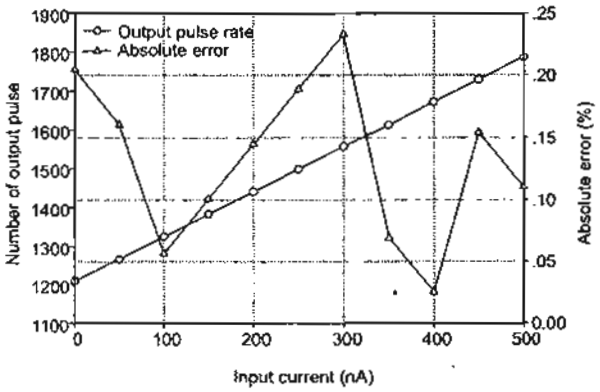
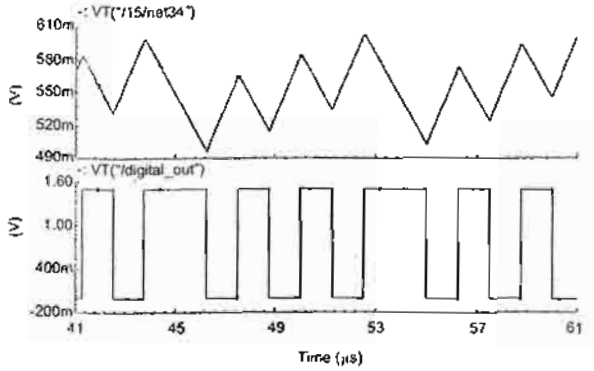


Fig. 10. Number of digital output pulses versus input current.

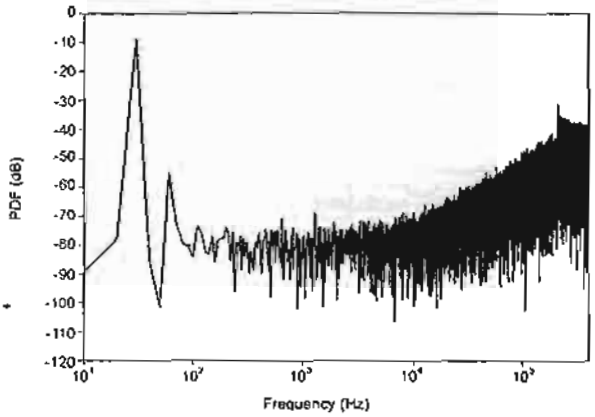
calculated by the best-fit line method, is less than 0.23% for an input current range of 500 nA, which corresponds to 1% resistance variation of R_0.

Figure 11(a) shows the waveforms of the capacitor voltage and the digital output bitstream, when a 30 Hz 500 nA sinusoidal current is applied to the input. The capacitor voltage does not saturate at the maximum input current amplitude, as desired. Figure 11(b) shows the power spectral density of the output digital data, and the noise-shaping characteristic of the delta-sigma converter is clearly displayed. The in-band noise floor is more than 60 dB below the signal, which is equivalent to an effective number of bits of 9.67. The input-referred noise current, integrated over 30 Hz bandwidth, is equal to 288 nA.

Figure 12 shows the layout of the overall interface circuit,



(a) Capacitor voltage and output digital bitstream



(b) Output power spectral density with a 30 Hz sinusoidal input current signal

Fig. 11. Output waveforms and power spectral density.

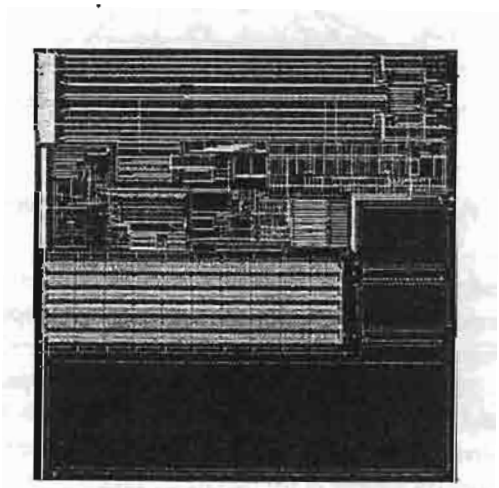


Fig. 12. Layout of the proposed interface circuit.

which occupies 0.2 mm^2 of silicon area. Table 2 summarizes the simulated performance of the proposed circuit. Although the power dissipation of the proposed circuit is not the lowest, it is still on par with those of other sensor interface circuits intended for implantable applications, such as 250 μW in [3].

Table 2. Performance summary of the proposed interface circuit.

Parameters	Value
Supply voltage	1.5 V
Max. linearity error (±1% change in R_P)	0.23%
Effective resolution	9.67 bit
Conversion time	3.3 ms
Power dissipation	270 μW(Active mode)
	13.4 μW (Idle mode)

VI. Conclusion

A low-voltage CMOS interface for a piezo-resistive transducer has been described. The proposed circuit detects change in piezo-resistance by using a current-sensing configuration and employs a simple first-order delta-sigma modulator to convert the resulting input current to an output digital bitstream. Simulation results shows that the circuit can achieve a 60 dB signal-to-noise ratio with less than 0.25% non-linearity error, while operating with a single 1.5 V power supply. The proposed circuit is suitable for a single-chip CMOS smart sensor.

References

[1] X. Li and G.C.M. Meijer, "A Novel Smart Resistive-Capacitive Position Sensor," *IEEE Trans. Instrum. Meas.*, vol. 44, June 1995, pp. 768-770.

[2] C. Lu, M. Lemkin, and B.E. Boser, "A Monolithic Surface Micromachined Accelerometer with Digital Output," *IEEE J. Solid-State Circuits*, vol. 30, Dec. 1995, pp. 1367-1373.

[3] Q. Huang and C. Melnofi, "A 0.5-mW Passive Telemetry IC for Biomedical Applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, July 1998, pp. 937-946.

[4] *Practical Design Techniques for Sensor Signal Conditioning*, Analog Devices, 1999.

[5] S. Vlassis, S. Siskos, and T. Laopoulos, "A Piezo-Resistive Pressure Sensor Interfacing Circuit," *IEEE Instrumentation and Measurement Technology Conference*, vol. 1, 1999, pp. 303-308.

[6] S.J. Azhari and H. Kaabi, "AZKA Cell, the Current-Mode Alternative of Wheatstone Bridge," *IEEE Trans. on Circuits Systems-I*, vol. 47, no. 9, Sep. 2000, pp. 1277-1284.

[7] Y.H. Ghallab and W. Badawy, "A New Topology for a Current-Mode Wheatstone Bridge," *IEEE Trans. on Circuits Systems-II*, vol. 53, no. 1, Jan. 2006, pp. 18-12.

[8] J. Ramirez-Angulo et al., "The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design," *Proc. of the IEEE Int'l Symp. on Circuits and Systems, ISCAS 2002*, vol. 1, pp. 725-728.

[9] S. Pennisi, "High-Performance and Simple CMOS Interface Circuit for Differential Capacitive Sensors," *IEEE Trans. on Circuits Systems-II*, vol. 52, no. 6, June 2005, pp. 327-330.

[10] G.M. Yin, F. Op't Eynde, and W. Sansen, "A High-Speed CMOS Comparator with 8-b Resolution," *IEEE J. Solid-State Circuits*, vol. 27, Feb. 1992, pp. 208-211.

Apinunt Thanachayanont is an Associate Professor at the Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). He received the MEng degree (1st class honour) and the PhD degree in electrical and electronic engineering from Imperial College of Science, Technology and Medicine, U.K., in 1995 and 1999, respectively. Since July 1999, he has been with the Faculty of Engineering at KMITL. Since 2001, he has been the Leader of Microelectronics Devices R&D Laboratory of Research Center of Communications and Information Technology. His research interest is in the area of analogue, mixed-signal and RF integrated circuits and systems. His current research focuses on low-voltage, low-power, high-performance integrated circuits and systems for ubiquitous computing devices, portable wireless communications, RFID, embedded systems, ambient intelligence, and wireless telemetry applications.

Suttisak Sangtong received the BEng degree in telecommunication engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2003. Since 2004, he has been working toward the MEng degree in microelectronics engineering at KMITL. He is a graduate research student of Microelectronics Device R&D Laboratory of Research Center of Communications and Information Technology at KMITL, where he has been involved with the design sensor interface circuits for biomedical applications.

PROD. TYPE: COM
PP: 1-8 (col.fig.: nil)
AEUE50240 MODEL
ED: Ajeesh
PAGN: Padmashini - SCAN: SivaPrakash
ARTICLE IN PRESS
Available online at www.sciencedirect.com
ScienceDirect
ELSEVIER
Int. J. Electron. Commun. (AEÜ) ▮▮▮ (▮▮▮) ▮▮▮–▮▮▮
International Journal AEU of Electronics and Communications
www.elsevier.de/aeue

Low-voltage compact CMOS variable gain amplifier

Apinunt Thanachayanont*

Faculty of Engineering and Research Center of Communications and Information Technology and Research Center of Data Storage Technology and Applications, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Ladkrabang, Bangkok 10520, Thailand

Received 14 March 2007; accepted 1 June 2007

Abstract

A compact low-power low-voltage CMOS variable gain amplifier (VGA) is proposed. The proposed circuit merges a source-degenerated transconductance amplifier with a current-mode transimpedance amplifier, which renders voltage gain control with constant bandwidth. Coarse gain tuning is achieved by using a switched-resistor network, while fine gain tuning is obtained by using a voltage-controlled active resistor. A two-stage VGA was fabricated in a 0.35 μm CMOS technology. Experimental results show that the prototype VGA has a gain range of 40 dB with more than 10 MHz bandwidth, while draining only 600 μA from a 1.5 V supply voltage.
© 2007 Elsevier GmbH. All rights reserved.

Keywords: Variable gain amplifiers; CMOS amplifiers

1. Introduction

The recent emerge of ubiquitous computing, ambient intelligence and wireless sensor network [1] has prompted a considerable interest in the quest for a truly low-cost low-power wireless transceiver. In these applications, low power consumption is the most important constraint, while other requirements can be relaxed. Variable gain amplifier (VGA) is a vital building block for wireless communication systems. The function of a VGA is to control the signal power level and maximize the dynamic range of the overall system. Therefore, it is desirable to realize a low-power low-voltage VGA in CMOS technology.

In wireless communication receiver, VGA is typically employed in a feedback loop to realize an automatic gain control (AGC), to provide constant signal power to a baseband analog-to-digital converter for unpredictable received signal strengths. The voltage gain of the VGA is controlled by the AGC loop, and a linear-in-dB gain control characteristic is usually desired to obtain constant settling time of the AGC loop [2]. In addition, VGA is generally required to maintain high linearity and low noise over the entire bandwidth and gain range. It is also important that the bandwidth of the amplifier remains constant when the voltage gain is varied. Therefore, realizing a wideband VGA with low power dissipation is a real challenge, especially in modern deep submicron CMOS technology where the supply voltage can be as low as 1 V.

This paper describes detailed analysis and experimental implementation of the recently reported low voltage CMOS VGA in [3]. The rest of the paper is organized as follows. Section 2 describes the analysis and circuit realization of the proposed VGA. Simulation and experimental results of the proposed VGA are given in Sections 3 and 4, respectively. Finally, the paper is summarized in Section 5.

* Corresponding author. Tel.: +662 737 3000.
E-mail address: ktapinun@kmitl.ac.th.

1434-8411/$ - see front matter © 2007 Elsevier GmbH. All rights reserved.
doi:10.1016/j.aeue.2007.06.002

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier, Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002

2. Proposed VGA

2.1. VGA architecture

The architecture of the proposed VGA is shown in Fig. 1, which is a cascade of a transconductance amplifier and a transimpedance amplifier. The transimpedance amplifier is realized by using a current amplifier with shunt-feedback resistors (R_f). This particular transimpedance configuration exhibits gain-bandwidth independence characteristic [4], which is conveniently inherited to the proposed VGA.

The voltage gain of the VGA is given by (1), where G_m and R_m are the transconductance gain and transresistance gain, respectively. The transresistance gain is described by (2), where R_{in} and A_i, respectively, are the input resistance and the current gain of the current amplifier. It can be derived from (2) that the transresistance gain is approximately equal to $-R_f$ when $A_i \gg 1$. If R_f is realized by using a linear passive resistor, then a linear G_m and high-gain current amplifier are essential for high linearity of the proposed VGA

$$A_v = G_m R_m. \tag{1}$$

$$R_m = -\frac{(R_f A_i - R_{in})}{(1 + A_i)}. \tag{2}$$

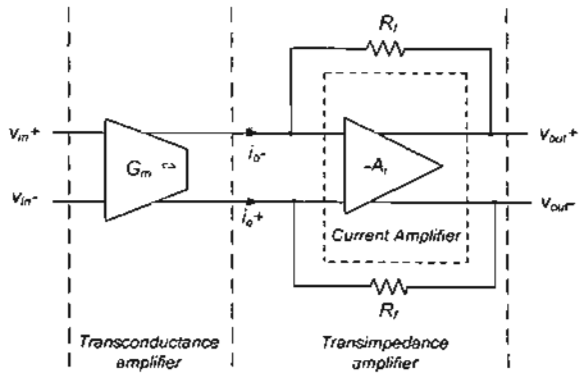


Fig. 1. Architecture of the proposed VGA cell.

2.2. Circuit design

2.2.1. Input transconductance amplifier

The differential input transconductance amplifier is realized by the resistive source degeneration configuration as shown in Fig. 2. Transistors $M_{1a,b}$, $M_{2a,b}$ and the DC current source I_B essentially form a voltage follower circuit which provides a very small impedance at the source terminals of $M_{1a,b}$. This circuit has been coined by the authors in [5] as the 'flipped voltage follower'. The differential input voltage is closely reproduced across the source degeneration resistor R_s, producing the corresponding differential output current into $M_{2a,b}$. The DC differential transconductance gain of the circuit is given by (3), which can be further approximated to R_s if $R_s \gg g_{o1}/g_{m1}g_{m2}$. This condition should be exercised to achieve high linearity of the circuit.

A practical limitation of the flipped voltage follower is that, to keep both transistors in saturation region, its input voltage swing is limited to about $V_T - V_{DSAT}$, where V_T is the threshold voltage and V_{DSAT} is the drain-source saturation voltage of MOSFET. Thus the input signal swing is decreased with V_T, which becomes a serious problem and limits the applications of the flipped voltage follower when realized in deep sub-micron technologies [5].

$$G_{md} \approx 1 \Big/ \left(\frac{g_{o1}}{g_{m1}g_{m2}} + R_s\right). \tag{3}$$

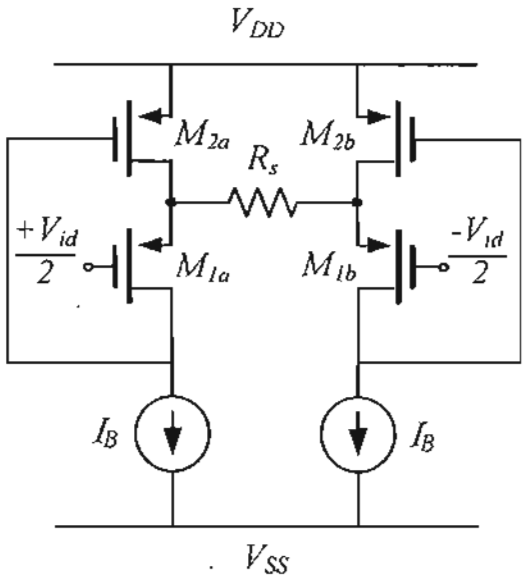


Fig. 2. Source-degenerated transconductance amplifier.

2.2.2. Transimpedance amplifier

The transimpedance amplifier is implemented as shown in Fig. 3 [6], where the current amplifier is realized by using a scaled cascode current mirror with a mirror ratio of α. The input current is applied to the source terminal of M_{1b}, which is a low impedance node provided by the flipped voltage follower circuit. The input current flows into M_{2b} and is copied to M_{3b} and the output, with a current gain of α. With the feedback resistor R_f, the DC transimpedance gain is approximately given by (4), assuming that $R_f \gg 1/g_{m3}$.

$$R_m = \frac{v_{out}}{i_{in}} = \frac{\frac{1}{g_{m3}} - R_f}{1 + 1/\alpha} \approx -\frac{R_f}{1 + 1/\alpha}. \tag{4}$$

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier. Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002

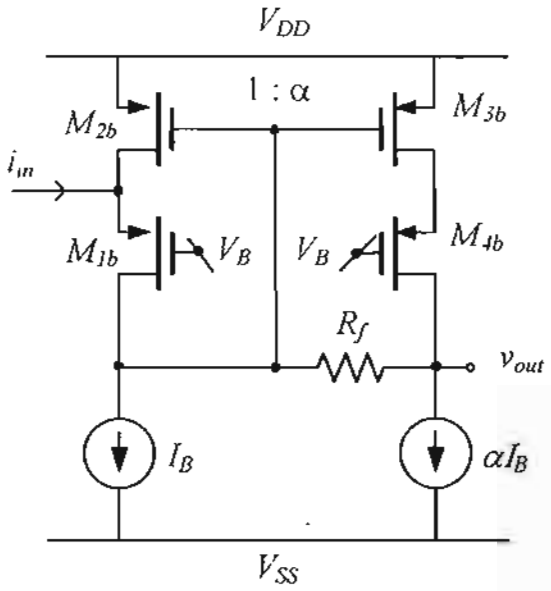


Fig. 3. Transimpedance amplifier.

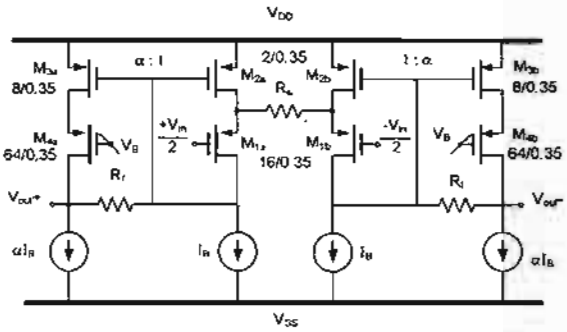


Fig. 4. The proposed VGA cell.

2.2.3. Proposed VGA cell

The transconductance and the transimpedance amplifiers in Figs. 2 and 3 are merged to realize a compact VGA cell as depicted in Fig. 4. The transistors M_{1a} (M_{1b}) and M_{2a} (M_{2b}) perform two functions simultaneously, both as part of the transconductance amplifier and as an input part of the current amplifier. This saves power dissipation and chip area. PMOS input transistors, in separate n-wells, are used to avoid distortion caused by the body effect. Cascode current mirrors are used to implement the DC current sources. The operation of the VGA cell can be explained as follows. Transistors M_{1a} (M_{1b}) and M_{2a} (M_{2b}) form the flipped voltage follower circuit, which allows the input voltage signal to appear across R_S. This generates an input current signal which is forced to flow into M_{2a} and M_{2b} because M_{1a} and M_{1b} are biased with fixed DC current sources. The current signal is then copied with a current gain of α, via M_{3a} and M_{3b}, to the output node, at which it is multiplied by the feedback resistor R_f to produce the output voltage signal. Note that R_f has a negligible effect on the input voltage-to-current conversion because the gates of both M_{2a} and M_{2b} see large impedance due to the Miller effect of R_f.

Applying the half-circuit principle for small-signal analysis, the differential voltage gain of the VGA cell in Fig. 4 can be approximately described by (5–11), assuming that $g_m \gg g_o$, $c_{gs} \gg c_{gd}$, $c_{gs2} + c_{gs3} = c_{gs2}(1+\alpha)$ and $g_{m3} = g_{m2}$. The DC voltage gain is given by (6), where r_{oC} is roughly equal to the output resistance of the cascode current mirror as described by (7). If $R_f \gg 1/g_{m3}$, $R_s \ll r_{o2}$ and $\alpha \gg 1$, the DC voltage gain is reduced to R_f/R_s.

The transfer function in (5) consists of one right-half plane (RHP) zero and three left half plane (LHP) poles, as given by (8–11). The RHP zero is associated with the feedforward path from the input to R_s via c_{gs1}. It is well-known that the RHP zero should be located at a very high frequency to minimize the degradation of phase response and stability of amplifier. This can be achieved by having $R_s \ll r_{o1}, r_{o2}$, which will place the RHP zero at a frequency higher than the transition frequency of M_1 ($f_T \approx 1 g_{m1}/c_{gs1}$).

The pole ω_{p1} is related to the node at the source of M_1. Assuming that $\alpha \gg 1$, ω_{p1} is around the f_T of M_1 as given by (9). The pole ω_{p2} is associated with the node at the gate of M_2 and M_3 and it is equal to the f_T of M_3 divided by the current gain, as given by (10). The pole ω_{p3} is associated with the output node and the load capacitor C_L. Assuming that $g_{m2} R_f \gg 1$ and $r_{oC} \gg R_f$, the output pole is equal to the inverse of $R_f C_L$ times the current gain.

It can be deduced that ω_{p3} will be the dominant pole that determines the bandwidth of the circuit. Thus, for a given C_L, R_f should be minimized and α should be large to obtain wide bandwidth. However, these reduce the voltage gain and increase non-linearity and power dissipation. Hence, there are trade-offs for bandwidth against gain, linearity and power dissipation. Therefore, to design the VGA, R_f and C_L should be selected first according to the bandwidth requirement and R_s is used to adjust the voltage gain while keeping the bandwidth constant.

$$A_v \approx A_{v0} \frac{1 - s/\omega_z}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})(1 + s/\omega_{p3})}, \tag{5}$$

$$A_{v0} = \frac{\left(-\frac{1}{g_{m3}} + R_f\right)\left(\frac{\alpha}{1+\alpha}\right)}{(R_s // r_{o2})\left(1 + \frac{R_f}{(1+\alpha) r_{oC}}\right)}$$

$$\approx \frac{R_f}{R_s}\left(\frac{\alpha}{1+\alpha}\right), \tag{6}$$

$$r_{oC} = g_{m4} r_{o4} r_{o3}, \tag{7}$$

$$\omega_z \approx +\frac{g_{m1}}{c_{gs1}}\left(\frac{r_{o1}}{r_{o2} // R_s}\right), \tag{8}$$

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier, Int J Electron Commun (AEÜ) (2007), doi: 10.1016/j.aeue.2007.06.002

$$\omega_{p1} \approx -\frac{g_{m1}r_{o1}g_{m3}r_{oC}}{c_{gs1}(r_{o1}g_{m3}r_{oC}+R_f)}\left(1+\frac{1}{\alpha}+\frac{R_f}{\alpha r_{oC}}\right)$$

$$\approx -\frac{g_{m1}}{c_{gs1}}\left(1+\frac{1}{\alpha}\right), \quad (9)$$

$$\omega_{p2} \approx -\frac{g_{m3}}{c_{gs2}+c_{gs3}}\frac{r_{oC}}{(r_{oC}+R_f)}\left(1+\frac{1}{\alpha}+\frac{R_f}{\alpha r_{oC}}\right)$$

$$\approx -\frac{g_{m3}}{c_{gs3}(1+\alpha)}\left(1+\frac{1}{\alpha}\right) = -\frac{1}{\alpha}\frac{g_{m3}}{c_{gs3}}, \quad (10)$$

$$\omega_{p3} \approx -\frac{g_{m3}}{C_L}\frac{1}{(1+g_{m2}R_f)}\left(1+\frac{1}{\alpha}+\frac{R_f}{\alpha r_{oC}}\right)$$

$$\approx -\frac{\alpha}{R_f C_L}\left(1+\frac{1}{\alpha}\right) = -\frac{1+\alpha}{R_f C_L}. \quad (11)$$

2.2.4. Noise analysis of the proposed VGA cell

Considering thermal noise sources only, the input-referred mean-square noise of the VGA cell in Fig. 4 can be calculated as given by (12). Assuming that $g_{m2}R_F \gg 1$ and $g_{m3} = g_{m2}$, the input-referred noise is further estimated by (13), where $\overline{i_{ni}^2} = 4kTg_{mi}\Delta f$, $\overline{v_{n,R_S}^2} = 4kTR_S\Delta f$, and $\overline{v_{n,R_F}^2} = 4kTR_F\Delta f$. For small input-referred noise, it can be deduced from (13) that g_{m1}, α, and A_{v0} should be maximized, while g_{m2}, g_{m3} and R_s should be minimized.

$$\overline{v_{ni}^2} = \frac{1}{g_{m1}^2}(\overline{i_{n1}^2}+\overline{i_{n2}^2}) + \overline{v_{n,R_S}^2} + \overline{v_{n,R_F}^2}\left|\frac{1}{A_{v0}}\right|^2 + \overline{i_{n3}^2}\left|\frac{1+g_{m1}R_S(1+g_{m2}R_F)}{g_{m1}(-1+g_{m3}R_F)}\right|^2 \quad (12)$$

$$\overline{v_{ni}^2} \approx \frac{1}{g_{m1}^2}(\overline{i_{n1}^2}+\overline{i_{n2}^2}) + \overline{i_{n3}^2}\left|\frac{R_S}{\alpha}\right|^2 + \overline{v_{n,R_S}^2} + \overline{v_{n,R_F}^2}\left|\frac{1}{A_{v0}}\right|^2. \quad (13)$$

2.2.5. Realizations of R_s and R_f

Fig. 5(a) and (b) show the implementations of R_s and R_f, respectively. The source degeneration resistor R_s is realized by a tuneable active resistor [7]. Transistors M_{RS1} and M_{RS2} are biased in the triode subthreshold region and their gate-source voltages are controlled by a simple common-mode feedback circuit (i.e. M_{C1}, M_{C2} and I_{CL}), which keeps the gate-source voltages of M_{RS1} and M_{RS2} constant regardless of the voltage across the resistor R_s. As a result, this keeps R_s independent of the common-mode voltage at the resistor terminals, rendering a more linear active resistor R_s.

The value of R_s is inversely proportional to an exponential function of V_{CL}, which is a logarithmic function of I_{CL}. Thus, $1/R_S$ and the voltage gain are linearly proportional to I_{CL}, which is generated by a DC reference voltage and an external resistor, R_{EXT}. Therefore the voltage gain is linearly proportional to R_{EXT}. Note that one can overly design the tuning range of R_s to cope with the effects of statistical variation of parameters in subthreshold MOSFETs.

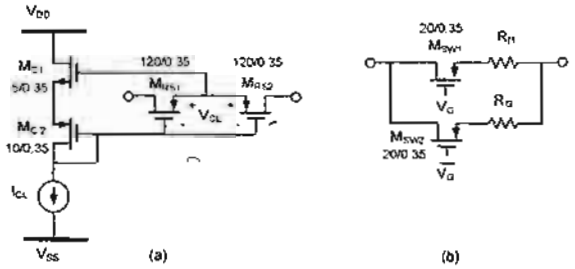


Fig. 5. Circuit implementations of (a) R_s and (b) R_f.

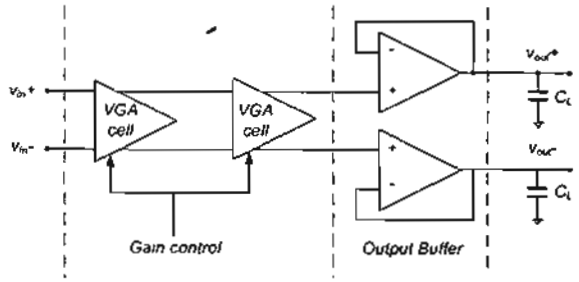


Fig. 6. Architecture of the overall VGA.

The feedback resistor R_f is realized with a highly resistive polysilicon strip because it is fixed for a given bandwidth. Two polysilicon resistors, R_{f1} and R_{f2}, were included in this work to demonstrate their effects on the VGA's bandwidth. Two identical PMOS switches ($W/L = 20\,\mu m/0.35\,\mu m$) in separate n-wells, driven by complementary control signals, are used to select either R_{f1} or R_{f2}, as shown in Fig. 5(b). This may be used to obtain a coarse gain control, but at the cost of bandwidth variation.

2.2.6. Overall VGA

In this work, a two-stage VGA was realized to verify the operation and demonstrate the performance of the proposed VGA circuit. The architecture of the overall VGA is shown in Fig. 6. Each VGA stage is optimized for low-power and low-voltage operation with a target controllable gain range of 0 to +20 dB. To allow direct coupling of the two VGA stages, both input and output common-mode voltages were designed to be at one half of the supply voltage. The output voltage buffer, which is used to drive load capacitors, is realized by using a simple operational amplifier with unity-gain feedback.

3. Simulation results

The proposed VGA was designed and simulated by using Cadence Spectre with process parameters from a 0.35 μm

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier. Int J Electron Commun (AEÜ) (2007), doi: 10.1016/j.aeue.2007.06.002

Table 1. Performance summary of the proposed VGA

Parameters	Simulation	Measurement
Bandwidth ($C_L = 5$ pF)		
With $R_{f1} = 180\,k\Omega$	20 MHz	10.9 MHz
With $R_{f2} = 67.5\,k\Omega$	40 MHz	18 MHz
Output THD (at 1 MHz and $V_{out} = 0.2$ V)		
$A_{v0} = 0$ dB with R_{f2}	−41 dB	−39 dB
$A_{v0} = 20$ dB with R_{f2}	−45 dB	−42 dB
$A_{v0} = 20$ dB with R_{f1}	−57 dB	−55 dB
$A_{v0} = 40$ dB with R_{f1}	−52 dB	−49 dB
Input-referred noise (Bandwidth = 20 MHz)		
$A_{v0} = 0$ dB with R_{f2}	58.7 nV/$\sqrt{\text{Hz}}$	62.9 nV/$\sqrt{\text{Hz}}$
$A_{v0} = 40$ dB with R_{f1}	44.5 nV/$\sqrt{\text{Hz}}$	49.3 nV/$\sqrt{\text{Hz}}$
Total gain range	0–40 dB	
Gain range at constant bandwidth	20 dB	
Total supply current	0.6 mA	
Core VGAs	0.1 mA	
Output buffer	0.5 mA	
Total die area	0.051 mm^2	
A single VGA stage	0.014 mm^2	

CMOS technology, with typical NMOS and PMOS threshold voltages of +0.50 and −0.65 V, respectively. The circuit was designed to operate with a 1.5−V power supply voltage and both VGA stages were identical. Wide-swing cascode current sources were used, and I_B and α equal 5 and 4 μA, respectively. The physical sizes (i.e. W/L in μm/μm) of the main transistors of the VGA cell are shown in Figs. 4 and 5. The load capacitor was 5 pF. Under the nominal biasing condition, the total power dissipation is 0.9 mW. Table 1 summarizes the simulation results of the VGA.

The feedback resistors, R_{f1} and R_{f2}, were selected to be 180 kΩ and 67.5 kΩ, respectively to obtain high voltage gain. Smaller values of R_f and R_s can be used to obtain higher bandwidth, while maintaining the voltage gain. However, R_s must be much larger than the resistance looking into the source of M_1 (r_{s1}) to achieve good linearity (i.e. see Eq. (3)). Reducing r_{s1} implies a higher value of g_{m1}/g_{o1}, which requires higher power consumption. Therefore higher bandwidth can be obtained at the penalty of increased power consumption.

Fig. 7 shows the simulated AC magnitude response of the overall VGA, including two sets of curves with two different values of R_f, 67.5 and 180 kΩ. Each set consists of three curves, which demonstrate fine gain control with constant bandwidth by varying R_s from 1.6 to 17.2 kΩ. The gain is controlled in a linear-in-dB manner by varying the current I_{CL} in Fig. 5. For both values of R_f, the total linear-in-dB gain control range at constant bandwidth is about 20 dB. As seen in Fig. 7, the single-ended gain is varied from −6 to 14 dB for $R_{f2} = 67.5\,k\Omega$, and 14 to 34 dB for $R_{f1} = 180\,k\Omega$. The −3 dB bandwidth is 20 and 40 MHz for R_f equals to 180 and 67.5 kΩ, respectively.

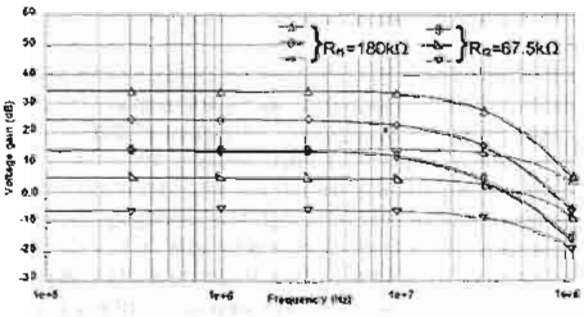


Fig. 7. Simulated AC magnitude response.

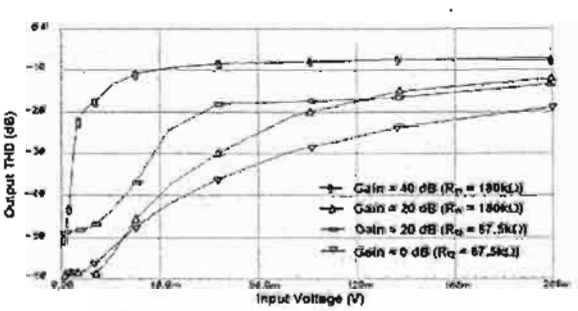


Fig. 8. Simulated output THD vs. input voltage.

Fig. 8 shows the simulated output total harmonic distortion (THD) against the input amplitude when a 1 MHz sinusoidal input voltage is applied. The THD is below −40 dB for a peak differential input voltage of less than 5 mV at

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier, Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002

the maximum gain of 40 dB. At lower gain settings, maximum input voltage for THD less than −40 dB is around 40 mV. It should be noted that, at the same voltage gain of 20 dB, the output THD with R_{f2} (67.5 kΩ) is higher than that with R_{f1} (180 kΩ). This is because, with the same voltage gain, R_s is smaller then using R_{f2}, which does not favor the condition required for good linearity of the input source-degeneration transconductance stage (see Section 2.1). Simulation results also suggested that the THD figures are roughly constant over the frequency bandwidth of the VGA. Note that the maximum input voltage swing is limited to about 400 mV, due to the limitation of the flipped voltage follower.

At the maximum gain setting, the input-referred noise was 44.5 nV/$\sqrt{\text{Hz}}$. At lower gain settings when R_s is increased, the input-referred noise voltage is increased because the input transconductance gain is decreased. Consequently, tuning the voltage gain with R_s affects the noise and linearity of the VGA such that increasing R_s to decrease the gain increases linearity while increasing noise, and the reverse is true. Therefore there is a trade-off between linearity and noise, when changing R_s.

4. Experimental results

The two-stage VGA with on-chip output buffer was fabricated, and Fig. 9 shows the microphotograph of the die. The whole amplifier occupies an active area of 408 × 125 μm^2, of which a single VGA stage occupies 195 × 70 μm^2. The resistors R_{f1} and R_{f2} are 180 and 67.5 kΩ, respectively, and both are realized by using high-resistivity polysilicon strips. The total power consumption is 0.9 mW from a single 1.5 V power supply voltage, of which the core VGA stages consume 150 μW. The rest of the power dissipation is consumed by the output voltage buffers used to drive the maximum load capacitor of 5 pF. A summary of the experimental performance of the overall VGA is listed in Table 1. The measured results compare well with the simulation results as follows:

Fig. 10 shows the measured gain response of the VGA. There are two families of curves. The upper family of curves, which shows high gain settings (+20 to +40 dB), is achieved by selecting R_{f1} (180 kΩ), while the lower family of curves, which shows low gain settings (0 to +20 dB), is obtained by selecting R_{f2} (67.5 kΩ). The bandwidth of the VGA is 10.9 MHz for high gain settings and 18 MHz for low gain settings. The effects of statistical variations of process parameters, especially in subthreshold MOSFETs, the extra parasitic resistances and capacitances of the test setup account for the bandwidth discrepancy between simulation and measurement results.

Fine gain tuning was obtained by varying R_s, which was performed by varying the current I_{CL} in Fig. 5 via an external resistor R_{EXT}. Measurement results showed a 20 dB linear-in-dB gain tuning range with constant bandwidth for both high and low gain settings, when R_{EXT} was varied manually from about 1.5 to 80 kΩ, as depicted in Fig. 11. Slight deviations in the gain control characteristics are caused by inaccuracy of current mirrors and on-chip

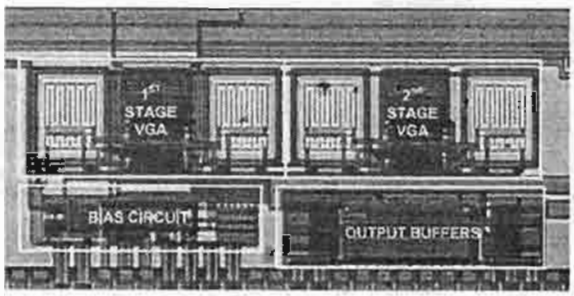


Fig. 9. Microphotograph of the VGA.

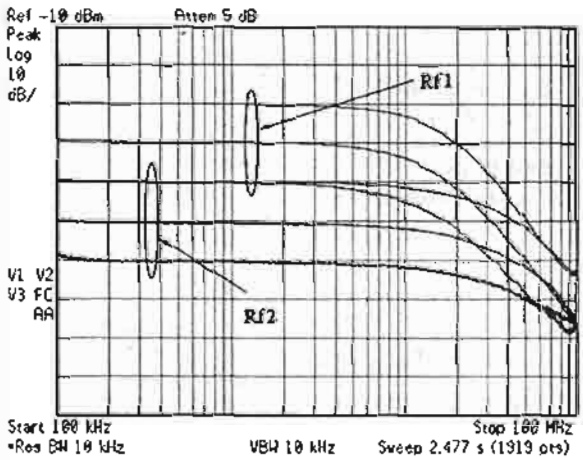


Fig. 10. Frequency responses of the VGA at different gain settings by varying R_s with $R_{f1} = 180\,\text{k}\Omega$ and $R_{f2} = 67.5\,\text{k}\Omega$.

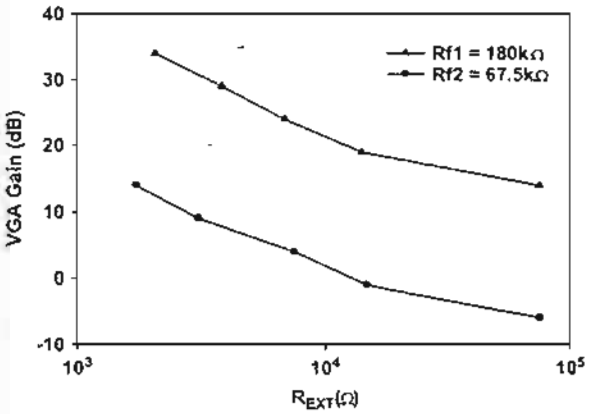


Fig. 11. Gain control characteristics of the VGA.

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier, Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002

resistance values. Thus, it is verified that the voltage gain can be controlled independent of bandwidth by varying R_s, while changing R_f affects the bandwidth of the VGA.

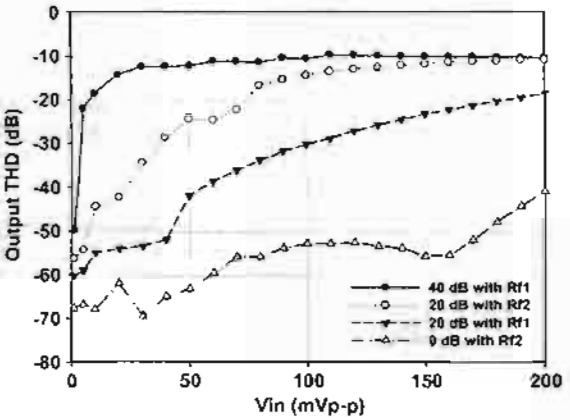


Fig. 12. Output THD vs. input amplitude at different gain settings when applying a 1 MHz sinusoidal input voltage.

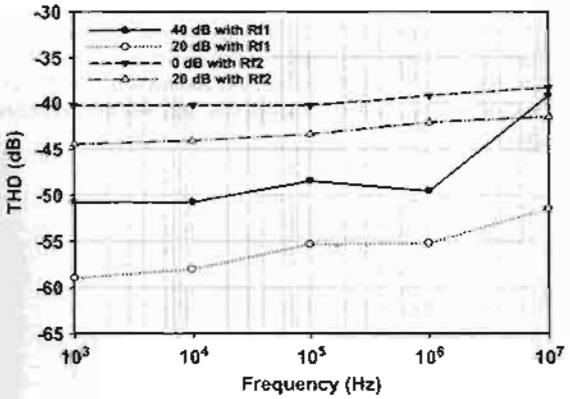


Fig. 13. Measured output THD vs. input frequencies at constant differential output amplitude of 200 mV.

Fig. 12 plots the output THD against the amplitudes of the input voltage at 1 MHz with different values of voltage gain. It can be deduced that the proposed VGA exhibits good linearity (i.e. with output THD < -40 dB) with a maximum output voltage of 200 mV, while operating under low power supply voltage and low power consumption. At the gain of 20 dB, the THD obtained with R_{f2} is higher than that with R_{f1} since the linearity of the input source-degeneration transconductance stage is degraded due to smaller R_s value. Note that the output voltage saturates at high voltage gains and large input amplitudes, rendering large THD.

Fig. 13 plots the output THD against the input frequencies at constant differential output amplitude of 200 mV. It can be seen that the output THD is reasonably constant over the bandwidth of the VGA. Note that the THD figures for 0 dB gain are higher than that of 40 dB gain because larger input amplitude (i.e. 200 mV for 0 dB gain and 2 mV for 40 dB gain) is applied to the input transconductance stage.

Table 1 summarizes the experimental performance of the proposed VGA, while Table 2 gives a performance comparison of the proposed VGA against some of the previously reported VGAs. It can be seen that the proposed VGA performs favorably in terms of low supply voltage, low power dissipation, and small die area, while performing modestly in terms of noise, linearity and bandwidth.

Finally, it should be remarked that simulation results of the 2-stage VGA in a 0.13 μm technology showed a controllable gain range of 60 dB with more than 100 MHz bandwidth, while draining 1.5 mA from a 1 V power supply voltage.

5. Conclusion

A novel compact low power low voltage VGA has been designed and implemented. The proposed VGA combines a source-degeneration transconductance amplifier with a current amplifier in transimpedance configuration to achieve gain control independent of bandwidth. The key advantages of the proposed VGA are compactness, low-power, low-voltage operation, and constant bandwidth.

Table 2. Performance comparison of CMOS VGAs

Parameters	[8]	[9]	[10]	[11]	This work
CMOS Technology (μm)	0.8	0.35	1.2	0.35	0.35
Supply voltage (V)	5	3.3	±1.6	3.3	1.5
Bandwidth (MHz)	15 ($C_L = 7$ pF)	125 ($C_L = 2$ pF)	4.1 ($C_L = 15$ pF)	250 ($C_L = 0$ pF)	18 ($C_L = 5$ pF)
Gain range at constant bandwidth (dB)	−2–12	0–19	−6–24	0–16	0–20
Output THD (dB)	< -60	< -74	< -51	< -60	< -40
Input-referred noise (nV/$\sqrt{\text{Hz}}$)	20	8.63	21	37.3	49.3
Total current consumption (mA)	5	6.4	0.9	0.55	0.6
Total die area (mm^2)	0.175	0.18	0.442	n/a	0.051

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier, Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002

Acknowledgments

Financial support from Thailand Research Fund (Grant RSA 4680027), National Electronics and Computer Technology Center (NECTEC), National Science and Technology Development Agency (NSTDA) and King Mongkut's Institute of Technology Ladkrabang are gratefully acknowledged.

References

[1] Chong CY, Kumar SP. Sensor networks: evolution, opportunities, and challenges. In: Proceedings of IEEE. 2003. p. 1247–53.
[2] Khoury JM. On the design of constant settling time AGC circuits. IEEE Trans Circuits Systs II 1998;45:283–94.
[3] Thanachayanont A, Naktongkul P. Low-voltage wideband compact CMOS variable gain amplifier. Electron Lett 2005;41:51–2.
[4] Wilson B, Drew JD. Transimpedance formulation exhibits gain-bandwidth independence at microwave frequencies. Electron Lett 1997;33:410–1.
[5] Ramirez-angulo L, et al. The flipped voltage follower: a useful cell for low voltage low power circuit. IEEE Trans Circuits Systs I 2005;52:1276–91.
[6] Phang K, Johns DA. A 1-V 1-mW CMOS front-end with on-chip dynamic gate biasing for a 75 Mb/s optical receiver. In: IEEE Int Solid-State Circuits Conference. 2001. p. 218–20.
[7] Gupta AK, Haslett JW, Trofimenkoff FN. A wide dynamic range continuously adjustable CMOS current mirror. IEEE J Solid-State Circuits 1996;31:1208–13.
[8] Rijns JJF. CMOS low-distortion high-frequency variable-gain amplifier. IEEE J Solid-State Circuits 1996;31:1029–34.
[9] Hsu C, Wu J. A highly linear 125-Mhz CMOS switched-resistor programmable gain amplifier. IEEE J Solid-State Circuits 2003;38:1663–70.
[10] Elwan HO, Ismail M. Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications. IEEE Trans Circuits Systs II 2000;47:388–98.
[11] Calvo B, Celma S, Sanz MT. High-frequency digitally programmable gain amplifier. Electron Lett 2003;39:1095–6.

Apinunt Thanachayanont is an associate professor at the Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). He received the M.Eng. degree (1st class honor) and the Ph.D. degree in Electrical and Electronic Engineering from Imperial College of Science, Technology and Medicine, UK in 1995 and 1999, respectively. Since July 1999, he has been with the faculty of engineering at KMITL. Since 2001, he has been the leader of Microelectronics Research Laboratory of Research Center of Communications and Information Technology. His research interest is in the area of analog, mixed-signal, and RF integrated circuits and systems. His current research focuses on low-voltage, low-power, high-performance integrated circuits and systems for ubiquitous computing devices, portable wireless communications, RFID, embedded systems, ambient intelligence, and wireless telemetry applications.

Please cite this article as: Thanachayanont A. Low-voltage compact CMOS variable gain amplifier. Int J Electron Commun (AEU) (2007), doi: 10.1016/j.aeue.2007.06.002