รายงานวิจัยฉบับสมบูรณ์

โครงการ
วงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมาก สำหรับการประยุกต์ใช้งาน ด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว

Ultra Low-Power CMOS Analog and Mixed-Signal Integrated Circuits for Biomedical Applications and Pervasive Healthcare

โดย

รศ. ดร. อภินันท์ ธนชยานนท์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

กันยายน 2554

สัญญาเลขที่ RSA5180015

รายงานวิจัยฉบับสมบูรณ์

โครงการ

วงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมาก สำหรับการประยุกต์ใช้งาน ด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว

Ultra Low-Power CMOS Analog and Mixed-Signal Integrated Circuits for Biomedical Applications and Pervasive Healthcare

รศ. ดร. อภินันท์ ธนชยานนท์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สนับสนุนโดยสำนักงานกองทุนสนับสนุนการวิจัย

(ความเห็นในรายงานนี้เป็นของผู้วิจัย สกว.ไม่จำเป็นต้องเห็นด้วยเสมอไป)

บทคัดย่อ

รหัสโครงการ : RSA5180015
ชื่อโครงการ : วงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมากสำหรับการประยุกต์ใช้งาน ด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว
ชื่อนักวิจัย : รศ. ดร. อภินันท์ ธนชยานนท์
สถาบัน : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
E-mail Address : ktapinun@kmitl.ac.th
ระยะเวลาโครงการ : 15 กันยายน 2551 – 14 กันยายน 2554

รายงานนี้นำเสนอผลงานวิจัยด้านการออกแบบวงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมากสำหรับการประยุกต์ใช้งานด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว โดยอธิบายถึงวงจรที่ได้ออกแบบและพัฒนาขึ้นใหม่ในเทคโนโลยีซีมอสสมัยใหม่ที่มีขนาดเล็กกว่า 1 ไมโครเมตร ซึ่งใช้กำลังไฟต่ำและแรงดันไฟเลี้ยงต่ำโดยอาศัยวิธีการและเทคนิควงจรต่างๆ เช่น มอสเฟตในย่านต่ำกว่าขีดเริ่ม เทคนิคทรานส์ลิเนียร์โหมดกระแส เทคนิคการขับอินพุตที่ขาบอดี้ ประกอบด้วยวงจรดังต่อไปนี้

วงจรอ่านค่าสัญญาณจากอีสเฟตที่ไวต่อค่า pH ใช้โครงสร้างวงจรขยายสัญญาณผลต่างที่ใช้อีสเฟตและรีเฟตในย่านผันกลับอย่างอ่อน และหลักการทรานส์ลิเนียร์โหมดกระแสเพื่อให้ได้ความเป็นเชิงเส้นที่ดีและสามารถกำจัดสัญญาณรบกวนโหมดร่วมได้ดี มีขนาดเล็กและใช้กำลังไฟฟ้าต่ำมาก (4 nW)

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึมโหมดกระแสที่ใช้โครงสร้างแบบไพพ์ไลน์และแบบอัลกอริทึม มีความละเอียด 8 บิต ใช้เทคนิคการทำงานในย่านผันกลับอย่างอ่อนของมอสเฟต และหลักการทรานส์ลิเนียร์ วงจรสามารถทำงานภายใต้แรงดันไฟเลี้ยง 1-1.8 V และใช้กำลังงาน 0.2-4 μW

วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุใช้คุณลักษณะความไม่เป็นเชิงเส้นของมอสเฟตในย่านอิ่มตัวและโหลดแอกทีฟเพื่อเพิ่มอัตราขยายแปลงทำให้ไม่ต้องการแบนด์วิดท์สูงและไม่ต้องใช้วงจรเรียงกระแสและวงจรกรอง วงจรสามารถตรวจวัดกำลังงานอินพุตได้ตั้งแต่ -70 dBm ถึง -20 dBm ในย่านความถี่ 500 MHz ถึง 5 GHz และใช้กำลังงาน 0.9 mW

วงจรขยายทรานส์คอนดักแตนซ์เชิงเส้นที่ใช้เทคนิคการขับสัญญาณอินพุตที่ขาบอดี้ของมอสเฟต ร่วมกับการใช้ตัวต้านทานถดถอยที่ขาซอร์สร่วมและโครงสร้างวงจรตามสัญญาณแบบกลับแรงดัน วงจรใช้กำลังงาน 0.8 μW จากแรงดันไฟเลี้ยง 0.8 V และมีความเป็นเชิงเส้นที่ดี

วงจรที่นำเสนอใหม่ทั้งหมดสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำและใช้กำลังงานต่ำ ทำให้มีศักยภาพเหมาะสมสำหรับการประยุกต์ใช้งานในส่วนประมวลสัญญาณของระบบวงจรรวมสำหรับทางชีวการแพทย์หรือระบบโครงข่ายเซนเซอร์ไร้สายรอบร่างกาย

Abstract

Project Code : RSA5180015
Project Title : Ultra Low-Power CMOS Analog and Mixed-Signal Integrated Circuits for Biomedical Applications and Pervasive Healthcare
Investigator : Associate Professor Dr. Apinunt Thanachayanont
Institution : King Mongkut's Institute of Technology Ladkrabang
E-mail Address : ktapinun@kmitl.ac.th
Project Period : 15 September 2008 - 14 September 2011

This report is concerned with the design and implementation ultra low power CMOS analog and mixed-signal integrated circuits for biomedical application and pervasive healthcare. Novel low-voltage low-power circuits have been proposed and realized in modern sub-micron CMOS technologies, using innovative circuit techniques including subthreshold MOSFETs, current-mode translinear circuits, and body-driven technique. The newly proposed circuits include the followings.

Ultra low-power read-out circuit for pH Ion-sensitive FET (ISFET) which exploits the ISFET-REFET differential amplifier and the Translinear principle to achieve good linearity and common-mode rejection ability. The circuit is compact and consumes nanoWatts of power.

Current-mode logarithmic analog-to-digital converters using the pipeline and algorithmic structures have been realized with 6-8 bits of resolution. The circuits exploits subthreshold MOSFETs and the Translinear principle and operates with 0.2-4 μW under 1-1.8 V power supply voltage.

Low-power RF power detector exploits the non-linearity of MOSFET and active load to increase the conversion gain, which allows low operating bandwidth and alleviates the need for rectifier and filter circuits. The circuit can detect input power in the range of -70 to -20 dBm and input frequencies from 0.5 to 5 GHz, with 0.9-mW power dissipation.

Linear operational transconductance amplifier which uses the body-driven technique with resistive source degeneration and flipped-voltage follower topology to achieve good linearity with 0.8-μW power dissipation under a 0.8-V power supply voltage.

All circuits proposed in this report can operate under low power supply voltage and low power dissipation. They exhibit strong potential for applications in the areas of biomedical electronic signal processing systems and wireless body area and sensor network.

สารบัญ

1 บทนำ (Introduction) 1

2 วงจรอ่านค่าสัญญาณโหมดกระแสจากตัวเซ็นเซอร์อีสเฟตที่ใช้กำลังไฟต่ำยิ่ง (Ultra low-power current-mode readout circuit) 5

2.1 บทนำ 5
2.2 หลักการทำงานของอีสเฟต 6
2.3 อีสเฟตในย่านการทำงานผันกลับอย่างอ่อน 7
2.4 วงจรอ่านค่าสัญญาณจากอีสเฟตที่นำเสนอ 11
2.5 สรุป 15

3 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลโหมดกระแสแบบล็อกการิทึมที่ใช้กำลังไฟต่ำ (Ultra low-power current-mode logarithmic analog-to-digital converter) 16

3.1 บทนำ 16
3.2 การแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึม 17
3.3 วงจร LogADC โหมดกระแสแบบไพพ์ไลน์ (Current-mode Logarithmic Pipeline ADC) 17
3.3.1 โครงสร้างวงจร 17
3.3.2 การออกแบบวงจร LogADC โหมดกระแสแบบไพพ์ไลน์ 20
3.3.3 ผลจำลองการทำงาน 23
3.3.4 การจำลองการทำงานของวงจร LogADC ที่เชื่อมต่อกับวงจรอ่านค่าสัญญาณจากอีสเฟต 25
3.4 วงจร LogADC โหมดกระแสแบบอัลกอริทึม (Current-mode Algorithmic Logarithmic ADC) 30
3.4.1 โครงสร้างวงจร 30

3.4.2 การออกแบบวงจร LogADC โหมดกระแสแบบอัลกอริทึม 32
3.4.2.1 วงจรสุ่มและคงค่าสัญญาณ (Sample-and-hold) . . 33
3.4.2.2 วงจรเปรียบเทียบสัญญาณโหมดกระแส 35
3.4.2.3 วงจรคูณสัญญาณและวงจรสะท้อนกระแส 37
3.4.2.4 วงจรยกกำลังสองสัญญาณกระแส 37
3.4.3 ผลจำลองการทำงาน 37
3.5 สรุป 38

4 วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ (RF power detector) 42
4.1 บทนำ 42
4.2 โครงสร้างวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ 44
4.3 การออกแบบวงจร 45
4.3.1 วงจรตรวจวัดกำลังงาน rms 45
4.3.2 วงจรขยายสัญญาณแบบล็อกการิทึม (Logarithmic amplifier) 46
4.4 สรุป 48

5 วงจรขยายทรานส์คอนดักแตนซ์ที่ใช้กำลังไฟต่ำ (Low power Bulk-driven Operational Transconductance Amplifier) 54
5.1 บทนำ 54
5.2 การออกแบบวงจร OTA 55
5.3 ผลจำลองการทำงานวงจร 56
5.4 สรุป 60

6 สรุปผลดำเนินงาน 63

บรรณานุกรม 65

ภาคผนวก 70
ผลงานที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ 70
ผลงานที่ตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ 70

สารบัญรูป

1.1 โครงสร้างทั่วไปของอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ [1] 2

2.1 โครงสร้างกายภาพของอีสเฟตกับมอสเฟต 7
2.2 แบบจำลองเชิงพฤติกรรมของอีสเฟต 7
2.3 สัญลักษณ์ของอีสเฟต 9
2.4 วงจรทดสอบคุณลักษณะทางไฟฟ้าของอีสเฟต 9
2.5 คุณสมบัติกระแสเดรนและแรงดันเดรนซอสของอีสเฟตที่ค่า pH=7 9
2.6 คุณสมบัติกระแสเดรนและแรงดันเกตซอสของอีสเฟตที่ค่า pH=4, 7 และ 10 . . . 10
2.7 คุณสมบัติกระแสเดรนและค่า pH 10
2.8 วงจรอ่านค่าสัญญาณผลต่างจากอีสเฟตที่ได้นำเสนอขึ้นใหม่ 11
2.9 วงจรขยายสัญญาณผลต่าง (Differential Pair) ที่ประกอบด้วยอีสเฟตและรีเฟต . . 12
2.10 คุณลักษณะกระแส I_{out} กับค่า pH ที่ค่าแรงดัน V_{REF} ระหว่าง 50 mV ถึง 250 mV 14
2.11 ผลการจำลองทางเวลาของกระแส I_{out} ต่อการเปลี่ยนแปลงของค่า pH 14
2.12 กระแสเอาท์พุตที่ค่า pH=7 ในกรณีที่วงจรใช้ (With) และไม่ใช้ (Without) แหล่งจ่ายกระแสไบอัส $(2I_O)$ 15

3.1 คุณลักษณะอินพุตและเอาท์พุตของวงจร LogADC ขนาด 5 บิต 18
3.2 โครงสร้างวงจร ADC ไพพ์ไลน์แบบเชิงเส้น 19
3.3 โครงสร้างวงจร LogADC แบบไพพ์ไลน์ 20
3.4 วงจร LogADC ไพพ์ไลน์โหมดกระแส 21
3.5 วงจรในแต่ละภาค (Bit cell) ของ LogADC 22
3.6 วงจรในภาคสุดท้ายของวงจร LogADC ไพพ์ไลน์โหมดกระแส 22
3.7 วงจรสร้างกระแสอ้างอิง 23
3.8 ผลจำลองค่ากระแสอ้างอิงปกติกับการผันแปรของแรงดันไฟเลี้ยง 24

3.9 ผลจำลองการทำงานค่ากระแสอ้างอิงปกติกับการผันแปรอุณหภูมิ 25
3.10 กระแสอินพุตที่ผ่านการสุ่มและคงค่าสัญญาณ 26
3.11 สัญญาณดิจิตอลเอาท์พุต 8 บิตของวงจร LogADC 26
3.12 ผลการจำลองคุณลักษณะสัญญาณดิจิตอลเอาท์พุตกับกระแสอินพุต 27
3.13 ผลจำลองความไม่เป็นเชิงเส้นผลรวม (INL) ของวงจร LogADC 8 บิต 27
3.14 ผลจำลองความไม่เป็นเชิงเส้นผลต่าง (DNL) ของวงจร LogADC 8 บิต 28
3.15 การเชื่อมต่อระหว่างวงจร LogADC กับวงจรอ่านค่าสัญญาณจากอีสเฟต 28
3.16 ผลจำลองการทำงานสัญญาณดิจิตอลเอาท์พุตกับค่า pH 29
3.17 ผลจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL) 29
3.18 ผลจำลองการทำงานความไม่เป็นเชิงเส้นผลต่าง (DNL) 30
3.19 โครงสร้างวงจร ADC เชิงเส้นแบบอัลกอริทึมโหมดกระแส 31
3.20 สัญญาณนาฬิกาสำหรับควบคุมการทำงานของวงจร ADC เชิงเส้นแบบอัลกอริทึม . 31
3.21 โครงสร้างวงจร LogADC แบบอัลกอริทึม 32
3.22 วงจรสุ่มและคงค่ากระแสพื้นฐาน 33
3.23 วงจรสุ่มและคงค่ากระแสคาสโคดแบบแกว่งสัญญาณกว้าง 34
3.24 วงจรสุ่มและคงค่ากระแสโดยใช้วงจรหน่วยความจำสุ่มกระแส 34
3.25 วงจรสุ่มและคงค่าสัญญาณที่ใช้วงจรสวิทช์ความจำกระแสคาสโคดแบบคงค่า 35
3.26 ผลจำลองค่าความผิดพลาดการสุ่มและคงค่ากระแสของวงจร 36
3.27 วงจรเปรียบเทียบกระแสแบบพื้นฐานที่ใช้วงจรซีมอสอินเวอร์เตอร์ 36
3.28 วงจรเปรียบเทียบกระแสที่ใช้โครงสร้างแบบสวิทช์กระแสป้อนกลับ 36
3.29 วงจรคูณสัญญาณกระแสและวงจรสะท้อนกระแสคาสโคดแบบแกว่งสัญญาณกว้าง 37
3.30 วงจรยกกำลังสองสัญญาณกระแส 38
3.31 ผลจำลองความไม่เป็นเชิงเส้น INL และ DNL ของวงจร LogADC แบบอัลกอริทึม ในการทำงานแบบ 6 บิต 39
3.32 ผลจำลองความไม่เป็นเชิงเส้น INL และ DNL ของวงจร LogADC แบบอัลกอริทึม ในการทำงานแบบ 8 บิต 39
3.33 กระแสที่ได้จากการแปลงสัญญาณดิจิตอลเอาท์พุต (I_{in_calc}) ของวงจร LogADC เทียบกับกระแสอินพุต (I_{in}) 40
3.34 สเปคตรัมของ I_{in_calc}ที่ได้จากการแปลงฟูริเยร์ 41

4.1 โครงสร้างของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ 44
4.2 วงจรตรวจวัดกำลังงาน rms 46
4.3 คุณสมบัติอินพุตเอาท์พุตของวงจรตรวจวัดกำลัง rms ที่ความถี่ 5 GHz 46

4.4 วงจรขยายสัญญาณจำกัด 47
4.5 วงจรสร้างกระแสอ้างอิง 47
4.6 แรงดันเอาท์พุตผลต่างของวงจรตรวจวัดกำลัง rms ที่ความถี่อินพุตต่างๆ 48
4.7 แรงดันเอาท์พุตของวงจรตรวจวัดกำลังงานเมื่อป้อนสัญญาณอินพุต 2.5 GHz . . . 49
4.8 คุณลักษณะแรงดันเอาท์พุตกับกำลังงานอินพุต 49
4.9 ผลของแรงดันออฟเซตอินพุต 50
4.10 ผังภูมิของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ 51
4.11 ผลจำลองการทำงานวงจรที่ได้จากผังภูมิวงจร 52
4.12 ไมโครชิพต้นแบบ 53

5.1 วงจร OTA ที่ขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส 56
5.2 วงจร OTA ที่ใช้โครงสร้างวงจรตามแรงดันแบบกลับและมีการขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส 57
5.3 วงจร OTA วงจร OTA ที่ใช้โครงสร้างวงจรตามแรงดันแบบกลับและมีการขับอินพุตที่ขาบอดี้ที่นำเสนอใหม่ 57
5.4 ผลจำลองการทำงานคุณลักษณะของกระแสเอาท์พุตและแรงดันอินพุตผลต่าง . . . 58
5.5 ผลจำลองค่าความผิดพลาดเชิงเส้นของกระแสเอาท์พุต 59
5.6 ผลจำลองค่าทรานส์คอนดักแตนซ์ผลต่างกับแรงดันอินพุตผลต่าง 60
5.7 กระแสเอาท์ผลต่างของวงจร OTA ในรูปที่ 5.3 เมื่อปรับค่า R_S ระหว่าง 100 kΩ ถึง 1 MΩ 61
5.8 ค่าทรานส์คอนดักแตนซ์ผลต่างของวงจร OTA ในรูปที่ 5.3 เมื่อปรับค่า R_S ระหว่าง 100 kΩ ถึง 1 MΩ 61
5.9 ผลจำลองความผิดเพี้ยนของกระแสเอาท์พุตที่แรงดันและความถี่อินพุตต่างๆ 62

สารบัญตาราง

1.1 สรุปคุณลักษณะอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ 3

3.1 ขนาดของมอสเฟตที่ใช้ในวงจรสร้างกระแสอ้างอิง 24

3.2 ขนาดของมอสเฟตที่ใช้ในวงจร LogADC 26

4.1 สรุปผลจำลองการทำงานวงจร 51

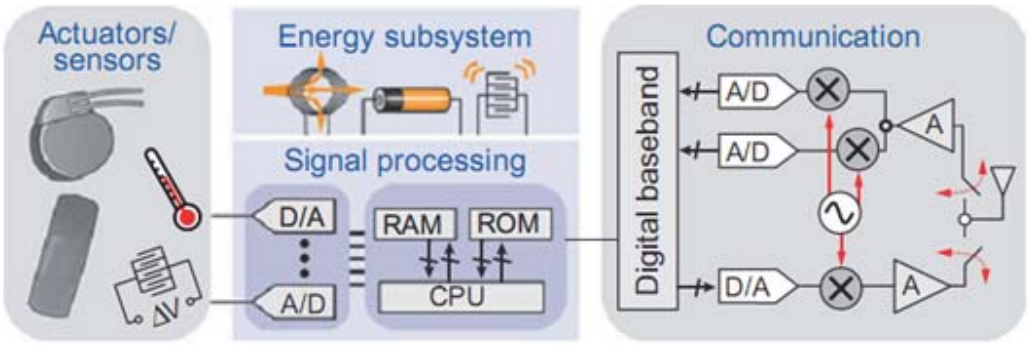
บทที่ 1

บทนำ (Introduction)

ตลอดช่วงทศวรรษที่ผ่านมา เทคโนโลยีสารสนเทศได้การพัฒนาและก้าวหน้าไปอย่างมากนำไปสู่การค้นพบสิ่งใหม่ๆ และการนำไปใช้ด้านวิทยาศาสตร์และการแพทย์เพื่อปรับปรุงวิธีการตรวจและรักษาโรคและการดูแลสุขภาพต่างๆ การรวมกันของเทคโนโลยีสารสนเทศและวิทยาศาสตร์ชีวการแพทย์นั้น ทำให้เกิดสาขาวิชาการและวิจัยใหม่ที่มีความสำคัญยิ่ง เรียกได้ว่า “วิทยาศาสตร์การแพทย์บนฐานข้อมูลสารสนเทศ” หรือ “Information-based medicine” ซึ่งหมายถึงการนำเทคโนโลยีสารสนเทศมาประยุกต์ใช้ทางการแพทย์เพื่อสร้างการดูแลสุขภาพส่วนตัว หรือ “Personalized healthcare” [2]

ความก้าวหน้าของเทคโนโลยีวงจรรวม (Integrated circuit หรือ IC) และเทคนิคใหม่และนวัตกรรมการออกแบบวงจรรวมเป็นปัจจัยสำคัญที่จะทำให้การนำเทคโนโลยีสารสนเทศไปใช้ทางด้านการแพทย์บนฐานข้อมูลสารสนเทศและการดูแลสุขภาพส่วนตัวประสพความสำเร็จได้ วงจรรวมที่มีขนาดเล็กและใช้กำลังไฟต่ำยิ่งยวดนั้นทำให้เราสามารถสร้างและพัฒนาอุปกรณ์และระบบอิเล็กทรอนิกส์ต่างๆ สำหรับการประยุกต์ใช้ทางชีวการแพทย์ ตั้งแต่อุปกรณ์ที่ต้องฝังอยู่ในร่างกาย เช่น เครื่องช่วยการเต้นของหัวใจ (Pacemaker) และหูเทียม (Electronic cochclear) จนถึงโครงข่ายเซ็นเซอร์รอบร่างกาย (Body-area sensor network) เช่น การตรวจวัดคลื่น ECG และ EEG แบบไร้สาย โครงข่ายรอบร่างกาย หรือ Body-area network (BAN) นั้นมีความสำคัญมากเมื่อมีอุปกรณ์อิเล็กทรอนิกส์ต่างๆ สำหรับการประยุกต์ใช้ทางชีวการแพทย์มากขึ้น การใช้โครงข่ายไร้สายจะทำให้เราสามารถรับส่งข้อมูลทางการแพทย์ได้อย่างถูกต้อง รวดเร็ว ที่ใดและเวลาใดก็ได้ (anytime anywhere) หรือที่เรียกว่า “การดูแลสุขภาพรอบตัว” หรือ “pervasive healthcare”[3]

ระบบและวงจรรวมสำหรับชีวการแพทย์เป็นศาสตร์ใหม่ที่มีความสำคัญยิ่งและมีการพัฒนาก้าวหน้าอย่างรวดเร็ว และได้รับความสนใจจากนักวิจัยจำนวนมากทั่วโลก ซึ่งมีประเด็นปัญหาต่างๆที่ท้าทายอย่างมากที่ต้องการการวิจัยทั้งในระดับระบบและวงจร โดยเฉพาะประเด็นที่สำคัญที่สุดน่าจะเป็นด้านเทคนิคการออกแบบวงจรแอนะล็อกและดิจิตอลที่ใช้กำลังไฟต่ำยิ่งยวด เพื่อให้ระบบและวงจรสามารถทำงานได้



รูปที่ 1.1: โครงสร้างทั่วไปของอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ [1]

ด้วยตนเองเป็นระยะเวลานาน โครงการวิจัยนี้มีวัตถุประสงค์เพื่อวิจัยและพัฒนานวัตกรรมและเทคนิคการออกแบบวงจรรวมแอนะล็อกและผสมสัญญาณที่ใช้กำลังไฟต่ำยิ่งยวดสำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ โดยจะนำเทคนิคต่างๆ มาวิจัยและพัฒนาวงจร เช่น การใช้มอสเฟตในย่านต่ำกว่าขีดเริ่ม เทคนิคโหมดกระแส เทคนิคทรานส์ลิเนียร์โหมดกระแส เทคนิคการขับอินพุตที่ขาบอดี้ รวมทั้งการคิดค้นเทคนิคใหม่ๆ

รูปที่ 1.1 แสดงโครงสร้างทั่วไปของอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ [1] ซึ่งประกอบด้วย 4 ส่วนหลักได้แก่ ส่วนสื่อสาร ส่วนประมวลผลสัญญาณ ส่วนสร้างพลังงานและแหล่งจ่ายไฟ และส่วนเซ็นเซอร์ โดยวงจรแอนะล็อกและผสมสัญญาณจะใช้สำหรับการเชื่อมต่อกับตัวเซ็นเซอร์ ประมวลผลสัญญาณ การสื่อสาร และการจัดการพลังงาน ซึ่งมีวงจรที่สำคัญได้แก่ วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล วงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อก วงจรกรองสัญญาณ วงจรขยายสัญญาณ วงจรสังเคราะห์ความถี่ วงจรแปลงและรักษาระดับแรงดัน ตารางที่ 1.1 สรุปคุณลักษณะของตัวอย่างอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์ ซึ่งงานวิจัยและพัฒนาอุปกรณ์และระบบต่างๆเหล่านี้เน้นไปที่วงจรอิเล็กทรอนิกส์ที่ใช้กำลังงานต่ำ สำหรับทำหน้าที่เชื่อมต่อกับตัวเซ็นเซอร์ ประมวลผลสัญญาณ การสื่อสาร และการจัดการพลังงาน

รายงานนี้นำเสนอผลงานวิจัยด้านการออกแบบวงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมากสำหรับการประยุกต์ใช้งาน ด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว โดยอธิบายถึงการออกแบบวงจรที่ใช้กำลังไฟต่ำและแรงดันไฟเลี้ยงต่ำในเทคโนโลยีซีมอสสมัยใหม่ที่มีขนาดเล็กกว่า 1 ไมโครเมตร ด้วยวิธีการและเทคนิคต่างๆ เช่น การใช้มอสเฟตในย่านต่ำกว่าขีดเริ่ม เทคนิคทรานส์ลิเนียร์โหมดกระแส เทคนิคการขับอินพุตที่ขาบอดี้ วงจรที่ได้นำเสนอใหม่ประกอบด้วย วงจรอ่านค่าสัญญาณจากอีสเฟตที่ไวต่อค่า pH วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึมโหมดกระแสที่ใช้โครงสร้างแบบไพพ์ไลน์และแบบอัลกอริทึม วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุที่ใช้กำลังงานต่ำและมีพิสัยพลวัตสูง วงจรขยายทรานส์คอนดักแตนซ์เชิงเส้นที่ใช้แรงดันไฟเลี้ยงและกำลังงานต่ำ โดยใช้

ตารางที่ 1.1: สรุปคุณลักษณะอุปกรณ์อิเล็กทรอนิกส์สำหรับการประยุกต์ใช้งานด้านชีวการแพทย์

Applications	Performance specification				
	Power	ADC/DAC	Processor	Communi-cation	Energy source
Pacemakers [4]	<10μW	1ksps, 8b ADC	1kHz DSP	Inductive link	10-yr lifetime battery
Hearing aids [5]	100-2000μW	16ksps, 12b ADC	32 kHz-1MHz DSP	Telecoil	1-wk lifetime recharge-able battery
Analog cochlear [6], [7]	<200μW	16, 1ksps, 8b ADC	Analog DSP (~16 MIPs)	Inductive link	1-wk lifetime recharge-able battery
Neural recording [8], [9]	1-10mW	1000s of channels, 100 ksps, 8b ADC	n/a	High rate inductive link	Inductive power
Retinal stimulator [10]	250 mW	10 ksps, 4b ADC (per electrode)	No embedded DSP	High rate inductive link	Inductive power
Bladder urine pressure Monitoring [11]	1.25 mW	6b ADC	No embedded DSP	Off-chip 434MHz wireless link	2-wk lifetime battery
Body-area monitoring [12]	140 μW	1 ksps, 12b ADC (per channel)	< 10 MHz DSP	Far-field Wireless link	Battery

เทคนิคการขับสัญญาณอินพุตที่ขาบอดี้ของมอสเฟต

รายงานนี้ได้จัดแบ่งเป็นบทต่างๆดังนี้ บทที่ 2 ได้กล่าวถึงการออกแบบและจำลองการทำงานของวงจรอ่านค่าสัญญาณจากอีสเฟตที่ไวต่อค่า pH ซึ่งมีขนาดเล็ก ง่ายต่อการออกแบบและใช้กำลังไฟฟ้าต่ำมาก วงจรที่นำเสนอใช้โครงสร้างของวงจรขยายสัญญาณผลต่างที่ใช้อีสเฟตและรีเฟตในย่านผันกลับอย่างอ่อน และใช้หลักการทรานส์ลิเนียร์โหมดกระแสเพื่อให้ได้ความเป็นเชิงเส้นที่ดีและสามารถกำจัดสัญญาณรบกวนโหมดร่วมที่ขั้วอิเล็กโตรดอ้างอิง อีกทั้งยังสามารถชดเชยผลของตัวถัง (Body effects) ของเฟตได้อีกด้วย วงจรที่นำเสนอมีศักยภาพเหมาะสมสำหรับใช้ในส่วนประมวลสัญญาณของระบบตรวจวัดชีวเคมีแบบฝังตัว (Implantable) และเวลาจริง (Real-time)

บทที่ 3 อธิบายการออกแบบและผลจำลองการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึมโหมดกระแสที่ใช้โครงสร้างแบบไพพ์ไลน์และแบบอัลกอริทึม เพื่อใช้แปลงค่าสัญญาณกระแสจากวงจรอ่านค่าสัญญาณอีสเฟตให้เป็นสัญญาณดิจิตอลที่มีความละเอียด 8 บิต โดยใช้เทคนิคการทำงานในย่านผันกลับอย่างอ่อนของมอสเฟต หลักการทรานส์ลิเนียร์ ผลการจำลองการทำงานวงจรด้วยเทคโนโลยีซีมอสขนาด 0.18 μm แสดงให้เห็นว่าวงจรสามารถทำงานได้ดีที่แรงดันไฟเลี้ยงต่ำและใช้กำลังไฟต่ำเหมาะสมสำหรับการประยุกต์ใช้งานด้านชีวการแพทย์

บทที่ 4 อธิบายการออกแบบวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุที่ใช้กำลังงานต่ำและมีพิสัยพลวัตสูง วงจรที่นำเสนอประกอบด้วยวงจรตรวจวัดกำลังงานค่ารากกำลังสองเฉลี่ย (Root mean square หรือ rms) และวงจรขยายล็อกการิทึม วงจรตรวจวัดกำลังงาน rms อาศัยคุณลักษณะความไม่เป็นเชิงเส้นของมอสเฟตในย่านอิ่มตัวและโหลดแอกทีฟเพื่อเพิ่มอัตราขยายแปลงที่กำลังงานต่ำสุด ทำให้ไม่ต้องใช้แบนด์วิดท์สูงและไม่ต้องใช้วงจรเรียงกระแสและวงจรกรอง ผลจำลองการทำงานที่ได้จากผังภูมิวงจรในเทคโนโลยีซีมอสขนาด 0.18 ไมโครเมตร แสดงให้เห็นว่าวงจรสามารถตรวจวัดกำลังงานอินพุตได้ตั้งแต่ -70 dBm ถึง -20 dBm ในย่านความถี่ 500 MHz ถึง 5 GHz และใช้กำลังงาน 0.9 mW ดังนั้นวงจรจึงเหมาะสมในการใช้งานสำหรับระบบโครงข่ายเซนเซอร์ไร้สาย

บทที่ 5 ได้กล่าวถึงการออกแบบวงจรขยายทรานส์คอนดักแตนซ์เชิงเส้นที่ใช้แรงดันไฟเลี้ยงและกำลังต่ำโดยใช้เทคนิคการขับสัญญาณอินพุตที่ขาบอดี้ของมอสเฟต วงจรใช้โครงสร้างวงจรขยายสัญญาณผลต่างอินพุตโดยขับสัญญาณอินพุตที่ขาบอดี้ร่วมกับการใช้ตัวต้านทานถดถอยที่ขาซอร์สร่วม (Resistive source degeneration) และโครงสร้างวงจรตามสัญญาณแบบกลับแรงดัน (Flipped-voltage follower) เพื่อให้ได้ความเป็นเชิงเส้นที่สูงภายใต้การทำงานที่แรงดันไฟเลี้ยงต่ำ วงจรที่นำเสนอใช้กำลังไฟ 0.8 μW จากแรงดันไฟเลี้ยง 0.8 V และผลจำลองการทำงานของวงจรแสดงว่าวงจรมีความเป็นเชิงเส้นที่ดีโดยมีความผิดเพี้ยนฮาร์โมนิครวม (Total harmonic distortion) น้อยกว่า 1 % ในช่วงแรงดันอินพุต 470 mV วงจรขยายทรานส์คอนดักแตนซ์เชิงเส้น ที่นำเสนอจึงมีศักยภาพเหมาะสมกับการประยุกต์ใช้งานสำหรับวงจรกรองความถี่และวงจรขยายในระบบวงจรรวมสำหรับทางชีวการแพทย์และโครงข่ายประสาท และบทที่ 6 สรุปผลการดำเนินงานของโครงการ

บทที่ 2

วงจรอ่านค่าสัญญาณโหมดกระแสจากตัวเซ็นเซอร์อีสเฟตที่ใช้กำลังไฟต่ำยิ่ง (Ultra low-power current-mode readout circuit)

2.1 บทนำ

จากความสำเร็จในการสร้างอีสเฟต หรือ Ion-sensitive field-effect transistor (ISFET) ด้วยเทคโนโลยีซีมอส [13] ทำให้เกิดความสนใจและพยายามอย่างมากในการวิจัยและพัฒนาเพื่อสร้างวงจรรวมที่ประกอบด้วยเซ็นเซอร์เคมีและชีวเคมีที่ใช้อีสเฟตและวงจรประมวลผลสัญญาณให้รวมอยู่ในชิพเดียวกัน [14] และเมื่อไม่นานมานี้ได้มีการใช้อีสเฟตที่สร้างด้วยเทคโนโลยีซีมอสให้ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม ร่วมกันการใช้หลักการทรานส์ลิเนียร์ (Translinear principle) เพื่อสร้างวงจรอ่านค่าสัญญาณโหมดกระแสที่ใช้กำลังไฟต่ำ [15] ซึ่งเป็นตัวอย่างหนึ่งของไมโครชิพเดี่ยวที่มีเซ็นเซอร์ฉลาดและมีกำลังไฟต่ำ มีศักยภาพสูงเหมาะสมกับการใช้ตรวจวัดทางชีวเคมีแบบเวลาจริง (real-time) สำหรับการใช้งานในระบบชีวการแพทย์แบบฝังตัว (Implantable) บทนี้นำเสนองานวิจัยการออกแบบวงจรอ่านค่าสัญญาณผลต่างที่ใช้กำลังไฟต่ำยิ่งสำหรับอีสเฟตที่ไวต่อค่าพีเอช (pH)

2.2 หลักการทำงานของอีสเฟต

อีสเฟตหรือเฟตที่ไวต่อไอออนมีพื้นฐานโครงสร้างจากมอสเฟตดังแสดงในรูปที่ 2.1 โดยอีสเฟตมีขาเกตเป็นอิเล็กโตรดอ้างอิง (Reference Electrode) ที่สัมผัสกับสารละลาย (Solution) ผลของสนามไฟฟ้าจากปฏิกริยาประจุไอออนที่พื้นผิวฉนวน (Insulator Surface) ของอีสเฟตทำให้เกิดการเปลี่ยนแปลงของคุณสมบัติกระแสเดรน i_D และแรงดันเกตซอส v_{GS} ของอีสเฟต โดยการเลือกใช้วัสดุเป็นชั้นฉนวนของอีสเฟตที่เชื่อมต่อกับอิเล็กโทรไลต์ (Electrolyte) ขึ้นอยู่กับคุณสมบัติทางเคมีและความไวต่อไอออนที่ต้องการวัด

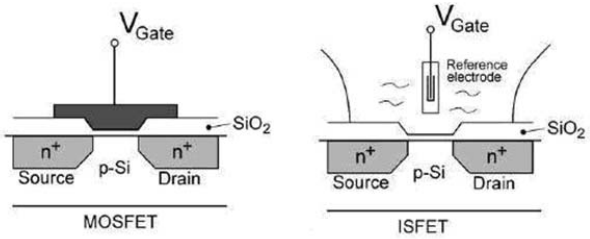
แรงดันป้อนเข้าที่ขั้วไฟฟ้าอ้างอิงจะเชื่อมโยงแบบคาปาซิทีฟผ่านอิเล็กโทรไลต์ไปที่ผิวของชั้นฉนวน โดยที่ประจุจากไอออนที่พื้นผิวฉนวนจะมีการผันแปรตามค่า pH และทำให้กระแสเดรนและแรงดันขีดเริ่ม (Threshold voltage, V_{TH}) ของอีสเฟตเปลี่ยนแปลงไป ซึ่งสามารถเขียนความสัมพันธ์ได้ดังสมการที่ 2.1 [16] โดยที่ ϕ_f คือศักย์ไฟฟ้าเฟอมิ (Fermi potential) ของสารกึ่งตัวนำ Q_{ss} คือความหนาแน่นประจุพื้นผิวคงที่ต่อพื้นที่รอยต่อฉนวนและสารกึ่งตัวนำ Q_{sc} คือความหนาแน่นประจุบริเวณผิวของชั้นปลอดพาหะของสารกึ่งตัวนำต่อพื้นที่ E_{ref} คือศักย์ไฟฟ้าของขั้วอิเล็กโตรดอ้างอิงเทียบกับอิเล็กโตรดของไฮโดรเจน ϕ_{lj} คือความต่างศักย์ไฟฟ้าของรอยต่อเหลวระหว่างสารละลายอ้างอิงและอิเล็กโตรไลต์ χ_{eo} คือศักย์ไฟฟ้าไดโพลที่ผิวอิเล็กโตรไลต์และฉนวน ϕ_s คือฟังก์ชั่นงาน (work function) ของสารกึ่งตัวนำ V_{chem} คือผลรวมของศักย์ไฟฟ้าเคมีที่ผิวของชั้นฉนวน φ_{eo} คือศักย์ไฟฟ้าของรอยต่อระหว่างอิเล็กโตรไลต์และฉนวนที่มีค่าผันแปรขึ้นอยู่กับค่า pH ของสารละลาย ดังแสดงในสมการที่ 2.3 และเป็นตัวแปรที่กำหนดความไวของอีสเฟต $U_T = {}^{kT}/_{q}$ คือแรงดันอุณหภูมิ (Thermal voltage) pH_{pze} คือค่า pH ที่ทำให้ไม่มีประจุที่ผิวฉนวน $\alpha = {}^{S}/_{S_{Nernst}}$ คือตัวแปรที่แสดงค่าความไวของอีสเฟต (S) ต่อความไวเนอสเตียนอุดมคติ (Ideal Nernstian sensitivity, S_{Nernst}) (ไม่มีหน่วย)

$$V_{th(ISFET)} = (E_{ref} + \phi_{lj}) - (\varphi_{eo} - \chi_{eo}) - \frac{Q_{ss} + Q_{sc}}{C_{ox}} - 2\phi_f + \frac{\phi_s}{q} = V_{th(MOS)} + V_{chem} \tag{2.1}$$

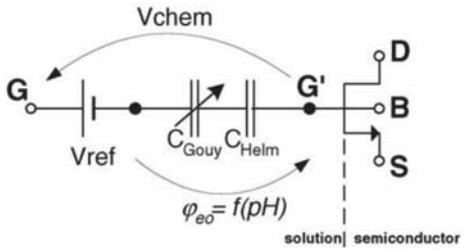
$$V_{chem} = (E_{ref} + \phi_{lj}) - (\varphi_{eo} - \chi_{eo}) - \frac{\phi_m}{q} \tag{2.2}$$

$$\varphi_{eo} = 2.3U_T\alpha\,(pH_{pze} - pH) \tag{2.3}$$

ความสัมพันธ์ของ V_{chem} กับค่า pH สามารถถูกจำลองได้โดยใช้ทฤษฎีไซท์-ไบดิ้ง (Site-Binding Theory) และแบบจำลองสองชั้นของโกย-แชพแมน-สเทอน (Gouy-Chapman-Stern Double-Layer Model) [16] ซึ่งสามารถแสดงด้วยแบบจำลองพฤติกรรมในรูปที่ 2.2 และเพื่อให้ง่ายต่อการวิเคราะห์ต่อไป V_{chem} สามารถถูกเขียนได้ใหม่ตามสมการที่ 2.4 โดยที่ γ คือผลรวมของศักย์เคมีทั้งหมดที่เป็นอิสระจากค่า pH



รูปที่ 2.1: โครงสร้างกายภาพของอีสเฟตกับมอสเฟต



รูปที่ 2.2: แบบจำลองเชิงพฤติกรรมของอีสเฟต

และด้วยการประมาณอันดับที่หนึ่ง α จะมีค่าคงที่ ทำให้ V_{chem} และแรงดันขีดเริ่มของอีสเฟตจะมีค่าแปรผันโดยตรงกับค่า pH และอุณหภูมิ

$$V_{chem} = \gamma + 2.3U_T \alpha pH \tag{2.4}$$

2.3 อีสเฟตในย่านการทำงานผันกลับอย่างอ่อน

อีสเฟตที่ทำงานในย่านผันกลับอย่างอ่อนจะมีแรงดันเกตซอส (v_{GS}) น้อยกว่าแรงดันขีดเริ่ม (V_{th}) และการนำกระแสของอีสเฟตจะเกิดจากการเคลื่อนที่ของประจุพาหะภายใต้กระบวนการแพร่ (diffusion) โดยที่กระแสเดรนของมอสเฟตในย่านผันกลับอย่างอ่อนสามารถแสดงได้ดังสมการที่ 2.5 และ $I_s = 2n\mu_o C_{ox}\left(\frac{W}{L}\right)U_T^2 e^{\left(\frac{-V_{T0}}{nU_T}\right)}e^{\left(\frac{(n-1)V_{BS}}{nU_T}\right)}$ เมื่อ V_{T0} คือแรงดันขีดเริ่มเมื่อ $V_{BS} = 0$ และ n คือปัจจัยความชันของการผันกลับอย่างอ่อน (Subthreshold slope factor) และมอสเฟตทำงานในย่านอิ่มตัวเมื่อ $V_{DS} > 4U_T$ โดยสมการที่ 2.5 สามารถใช้กับอีสเฟตที่ทำงานในย่านผันกลับอย่างอ่อนได้เนื่องจากการเปลี่ยนแปลงทางเคมีต่างๆทำให้แรงดันขีดเริ่มเปลี่ยนแปลงเนื่องจากผลของ V_{chem} ที่ผันแปรตามค่า pH และเนื่องจากอีสเฟตที่ทำงานในย่านผันกลับอย่างอ่อนมีกระแสเดรนที่ผันแปรเป็นฟังก์ชั่นเอ็กโพเนนเชียลกับแรงดันขีดเริ่มซึ่งผันแปรตรงกับค่า pH และเนื่องจากค่า pH มีค่าผันแปรเป็นฟังก์ชั่นล็อกการิทึมกับความเข้มข้นของไอออนไฮโดรเจน ทำให้กระแสเดรนที่การผันแปรที่เป็นเชิงเส้นกับความเข้มข้นของไอออนไฮโดรเจน

$$I_D = I_s e^{\left(\frac{v_{GS}}{nU_T}\right)} \left(1 - e^{\left(\frac{-v_{DS}}{U_T}\right)}\right) \tag{2.5}$$

การผันแปรของค่า pH ($\triangle pH$) สามารถแสดงได้เป็นการผันแปรของ V_{chem} ($\triangle V_{chem}$) และ V_{th} ($\triangle V_{T0}$) ดังแสดงในสมการที่ 2.6 และหากสมมติให้ $V_{BS} = 0$ และอีสเฟตทำงานในย่านอิ่มตัว ($V_{DS} > 4U_T$) ดังนั้นค่ากระแสเดรนของอีสเฟตที่เปลี่ยนแปลงสามารถแสดงได้ดังสมการที่ 2.7 โดยที่ I_{DQ} คือกระแสเดรนของอีสเฟตในสภาวะสงบนิ่ง (quiescent)

$$\triangle V_{T0} = \triangle V_{chem} = 2.3 U_T \alpha \triangle pH \tag{2.6}$$

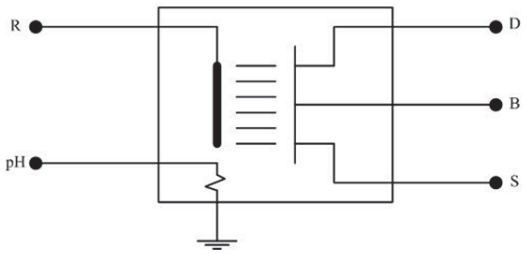
$$I_D\left(V_{T0} + \triangle V_{T0}\right) = 2n\mu_o C_{ox}\left(\frac{W}{L}\right) U_T^2 e^{\left(\frac{v_{GS}}{nU_T}\right)} e^{\left(\frac{-\triangle V_{T0}}{nU_T}\right)} = I_{DQ} e^{\left(\frac{-2.3U_T \alpha \triangle pH}{nU_T}\right)} \tag{2.7}$$

และเนื่องจากค่า pH มีค่าผันแปรเป็นฟังก์ชั่นล็อกการิทึมกับความเข้มข้นของไอออนไฮโดรเจนดังสมการที่ 2.8 ดังนั้นความสัมพันธ์ระหว่างกระแสเดรนของอีสเฟตและความเข้มข้นของไอออนไฮโดรเจนสามารถแสดงได้ดังสมการที่ 2.9 และค่า α/n มีค่าอยู่ระหว่าง 0 กับ 1 เนื่องจาก $0 < \alpha < 1$ และ $n > 1$

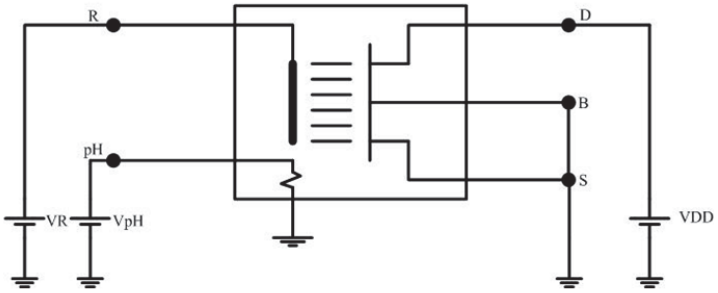
$$pH = -\log_{10}\left[H^+\right] \tag{2.8}$$

$$I_D\left(V_{T0} + \triangle V_{T0}\right) = I_{DQ} e^{\left(\frac{-2.3U_T \alpha\left(-\ln\left[H^+\right]/2.3\right)}{nU_T}\right)} = I_{DQ} \triangle \left[H^+\right]^{\alpha/n} \tag{2.9}$$

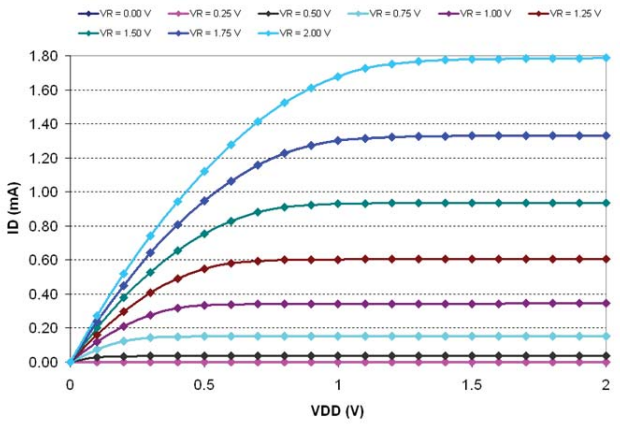
งานวิจัยนี้ใช้แบบจำลองอีสเฟตจาก [16] รูปที่ 2.3 และรูปที่ 2.4 แสดงสัญลักษณ์ของอีสเฟตและวงจรที่ใช้ทดสอบคุณลักษณะของอีสเฟตตามลำดับ รูปที่ 2.5 แสดงผลจำลองคุณสมบัติ i_D vs. v_{DS} ของอีสเฟตที่มีขนาด W/L = 100μm/10μm ที่ค่า pH คงที่เท่ากับ 7 (i.e. V_{pH} = 7 V) โดยที่มีการเปลี่ยนแปลงแรงดันขั้วไฟฟ้าอ้างอิง (V_R) ตั้งแต่ 0 - 2 V รูปที่ 2.6 แสดงผลจำลองคุณสมบัติ i_D vs. v_{GS} (i.e. V_R) ของอีสเฟตที่มีขนาด W/L = 100μm/10μm ที่ค่า pH เท่ากับ 4, 7 และ 10 (i.e. V_{pH} = 4, 7 และ 10 V) โดยที่มีการเปลี่ยนแปลงแรงดันขั้วไฟฟ้าอ้างอิง (V_R) ตั้งแต่ 0 - 4 V จะเห็นได้ว่าอีสเฟตมีคุณสมบัติคล้ายกับมอสเฟต รูปที่ 2.10 แสดงคุณสมบัติ i_D vs. pH (i.e. V_{pH}) ของอีสเฟตที่มีขนาด W/L = 100μm/10μm ที่ค่า pH ระหว่าง 0 ถึง 14 (i.e. V_{pH} = 0 - 14 V) โดยที่มีการเปลี่ยนแปลงแรงดันขั้วไฟฟ้าอ้างอิง (V_R) ตั้งแต่ 0 - 1.4 V ซึ่งแสดงว่าช่วงความเป็นเชิงเส้นที่ดีที่สุดต้องมีค่าแรงดันที่ขั้วไฟฟ้าอ้างอิงไม่น้อยกว่า 1 V และอีสเฟตมีค่าความไวต่อค่า pH ประมาณ -28 $\mu A/pH$



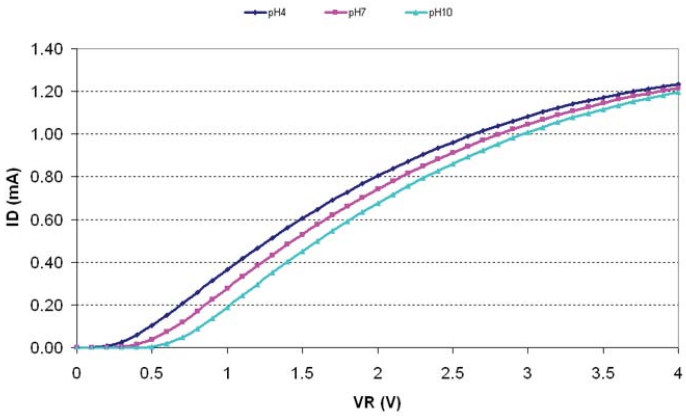
รูปที่ 2.3: สัญลักษณ์ของอีสเฟต



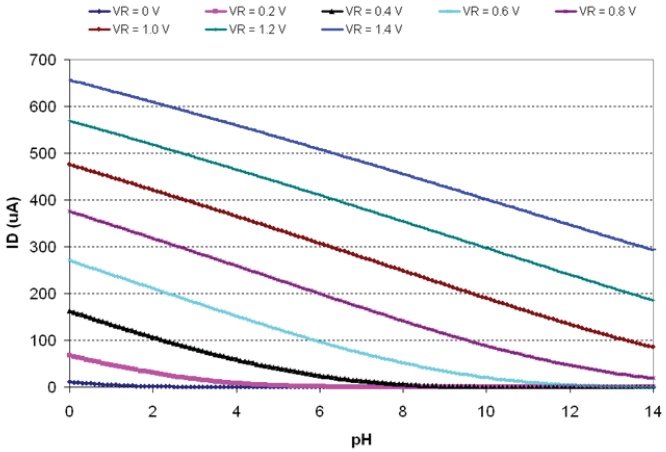
รูปที่ 2.4: วงจรทดสอบคุณลักษณะทางไฟฟ้าของอีสเฟต



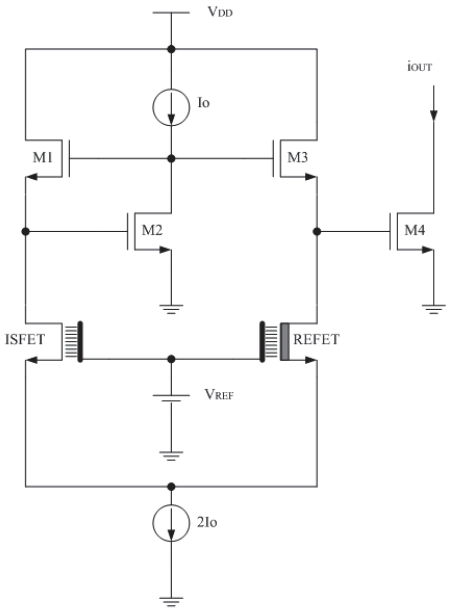
รูปที่ 2.5: คุณสมบัติกระแสเดรนและแรงดันเดรนซอสของอีสเฟตที่ค่า pH=7



รูปที่ 2.6: คุณสมบัติกระแสเดรนและแรงดันเกตซอสของอีสเฟตที่ค่า pH=4, 7 และ 10



รูปที่ 2.7: คุณสมบัติกระแสเดรนและค่า pH



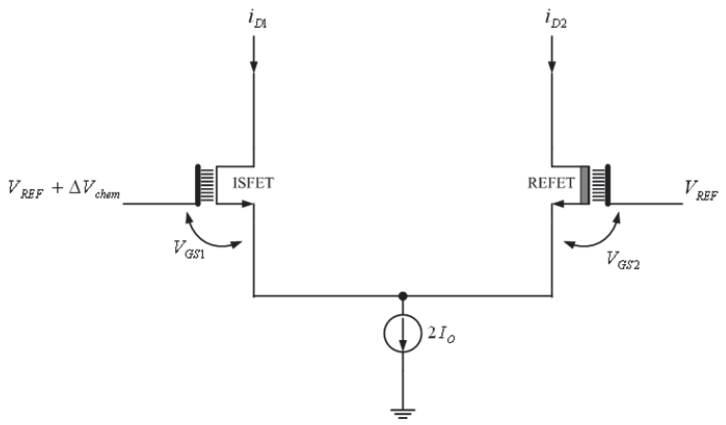
รูปที่ 2.8: วงจรอ่านค่าสัญญาณผลต่างจากอีสเฟตที่ได้นำเสนอขึ้นใหม่

2.4 วงจรอ่านค่าสัญญาณจากอีสเฟตที่นำเสนอ

รูปที่ 2.8 แสดงวงจรอ่านค่าสัญญาณผลต่างจากอีสเฟตที่ใช้กำลังไฟต่ำยิ่งที่ได้นำเสนอขึ้นใหม่ โดยใช้โครงสร้างของวงจรขยายสัญญาณผลต่างที่ใช้เฟตที่ไม่ไวต่อไอออน (Ion-insensitive FET) หรือที่เรียกว่า Referenced ISFET (REFET) และอีสเฟตโดยใช้ขั้วโลหะอิเล็กโตรดต่อกับขาเกตของอีสเฟตและรีเฟตเข้ากับแรงดันไฟตรงอ้างอิง (V_{REF}) ซึ่งจะทำให้เราสามารถกำจัดหรือลดการแปรผันของกระแสเอาท์พุตที่เกิดจากการผันแปรของแรงดันไฟตรงอ้างอิงและทำให้สามารถใช้ขั้วอิเล็กโตรดแบบโซลิดสเตทได้ มอสเฟตอีสเฟตและรีเฟตทุกตัวทำงานในย่านผันกลับอย่างอ่อนแบบอิ่มตัว (Saturated weak-inversion region) (i.e. $V_{GS} < V_{TH}$ และ $V_{DS} > 4U_T$) โดยมีกระแสไฟตรงไบอัสเท่ากับ I_O เท่ากันทั้งหมด

รูปที่ 2.9 แสดงวงจรขยายสัญญาณผลต่าง (Differential Pair) ที่ประกอบด้วยอีสเฟตและรีเฟตที่มีขนาด (W/L) เท่ากันและทำงานในย่านการผันกลับอย่างอ่อน โดยถ้าสมมติว่า $V_{BS} = 0$ และ $V_{DS} > 4U_T$ กระแสเดรนของอีสเฟตและรีเฟตสามารถเขียนได้ดังสมการที่ 2.10 และ 2.11 และผลรวมของกระแส i_{D1} และ i_{D2} มีค่าเท่ากับกระแสไบอัส $2I_O$ ดังแสดงในสมการที่ 2.12 และผลต่างแรงดัน v_{GS1} และ v_{GS2} มีค่าเท่ากับค่าผันแปรของศักย์ทางเคมี $\triangle V_{chem}$ คือดังแสดงในสมการที่ 2.13 ดังนั้นเราสามารถเขียน i_{D1} และ i_{D2} ได้ดังสมการที่ 2.14 และ 2.15

$$i_{D1} = I_{s1} e^{V_{GS1}/nU_T} \tag{2.10}$$



รูปที่ 2.9: วงจรขยายสัญญาณผลต่าง (Differential Pair) ที่ประกอบด้วยอีสเฟตและรีเฟต

$$i_{D2} = I_{s2} e^{V_{GS2}/nU_T} \tag{2.11}$$

$$i_{D1} + i_{D2} = 2I_O \tag{2.12}$$

$$v_{GS1} - v_{GS2} = \triangle V_{chem} \tag{2.13}$$

$$i_{D1} = 2I_O \cdot \frac{e^{-\left(\frac{\triangle V_{chem}}{nU_T}\right)}}{1 + e^{-\left(\frac{\triangle V_{chem}}{nU_T}\right)}} \tag{2.14}$$

$$i_{D2} = 2I_O \cdot \frac{1}{1 + e^{-\left(\frac{\triangle V_{chem}}{nU_T}\right)}} \tag{2.15}$$

โดยที่ I_O คือกระแสเดรนของอีสเฟตและรีเฟตที่ค่า pH อ้างอิง (เช่น pH = 7) ดังนั้นกระแสของอีสเฟตจะมีค่าเท่ากับ $2I_O$ และกระแสรีเฟตมีค่าเป็นศูนย์สำหรับค่า $\triangle pH$ ที่ค่าลบมากๆ และในทางตรงกันข้ามสำหรับค่า $\triangle pH$ ที่มีค่าบวกมากๆ ซึ่งมีคุณลักษณะคล้ายกับการทำงานของวงจรขยายสัญญาณผลต่างที่ใช้มอสเฟต (MOSFET Differential Pair)

จากรูปที่ 2.8 มอสเฟต ($M_1 - M_4$) ทำงานในย่านผันกลับอย่างอ่อน และประกอบกันเป็นวงจรทรานส์ลิเนียร์ซึ่งมีกระแสเอาท์พุต (I_{out}) ดังสมการที่ 2.16 และ 2.17 และเนื่องจาก $\triangle pH = -\log_{10} \triangle [H+]$ โดยที่ $\triangle [H+]$ คือความเข้มข้นของไฮโดรเจนไอออนที่เปลี่ยนแปลงไป และเนื่องจาก $0 < \alpha < 1$ และ $n > 1$ ดังนั้นค่า α/n มีค่าระหว่าง 0 กับ 1 ดังนั้นจะเห็นได้ว่าค่า pH ที่เปลี่ยนแปลงไปมีความสัมพันธ์ที่เป็นเชิงเส้น

กับค่าล็อกการิทึมของกระแสเอาท์พุตดังแสดงในสมการที่ 2.18

$$i_{out} = \frac{i_{D1} i_{D2}}{i_{D3}} = \frac{i_{D,ISFET} I_O}{i_{D,REFET}} = I_O e^{-\left(\frac{\triangle V_{chem}}{n U_T}\right)} \tag{2.16}$$

$$i_{out} = I_O \triangle \left[H^+\right]^{\alpha/n} \tag{2.17}$$

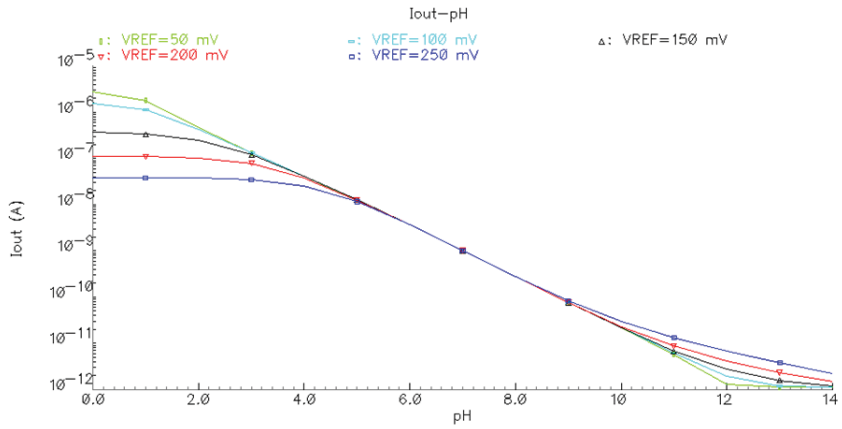
$$\log_{10} i_{out} = \log_{10} I_O - \left(\frac{\alpha}{n}\right) \triangle pH \tag{2.18}$$

ถ้าสมมติให้อุปกรณ์ทุกตัวอยู่ใกล้กันและมีสภาพแวดล้อมเชิงอุณหภูมิเหมือนกัน (Thermally matched) ความสัมพันธ์แบบอัตราส่วนของหลักการทรานลิเนียร์จะช่วยลดการผันแปรของวงจรที่เกิดจากกับอุณหภูมิ (Temperature dependence) และการใช้วงจรขยายสัญญาณผลต่างอีสเฟตและรีเฟตทำให้ผลกระทบจากฐานรอง (Body effects) ของมอสเฟต อีสเฟตและรีเฟต หักล้างกันหมดไปในทางทฤษฎี และถ้าสร้างแหล่งจ่ายกระแส I_O ที่เป็นอิสระกับอุณหภูมิและสมมติว่า α และ n ไม่ขึ้นกับอุณหภูมิ เราจะได้กระแสเอาท์พุตของวงจรที่เป็นอิสระจากผลการเปลี่ยนแปลงอุณหภูมิ

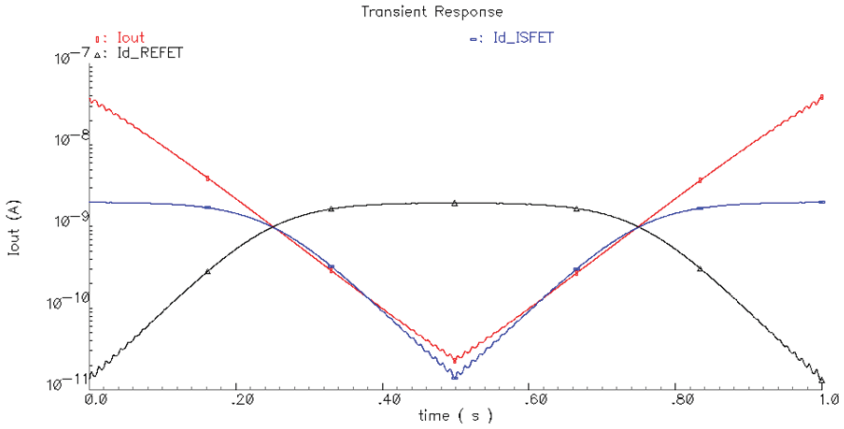
วงจรอ่านค่าสัญญาณผลต่างจากอีสเฟตที่นำเสนอได้ถูกออกแบบให้ทำงานที่แรงดันแหล่งจ่ายไฟเลี้ยง 1 โวลต์ อีสเฟตและรีเฟตถูกจำลองการทำงานโดยใช้แบบจำลองทางคณิตศาสตร์จาก [16] และจำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence และพารามิเตอร์จากเทคโนโลซีมอสขนาด 0.35 µm มอสเฟตทุกตัวมีขนาด 5 µm/2 µm อีสเฟตและรีเฟตมีขนาดเท่ากันคือ 100 µm/10 µm เพื่อให้มีความสมพงศ์ที่ดี (good matching) แหล่งจ่ายกระแสไฟตรงถูกสร้างโดยใช้วงจรสะท้อนกระแสอย่างง่ายและใช้มอสเฟตที่มีความยาวช่องทางใหญ่เพื่อให้ได้ความแม่นยำที่ดีและมีความต้านทานเอาท์พุตมาก ตัวแปร α/n มีค่าเท่ากับ 0.7 ค่ากระแส I_O มีค่าเท่ากับ 1 nA และแรงดัน V_{REF} มีค่าเท่ากับ 200 mV โดยที่กระแสและแรงดันไบอัสทั้งหมดถูกเลือกเพื่อให้วงจรทำงานกับค่า pH อ้างอิงเท่ากับ 7 โดยที่วงจรใช้กำลังไฟฟ้าเท่ากับ 4 nW

รูปที่ 2.10 แสดงผลจำลองการทำงานคุณลักษณะกระแส I_{out} กับค่า pH ระหว่าง 4 ถึง 10 ที่ค่าแรงดัน V_{REF} ต่างๆระหว่าง 50 mV ถึง 250 mV โดยที่ค่าแรงดัน V_{REF} = 200 mV ค่า $\log_{10}(I_{out})$ กับค่า pH มีคุณลักษณะเป็นเชิงเส้นดีที่สุดในช่วงค่า pH ระหว่าง 4 ถึง 10 ซึ่งช่วงความเป็นเชิงเส้นถูกจำกัดโดยช่วงการทำงานในย่านผันกลับอย่างอ่อนของอีสเฟตที่อยู่ในช่วงการผันแปรของกระแสเดรนประมาณ 1,000 - 10,000 เท่า (i.e. 3-5 decades) รูปที่ 2.10 แสดงให้เห็นว่าแม้แรงดัน V_{REF} จะมีผันแปรมากกว่า 200 mV ก็ยังไม่มีผลกระทบต่อกระแส I_{out} ในช่วงค่า pH ระหว่าง 5 ถึง 9 อย่างไรก็ตามที่ค่า pH ต่ำๆ และค่า pH สูงๆ ค่ากระแส I_{out} จะมีการผันแปรไปเนื่องจากกระแสเดรนของอีสเฟตและรีเฟตในวงจรขยายสัญญาณผลต่างมีการอิ่มตัว หรือกระแสเดรนของอีสเฟตและรีเฟตอย่างใดอย่างหนึ่งมีค่าเป็นศูนย์

เพื่อทดสอบความสามารถในการกำจัดหรือลดทอนผลกระทบของสัญญาณรบกวนโหมดร่วมของวงจร แรงดันอ้างอิง V_{REF} ถูกจำลองให้มีแรงดันสัญญาณรบกวนขนาด 20 mV (ร้อยละ 10 ของ V_{REF}) ที่



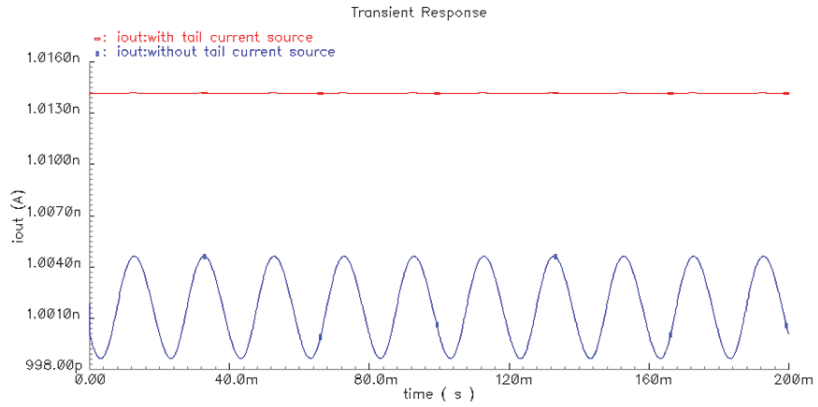
รูปที่ 2.10: คุณลักษณะกระแส I_{out} กับค่า pH ที่ค่าแรงดัน V_{REF} ระหว่าง 50 mV ถึง 250 mV



รูปที่ 2.11: ผลการจำลองทางเวลาของกระแส I_{out} ต่อการเปลี่ยนแปลงของค่า pH

ความถี่ 50 Hz และค่า pH ถูกสมมติให้มีการเปลี่ยนแปลงแบบเชิงเส้นระหว่าง 4 ถึง 10 ภายในเวลา 1 วินาที รูปที่ 2.11 แสดงผลการจำลองทางเวลาของกระแสอีสเฟต กระแสรีเฟตและกระแสเอาท์พุตต่อการผันแปรของค่า pH ซึ่งจะเห็นได้ว่ากระแสทั้งหมดได้รับผลกระทบจากแรงดันสัญญาณรบกวนโหมดร่วมที่เกิดขึ้นที่แรงดัน V_{REF} น้อยมากจนไม่มีนัยสำคัญ ยกเว้นในย่านที่ค่า pH น้อยกว่า 5 หรือมากกว่า 9 ซึ่งเป็นผลกระทบมาจากการที่กระแสเดรนของอีสเฟตและรีเฟตในวงจรขยายสัญญาณผลต่างมีการอิ่มตัว

รูปที่ 2.12 แสดงกระแสเอาท์พุตที่ค่า pH = 7 ในกรณีที่วงจรใช้และไม่ใช้แหล่งจ่ายกระแสไบอัส $(2I_O)$ ซึ่งเห็นได้ว่าในกรณีที่มีแหล่งจ่ายกระแสไบอัสนั้น กระแสเอาท์พุตไม่มีการผันแปร ในขณะที่กรณีที่ไม่ใช้แหล่งจ่ายกระแสไบอัสกระแสเอาท์พุตมีการผันแปรค่าประมาณ 10 pA หรือร้อยละ 10 ของ I_O ดังนั้นจึงสรุปได้ว่าวงจรที่นำเสนอนั้นมีความสามารถในการกำจัดหรือลดทอนสัญญาณรบกวนโหมดร่วมสูงมาก



รูปที่ 2.12: กระแสเอาท์พุตที่ค่า pH=7 ในกรณีที่วงจรใช้ (With) และไม่ใช้ (Without) แหล่งจ่ายกระแสไบอัส ($2I_O$)

2.5 สรุป

บทนี้ได้กล่าวถึงการออกแบบและจำลองการทำงานของวงจรอ่านค่าสัญญาณจากอีสเฟตที่ไวต่อค่า pH ซึ่งมีขนาดเล็ก ง่ายต่อการออกแบบและใช้กำลังไฟฟ้าต่ำมาก วงจรที่นำเสนอใช้โครงสร้างของวงจรขยายสัญญาณผลต่างที่ใช้อีสเฟตและรีเฟตในย่านผันกลับอย่างอ่อน และใช้หลักการทรานส์ลิเนียร์โหมดกระแสเพื่อให้ได้ความเป็นเชิงเส้นที่ดีและสามารถกำจัดสัญญาณรบกวนโหมดร่วมที่ขั้วอิเล็กโตรดอ้างอิง อีกทั้งยังสามารถชดเชยผลของตัวถัง (body effects) ของเฟตได้อีกด้วย วงจรที่นำเสนอมีศักยภาพเหมาะสมสำหรับใช้ในส่วนประมวลสัญญาณของระบบตรวจวัดชีวเคมีแบบฝังตัว (implantable) และเวลาจริง (real-time)

บทที่ 3

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลโหมดกระแสแบบล็อกการิทึมที่ใช้กำลังไฟต่ำ (Ultra low-power current-mode logarithmic analog-to-digital converter)

3.1 บทนำ

วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึม (Logarithmic analog-to-digital converter, LogADC) มักถูกใช้งานในระบบประมวลสัญญาณเพื่อบีบอัดและแปลงสัญญาณแบบไม่เป็นเชิงเส้นเพื่อให้ได้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (signal-to-noise ratio, SNR) ดีที่สุดสำหรับช่วงสัญญาณอินพุตกว้าง วงจร LogADC สามารถถูกสร้างได้โดยใช้วงจรแปลงล็อกการิทึมแบบแอนะล็อกที่อาศัยคุณลักษณะเอ็กซ์โพเนนเชียลของไบโพล่าร์ทรานซิสเตอร์ [17] หรือไดโอด [18] ร่วมกับวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบเชิงเส้น หรือใช้หลักการประมวลสัญญาณในโดเมนล็อกการิทึมซึ่งทำให้สามารถสร้าง LogADC ในโครงสร้างแบบไพพ์ไลน์ (Pipeline) แบบอัลกอริทึม (Algorithmic) หรือแบบแฟลชสองขั้น (Two-step flash) ได้ในเทคโนโลยีซีมอส [19], [20] โดยเมื่อเร็วๆนี้วงจร LogADC และ μ – law ADC อย่างง่ายได้ถูกนำเสนอโดยใช้เทคนิควงจรโหมดกระแส [21]

บทนี้นำเสนองานวิจัยเกี่ยวกับการออกแบบและการสร้างวงจร LogADC โหมดกระแสที่ใช้กำลังไฟต่ำ โดยอาศัยโครงสร้างการทำงานแบบไพพ์ไลน์และแบบอัลกอริทึม ที่เหมาะสมสำหรับการใช้งานกับเซ็นเซอร์และด้านชีวการแพทย์ วงจร ADC ที่นำเสนอมีเป้าหมายเพื่อนำไปใช้กับวงจรอ่านค่าสัญญาณจากอีสเฟตที่ทำงานในย่านผันกลับอย่างอ่อน [15, 22] ซึ่งมีกระแสเอาท์พุตที่มีความสัมพันธ์กับค่า pH ที่เปลี่ยนแปลงไปเป็นฟังก์ชั่นเอ็กซ์โพเนนเชียล ดังนั้นวงจร LogADC จะแปลงกระแสเอาท์พุตจากวงจรอ่านค่าสัญญาณอีสเฟตให้เป็นสัญญาณดิจิตอลเอาท์พุต ซึ่งมีความสัมพันธ์ที่เป็นเชิงเส้นกับค่าอินพุต pH ที่เปลี่ยนแปลง

3.2 การแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึม

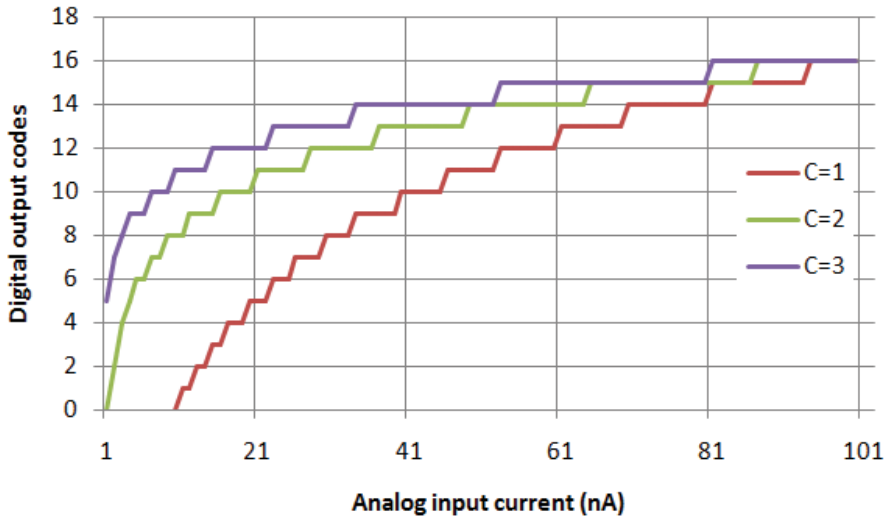
วงจร LogADC โหมดกระแสที่มีสัญญาณดิจิตอลเอาท์พุตจำนวน N บิต ทำหน้าที่แปลงสัญญาณกระแสแอนะล็อกอินพุต (i_{in}) เป็นสัญญาณดิจิตอลเอาท์พุต (D_{out}) ในโดเมนล็อก ที่มีความสัมพันธ์ดังแสดงในสมการที่ 3.1 โดยที่ I_{FS} คือค่ากระแสอินพุตสูงสุดของวงจร ADC ซึ่งให้ค่าดิจิตอลเอาท์พุตสูงสุดเท่ากับ 2^N-1 และ C คือสัมประสิทธิ์คุณลักษณะของฟังก์ชั่นล็อกการิทึม โดยถ้า C มีค่ามาก จะทำให้คุณสมบัติฟังก์ชั่นล็อกการิทึมมีความละเอียดมากขึ้นที่ค่าสัญญาณอินพุตน้อยๆ และทำให้วงจร ADC มีพิสัยพลวัต (Dynamic range) สูงขึ้น ดังแสดงในรูปที่ 3.1 ซึ่งแสดงให้เห็นว่าวงจร LogADC มีขนาดของค่าสัญญาณดิจิตอลบิตที่มีความสำคัญน้อยที่สุด หรือ Least significant bit (LSB) ขึ้นอยู่กับค่าสัญญาณแอนะล็อกอินพุต โดยสัญญาณอินพุตขนาดเล็กจะมีขนาด LSB ที่น้อยกว่าค่าสัญญาณอินพุตที่มีขนาดใหญ่ หรือหมายความว่าสัญญาณอินพุตขนาดเล็กจะถูกแปลงเป็นสัญญาณดิจิตอลด้วยความละเอียดมากกว่าค่าสัญญาณอินพุตขนาดใหญ่ และเมื่อเปรียบเทียบกับวงจร ADC แบบเชิงเส้นที่มีขนาดของ LSB (i.e. $LSB = i_{IN,i+1} - i_{IN,i}$) คงที่เท่ากับ $I_{FS}/2^N$ วงจร LogADC มีขนาดของ LSB ในโดเมนล็อก (i.e. $LSB(dB) = \log_{10}(i_{IN,i+1}) - \log_{10}(i_{IN,i})$) คงที่เท่ากับ $C/2^N$ ดังนั้นวงจร LogADC ขนาด 8 บิตที่มีค่า C=2 จะมีค่า LSB(dB) = $2/2^8$=0.078125

$$i_{in} = I_{FS} \times 10^{C\cdot\left(\frac{D_{out}}{2^N}-1\right)} \tag{3.1}$$

3.3 วงจร LogADC โหมดกระแสแบบไพพ์ไลน์ (Current-mode Logarithmic Pipeline ADC)

3.3.1 โครงสร้างวงจร

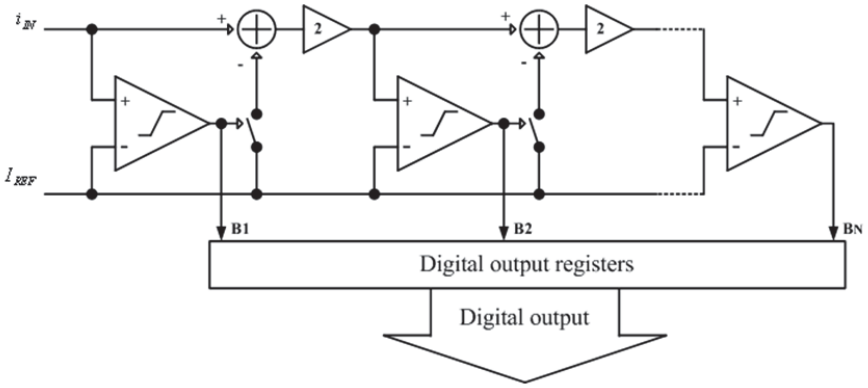
วงจร LogADC แบบไพพ์ไลน์มีโครงสร้างเหมือนกับวงจร ADC ไพพ์ไลน์แบบเชิงเส้น ซึ่งสามารถอธิบายหลักการทำงานได้โดยการเปรียบเทียบกับวงจร ADC ไพพ์ไลน์แบบเชิงเส้น ซึ่งแสดงในรูปที่ 3.2 ประกอบด้วยภาคการแปลงสัญญาณ (stage) ทั้งหมดจำนวน N ภาค โดยที่ N คือจำนวนบิตของสัญญาณดิจิตอล



รูปที่ 3.1: คุณลักษณะอินพุตและเอาท์พุตของวงจร LogADC ขนาด 5 บิต

เอาท์พุตหรือความละเอียด (resolution) ของวงจร ADC โดยสัญญาณอินพุตของวงจร ADC จะถูกแปลงเป็นสัญญาณดิจิตอลเอาท์พุตทีละบิตเริ่มตั้งแต่ภาคแรกจะแปลงสัญญาณดิจิตอลบิตที่มีความสำคัญสูงสุด (Most significant bit, MSB) และส่งสัญญาณส่วนที่เหลือ (residue signal) ไปยังภาคถัดไปเพื่อแปลงสัญญาณดิจิตอลบิตต่อไป จนกระทั่งถึงภาคสุดท้ายที่จะแปลงสัญญาณดิจิตอลบิตที่มีความสำคัญน้อยที่สุด (Least significant bit, LSB) โดยในแต่ละภาคของวงจร ADC ไพพ์ไลน์แบบเชิงเส้นประกอบด้วยวงจรสุ่มและคงค่าสัญญาณ วงจรเปรียบเทียบสัญญาณ สวิทช์ วงจรบวกลบสัญญาณ และวงจรคูณสองสัญญาณ ซึ่งมีหลักการทำงานดังนี้ โดยวงจรเปรียบเทียบสัญญาณจะเปรียบเทียบสัญญาณอินพุต (i_{IN}) กับสัญญาณอ้างอิง (I_{REF}) ซึ่งมีค่าเป็นครึ่งหนึ่งของค่าสูงสุดของสัญญาณอินพุต (I_{FS}) หรือช่วงสัญญาณอินพุตทั้งหมดของวงจร ADC (Input range) ซึ่งในกรณีที่สัญญาณอินพุตมีค่าน้อยกว่าสัญญาณอ้างอิง สัญญาณเอาท์พุตของวงจรเปรียบเทียบสัญญาณ (B_i) จะมีค่าเป็นลอจิก “0” ทำให้สวิทช์ไม่เปิดทำงาน (OFF) และสัญญาณอินพุตจะถูกส่งผ่านไปยังวงจรคูณสองและภาคถัดไป ในกรณีที่สัญญาณอินพุตมีค่ามากกว่าสัญญาณอ้างอิง สัญญาณเอาท์พุตของวงจรเปรียบเทียบสัญญาณ (B_i) จะมีค่าเป็นลอจิก “1” ทำให้สวิทช์เปิดทำงาน (ON) และสัญญาณอินพุทจะถูกลบด้วยสัญญาณอ้างอิง และผลลัพธ์ที่ได้จะถูกส่งผ่านไปยังวงจรคูณสองและภาคต่อไป และสัญญาณดิจิตอลทั้งหมดจะถูกรวมกันโดยวงจรรีจิสเตอร์

รูปที่ 3.3 แสดงโครงสร้างวงจร LogADC แบบไพพ์ไลน์ ซึ่งมีหลักการทำงานเหมือนกับวงจร ADC เชิงเส้นแบบไพพ์ไลน์ และแต่ละภาคของ ADC ประมวลสัญญาณในโดเมนล็อกการิทึม ซึ่งเมื่อเปรียบเทียบกับวงจร ADC เชิงเส้นแบบไพพ์ไลน์ การลบสัญญาณจะถูกแทนที่ด้วยการหารสัญญาณ (i.e. $\log_{10}(A) - \log_{10}(B) = \log_{10}(A/B)$) หรือการคูณด้วยค่าคงที่ และการคูณสองจะแทนที่ด้วยการยกกำลังสอง (i.e. $2\times(\log_{10} A) = \log_{10}(A^2)$) ดังนั้นหลักการทำงานของแต่ละภาคของวงจร LogADC สามารถสรุปได้ดังนี้ เริ่มด้วยวงจรเปรียบเทียบสัญญาณจะเปรียบเทียบสัญญาณอินพุต (i_{IN}) กับสัญญาณอ้างอิง (I_{REF}) คือ



รูปที่ 3.2: โครงสร้างวงจร ADC ไพพ์ไลน์แบบเชิงเส้น

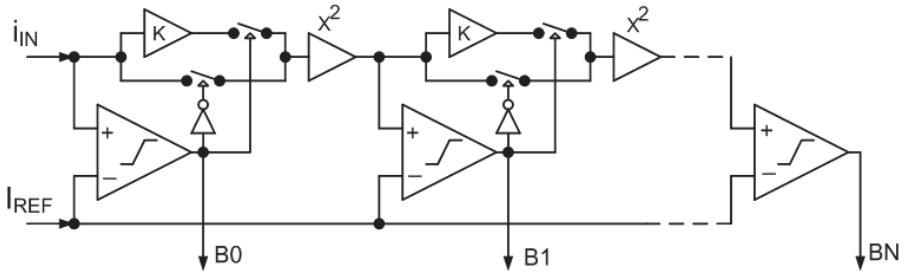
ค่ากระแสอินพุตที่ให้ค่าสัญญาณดิจิตอลเอาท์พุตเท่ากับ 2^{N-1} ซึ่งในกรณีที่สัญญาณอินพุตมีค่าน้อยกว่าสัญญาณอ้างอิง สัญญาณเอาท์พุตของวงจรเปรียบเทียบสัญญาณ (B_i) จะมีค่าเป็นลอจิก “0” ทำให้สวิทช์ไม่เปิดทำงาน (OFF) และสัญญาณอินพุตจะถูกส่งผ่านไปยังวงจรยกกำลังสองและภาคถัดไป ในกรณีที่สัญญาณอินพุตมีค่ามากกว่าสัญญาณอ้างอิง สัญญาณเอาท์พุตของวงจรเปรียบเทียบสัญญาณ (B_i) จะมีค่าเป็นลอจิก “1” ทำให้สวิทช์เปิดทำงาน (ON) และสัญญาณอินพุตจะถูกหารด้วย I_{REF} หรือคูณด้วย $1/I_{REF}$ และผลลัพธ์ที่ได้จะถูกส่งผ่านไปยังวงจรยกกำลังสองและภาคต่อไป และสัญญาณดิจิตอลทั้งหมดจะถูกรวมกันโดยวงจรรีจิสเตอร์เหมือนเช่นกับในวงจร ADC เชิงเส้นแบบไพพ์ไลน์

คุณลักษณะความแม่นยำในการแปลงสัญญาณของวงจร ADC สามารถถูกแสดงได้โดยความไม่เป็นเชิงเส้นแบบผลต่าง (Differential non-linearity หรือ DNL) และความไม่เป็นเชิงเส้นแบบผลรวม (Integral non-linearity หรือ INL) ซึ่งสำหรับวงจร LogADC มีค่า DNL และ INL ดังสมการที่ 3.2 และ 3.3 ตามลำดับ โดยที่ $\triangle i_k = \ln(i_{k+1}) - \ln(i_k)$ และ i_k คือค่ากระแสของสัญญาณดิจิตอลเอาท์พุต k และ $k = 0, 1, 2, \ldots, 2^N - 1$

$$DNL_k = \frac{\triangle i_{k,REAL} - \triangle i_{k,IDEAL}}{\triangle i_{k,IDEAL}} \tag{3.2}$$

$$INL_k = \frac{\ln(i_{k,REAL}) - \ln(i_{k,IDEAL})}{\triangle i_{k,IDEAL}} \tag{3.3}$$

ค่าพิสัยพลวัติ (Dynamic range หรือ DR) ของวงจร LogADC คืออัตราส่วนกำลังงานของสัญญาณอินพุตสูงสุดต่อค่า LSB ที่เล็กที่สุด (LSB_{min}) ซึ่งคือผลต่างของค่ากระแสของดิจิตอลเอาท์พุต 1 และ 0 ซึ่งสามารถแสดงได้ในสมการที่ 3.4



รูปที่ 3.3: โครงสร้างวงจร LogADC แบบไพพ์ไลน์

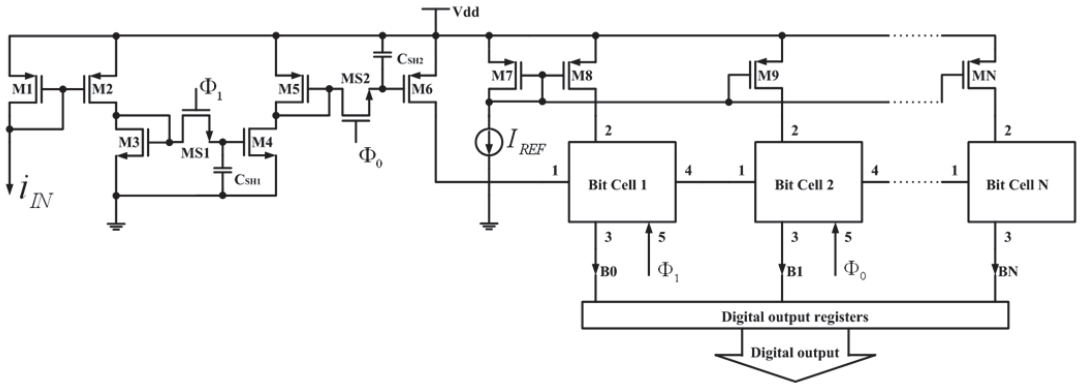
$$DR = 20\log_{10}\left(\frac{I_{FS}}{LSB_{min}}\right) = 20\log_{10}\left(\frac{I_{FS}}{I_{FS}\left(10^{C\left(\frac{1}{2^N}-1\right)}10^{-C}\right)}\right) \tag{3.4}$$

3.3.2 การออกแบบวงจร LogADC โหมดกระแสแบบไพพ์ไลน์

ในส่วนนี้เราจะอธิบายการออกแบบวงจร LogADC แบบไพพ์ไลน์ในโหมดกระแส สำหรับเพื่อแปลงค่าสัญญาณกระแสเอาท์พุตจากวงจรอ่านค่าสัญญาณอีสเฟตที่ได้กล่าวไว้ในบทที่ 2 ซึ่งให้ค่ากระแสเอาท์พุตสูงสุด 100 nA (i.e. $I_{FS} = 100nA$) และต้องการความละเอียดในการแปลงสัญญาณ 8 บิต ($N = 8$) และ $I_{REF} = I_{FS} \times 10^{2\cdot\left(\frac{2^7}{2^8}-1\right)} = 10$nA ดังนั้นในแต่ละภาคของ LogADC สัญญาณกระแสอินพุต i_{IN} จะถูกเปรียบเทียบกับ I_{REF} เพื่อคำนวณค่าสัญญาณดิจิตอลเอาท์พุต ในกรณีที่ $i_{IN} < I_{REF}$ สัญญาณดิจิตอลเอาท์พุตจากวงจรเปรียบเทียบสัญญาณจะมีค่าเป็นลอจิก “0” และสัญญาณอินพุตจะถูกส่งผ่านไปยังวงจรยกกำลังสองและภาคต่อไป ในกรณีที่ i_{IN}>I_{REF} สัญญาณดิจิตอลเอาท์พุตจะมีค่าเป็นลอจิก “1” และสัญญาณอินพุตจะถูกหารด้วย I_{REF} (i.e. หารด้วย 10 หรือคูณด้วย 0.1) และผลลัพธ์ที่ได้จะถูกส่งผ่านไปยังวงจรยกกำลังสองและภาคต่อไป และสัญญาณดิจิตอลเอาท์พุตของแต่ละภาคจะถูกหน่วงเวลาด้วยรีจีสเตอร์เพื่อรวมเป็นสัญญาณดิจิตอลเอาท์พุต 8 บิตที่สมบูรณ์

รูปที่ 3.4 แสดงวงจร LogADC ไพพ์ไลน์โหมดกระแส โดยที่มอสเฟต $M_1 - M_6$ มอสเฟตสวิตช์ $M_{S1} - M_{S2}$ และตัวเก็บประจุ $C_{SH1} - C_{SH2}$ ทำหน้าที่เป็นวงจรตามและคงค่าสัญญาณ (Sample and Hold: S/H) เพื่อสุ่มสัญญาณกระแสอินพุทส่งไปยังภาคแรกของวงจร LogADC มอสเฟตสวิตช์ M_{S1} และ M_{S2} ถูกควบคุมด้วยสัญญาณนาฬิกาที่ไม่ทับซ้อน (Non-overlapping clock signals) ϕ_1 และ ϕ_2 ตามลำดับ มอสเฟต $M_7 - M_N$ ทำหน้าที่เป็นวงจรสะท้อนกระแสส่งกระแสอ้างอิงส่งไปยังทุกภาคของ LogADC

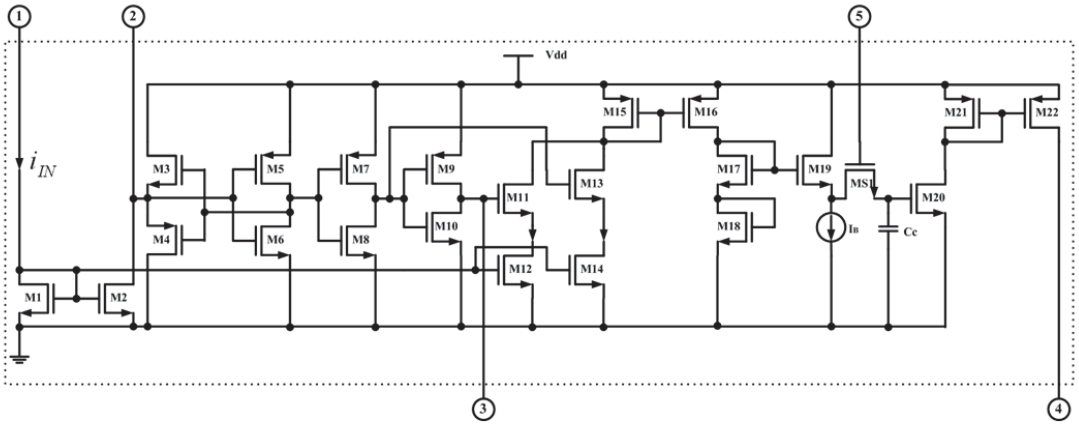
รูปที่ 3.5 แสดงวงจรในแต่ละภาค (Bit cell) ของ LogADC โดยมีขาที่ 1 เชื่อมต่อกับกระแสอินพุต ขาที่ 2 เชื่อมต่อกับกระแสอ้างอิง ขาที่ 3 คือสัญญาณดิจิตอลเอาท์พุต ขาที่ 4 เป็นขาเอาท์พุตส่งกระแสเอาท์พุตไปยังภาคถัดไป และขาที่ 5 ต่อกับสัญญาณนาฬิกาควบคุม มอสเฟตทั้งหมดในวงจรถูกไบอัสให้ทำงานใน



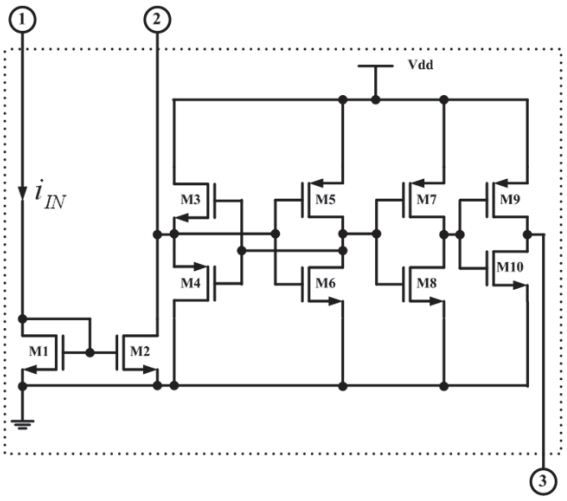
รูปที่ 3.4: วงจร LogADC ไพพ์ไลน์โหมดกระแส

ย่านผันกลับอย่างอ่อน มอสเฟต $M_1 - M_2$ ทำหน้าที่เป็นวงจรสะท้อนกระแสรับกระแสเอาท์พุตจากภาคที่อยู่ข้างหน้า คัดลอกและส่งให้วงจรเปรียบเทียบสัญญาณกระแส ($M_3 - M_8$) ซึ่งทำหน้าที่เปรียบเทียบสัญญาณกระแสอินพุทกับกระแสอ้างอิง และให้สัญญาณดิจิตอลเอาท์พุตที่ขา 3 โดยค่าดิจิตอลเอาท์พุตที่ได้จะใช้ไปควบคุมมอสเฟตสวิตช์ M_{11} และ M_{13} เพื่อเลือกว่าจะส่งผ่านกระแสอินพุทที่ผ่านการคูณด้วย 1 หรือ 0.1 (i.e. คูณด้วย $1/I_{REF}$) ไปยังวงจรยกกำลังสอง การคูณสัญญาณกระแสอินพุตอาศัยหลักการของวงจรสะท้อนกระแสโดยใช้ขนาดความกว้างของมอสเฟต M_{12} และ M_{14} เป็น 1 และ 0.1 เท่าของขนาดความกว้างของ M_1 ตามลำดับ ในกรณีที่สัญญาณดิจิตอลเอาท์พุตเป็นลอจิก “1” มอสเฟตสวิตช์ M_{13} จะปิด (OFF) และมอสเฟตสวิตช์ M_{11} จะเปิด (ON) ส่งผ่านกระแสอินพุทที่คูณด้วย 0.1 และส่งต่อไปยังวงจรยกกำลังสอง ในกรณีที่สัญญาณดิจิตอลเอาท์พุตเป็นลอจิก “0” มอสเฟตสวิตช์ M_{13} จะเปิด (ON) และมอสเฟตสวิตช์ M_{11} จะปิด (OFF) ส่งผ่านกระแสอินพุทที่คูณด้วย 1 และส่งต่อไปยังวงจรยกกำลังสอง วงจรยกกำลังสองประกอบด้วยมอสเฟต $M_{17} - M_{20}$ โดยใช้หลักการทรานส์ลิเนียร์ [23] ซึ่งสามารถแสดงได้ว่ากระแสเอาท์พุตของวงจรที่ขั้วเดรนของ M_{20} มีค่าเท่ากับค่ายกกำลังสองของกระแสอินพุตหรือ 0.1 เท่าของกระแสอินพุต หารด้วยกระแสไฟตรง I_0 มอสเฟตสวิทช์ M_{S1} ที่ถูกควบคุมด้วยสัญญาณนาฬิกาและตัวเก็บประจุ C_C ทำหน้าที่คงค่าหรือส่งผ่านกระแสเอาท์พุตไปยังภาคถัดไป ความแม่นยำของวงจรสะท้อนกระแส และวงจรยกกำลังสองมีความสำคัญและส่งผลต่อประสิทธิภาพการทำงานของวงจร LogADC ดังนั้นมอสเฟตทุกตัวจึงถูกเลือกให้มีความยาวช่องทางมาก และภาคสุดท้ายของวงจร LogADC ประกอบด้วยวงจรสะท้อนกระแสและวงจรเปรียบเทียบสัญญาณกระแสดังแสดงในรูปที่ 3.6

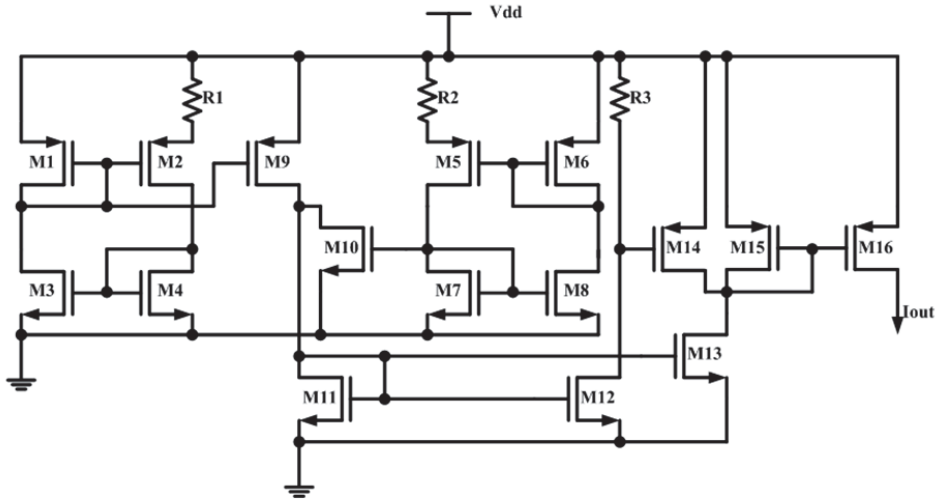
รูปที่ 3.7 แสดงวงจรสร้างกระแสอ้างอิง [24] ซึ่งใช้โครงสร้างวงจรสร้างกระแสอ้างอิงแบบไบอัสตัวเองสองวงจร ที่จ่ายกระแสเอาท์พุตที่มีค่าต่างกันและนำกระแสจากทั้งสองวงจรมาหักล้างกันเพื่อเป็นการชดเชยผลกระทบจากการผันแปรของแหล่งจ่ายแรงดันไฟเลี้ยงและอุณหภูมิ โดยที่วงจรสร้างกระแสอ้างอิงแบบไบอัสตัวเองชุดที่หนึ่งประกอบด้วยมอสเฟต $M_1 - M_4$ และตัวต้านทาน R_1 และชุดที่สองประกอบด้วยมอสเฟต $M_5 - M_8$ และตัวต้านทาน R_2 โดยกระแสเอาท์พุตจากวงจรทั้งสองถูกคัดลอกและลบกันโดยใช้



รูปที่ 3.5: วงจรในแต่ละภาค (Bit cell) ของ LogADC



รูปที่ 3.6: วงจรในภาคสุดท้ายของวงจร LogADC ไพพ์ไลน์โหมดกระแส



รูปที่ 3.7: วงจรสร้างกระแสอ้างอิง

M_9และ M_{10} และผลต่างของกระแสจะไหลผ่าน M_{11} ดังนั้นเนื่องจากสัมประสิทธิ์การผันแปรของกระแส M_9และ M_{10} ทำให้สัมประสิทธิ์การผันแปรของกระแส M_{11} มีค่าเป็นศูนย์ (หรือมีค่าน้อยในทางปฏิบัติ) และกระแสของ M_{11} ถูกคัดลอกโดย M_{12} และ M_{13} ซึ่งกระแสของ M_{12} ไหลผ่านตัวต้านทาน R_3 เพื่อสร้างแรงดันไบอัส M_{14} ดังนั้นเมื่อมีการผันแปรอุณหภูมิทำให้กระแสของ M_{13}และ M_{14}เปลี่ยนแปลงในสัดส่วนเท่ากัน ทำให้กระแสของ M_{15} มีสัมประสิทธิ์การผันแปรกับอุณหภูมิเป็นศูนย์ (หรือน้อยลงในทางปฏิบัติ) วงจรสร้างกระแสอ้างอิงใช้ความต้านทาน $R_1 = R_2 = 600k\Omega$ และ $R_3 = 1M\Omega$ และขนาดมอสเฟตตามที่แสดงในตารางที่ 3.1

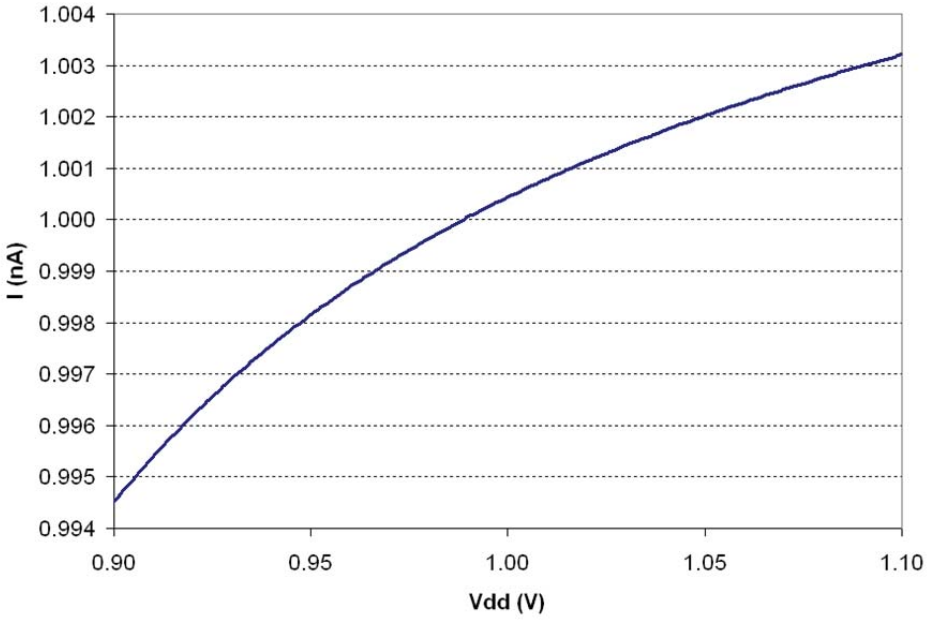
รูปที่ 3.8 แสดงผลจำลองค่ากระแสอ้างอิงปกติ (Normalized reference current) กับการผันแปรของแรงดันไฟเลี้ยง โดยกำหนดให้แรงดันไฟเลี้ยงเพิ่มขึ้นและลดลงร้อยละ 10 ของแรงดันไฟเลี้ยงปกติ (1 V) ซึ่งทำให้กระแสอ้างอิงเปลี่ยนแปลงร้อยละ 0.9 ของค่ากระแสปกติ รูปที่ 3.9 แสดงผลจำลองของการผันแปรอุณหภูมิที่เพิ่มขึ้นและลดลงร้อยละ 100 ของอุณหภูมิปกติ (27 ^oC) ซึ่งทำให้กระแสอ้างอิงเปลี่ยนแปลงร้อยละ 15.3 ของค่ากระแสปกติ

3.3.3 ผลจำลองการทำงาน

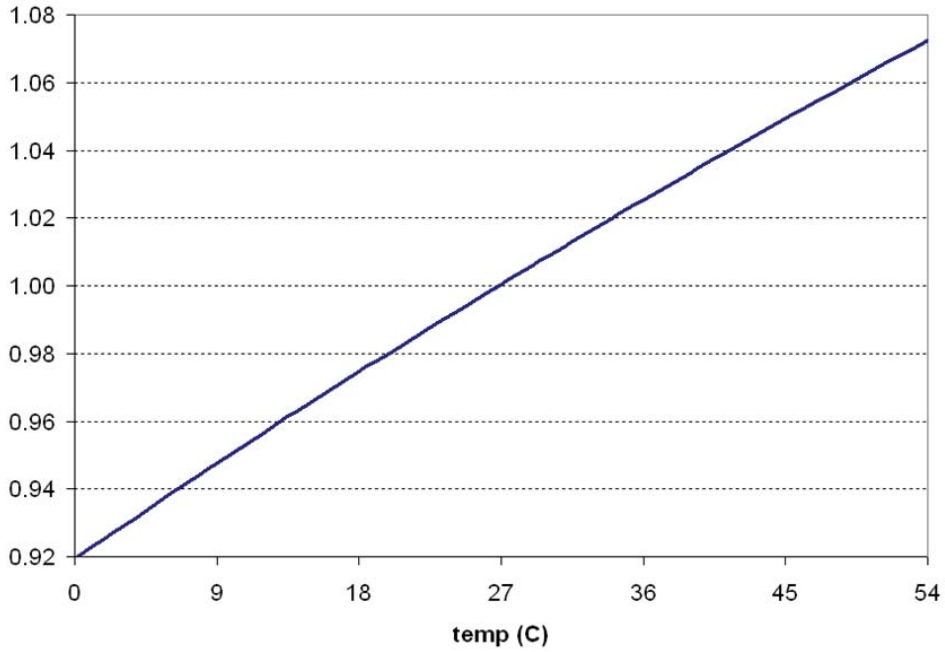
วงจร LogADC ไพพ์ไลน์โหมดกระแสความละเอียด 8 บิต ที่นำเสนอได้ถูกออกแบบให้ทำงานภายใต้แรงดันไฟเลี้ยงขนาด 1 โวลต์ วงจรถูกจำลองการทำงานโดยใช้โปรแกรม Cadence Spectre และใช้ตัวแปรอุปกรณ์ต่างๆจากเทคโนโลยีซีมอสขนาด 0.35 μm กระแสอ้างอิง (I_{REF}) และกระแสไฟตรงไบอัส (I_0) มีค่าเท่ากับ 10 nA ตัวเก็บประจุ C_{SH1}, C_{SH2} และ C_C มีขนาดเท่ากันคือ 5 pF และตารางที่ 3.2 แสดงขนาดของมอสเฟตที่ใช้ในวงจร และวงจร LogADC ใช้กำลังไฟฟ้าสถิตย์ทั้งหมดที่ค่ากระแสอินพุตสูงสุด

ตารางที่ 3.1: ขนาดของมอสเฟตที่ใช้ในวงจรสร้างกระแสอ้างอิง

มอสเฟต	W(μm)	L(μm)
$M_1, M_3, M_4, M_6 - M_8$	10	1
M_2, M_{10}	40	1
M_5	15	1
M_9, M_{11}	20	10
M_{12}, M_{13}	50	10
M_{14}	100	10
M_{15}	400	10
M_{16}	20	10



รูปที่ 3.8: ผลจำลองค่ากระแสอ้างอิงปกติกับการผันแปรของแรงดันไฟเลี้ยง

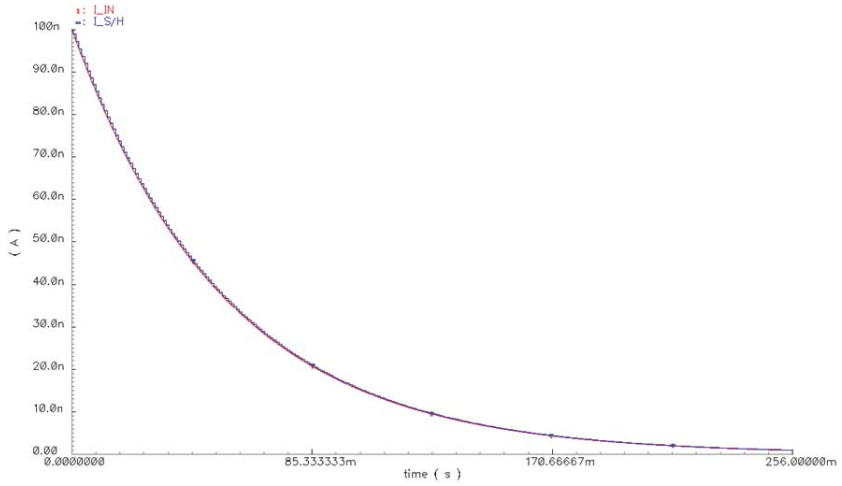


รูปที่ 3.9: ผลจำลองการทำงานค่ากระแสอ้างอิงปกติกับการผันแปรอุณหภูมิ

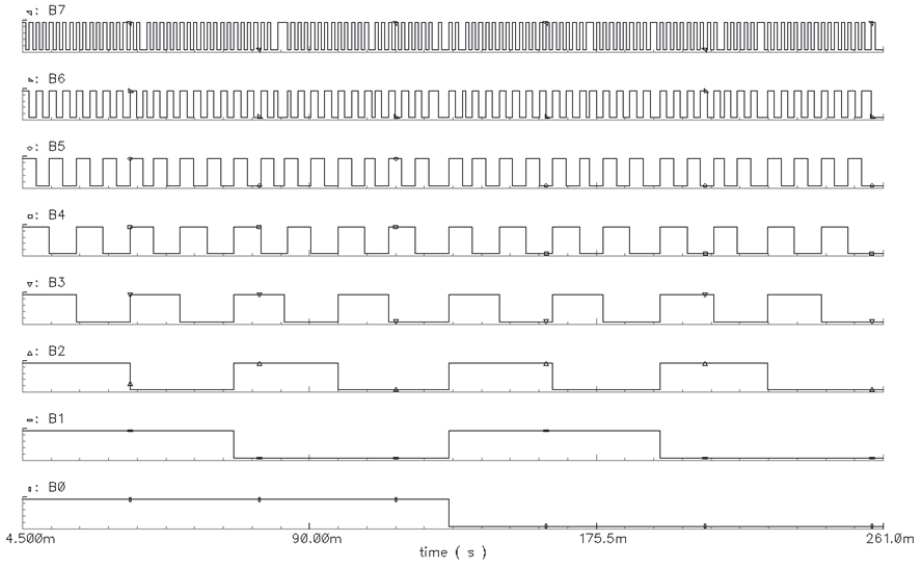
เท่ากับ 3.3 μW และใช้สัญญาณนาฬิกาไม่ทับซ้อนที่ความถี่ 1 kHz ซึ่งเพียงพอสำหรับการใช้งานวงจร ADC สำหรับแปลงค่าสัญญาณความถี่ต่ำที่ได้จากวงจรอ่านค่าสัญญาณจากอีสเฟต การจำลองการทำงานของวงจร LogADC ทำโดยป้อนสัญญาณกระแสอินพุตที่มีการเปลี่ยนแปลงแบบเอ็กซ์โพเนนเชียลตั้งแต่ 100 nA ถึง 0.7 nA ภายในเวลา 256 mS โดยรูปที่ 3.10 แสดงกระแสอินพุตที่ผ่านวงจรตามและคงค่าสัญญาณกระแสที่อยู่ด้านหน้าของภาคแรกของวงจร LogADC ซึ่งแสดงให้เห็นว่าวงจรตามและคงค่าสัญญาณสามารถสุ่มและคงค่ากระแสอินพุตได้อย่างแม่นยำ และรูปที่ 3.11 แสดงสัญญาณดิจิตอลเอาท์พุต 8 บิตของวงจร รูปที่ 3.12 แสดงผลจำลองคุณลักษณะสัญญาณดิจิตอลเอาท์พุตกับกระแสอินพุท และผลการทดลองความไม่เป็นเชิงเส้นผลรวม (INL) และความไม่เป็นเชิงเส้นผลต่าง (DNL) แสดงในรูปที่ 3.13 และ 3.14 ตามลำดับ ซึ่งแสดงให้เห็นว่าวงจร LogADC มีความแม่นยำที่ดีในการแปลงสัญญาณ

3.3.4 การจำลองการทำงานของวงจร LogADC ที่เชื่อมต่อกับวงจรอ่านค่าสัญญาณจากอีสเฟต

รูปที่ 3.15 แสดงวงจรรวมทั้งหมดโดยเชื่อมต่อระหว่างวงจร LogADC กับวงจรอ่านค่าสัญญาณจากอีสเฟตที่ได้กล่าวไว้ในบทที่ 2 ซึ่งถูกจำลองการทำงานโดยใช้โปรแกรม Cadence Spectre ด้วยเทคโนโลยี CMOS 0.35 μm และใช้แหล่งจ่ายแรงดันไฟเลี้ยงขนาด 1 V กระแสไบอัสวงจรอ่านค่าสัญญาณอีสเฟต $I_O = 40nA$ และค่าสูงสุดของกระแสเอาท์พุตจากวงจรอ่านค่าสัญญาณอีสเฟตเท่ากับ 100 nA ดังนั้นจึงเลือกใช้กระแสอ้างอิง $I_{REF} = 10$ nA ตัวเก็บประจุ C_{SH1}, C_{SH2} และ C_C มีค่าเท่ากับ 3 pF วงจรใช้สัญญาณนาฬิกาที่ไม่



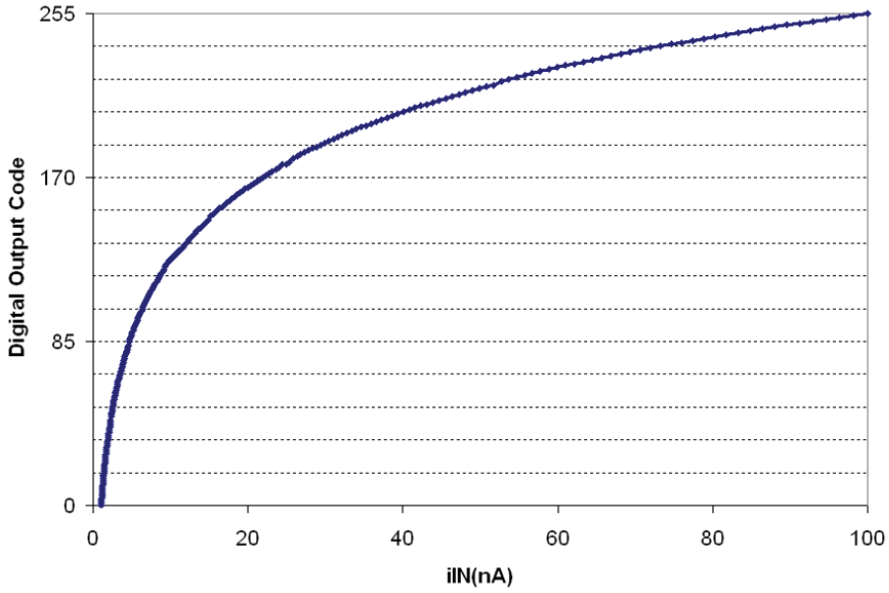
รูปที่ 3.10: กระแสอินพุตที่ผ่านการสุ่มและคงค่าสัญญาณ



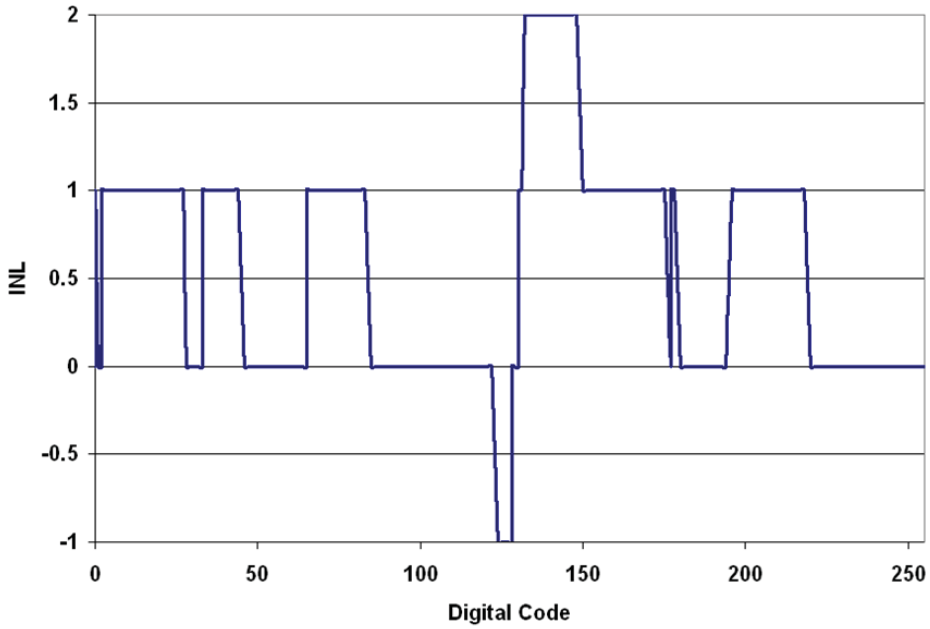
รูปที่ 3.11: สัญญาณดิจิตอลเอาท์พุต 8 บิตของวงจร LogADC

ตารางที่ 3.2: ขนาดของมอสเฟตที่ใช้ในวงจร LogADC

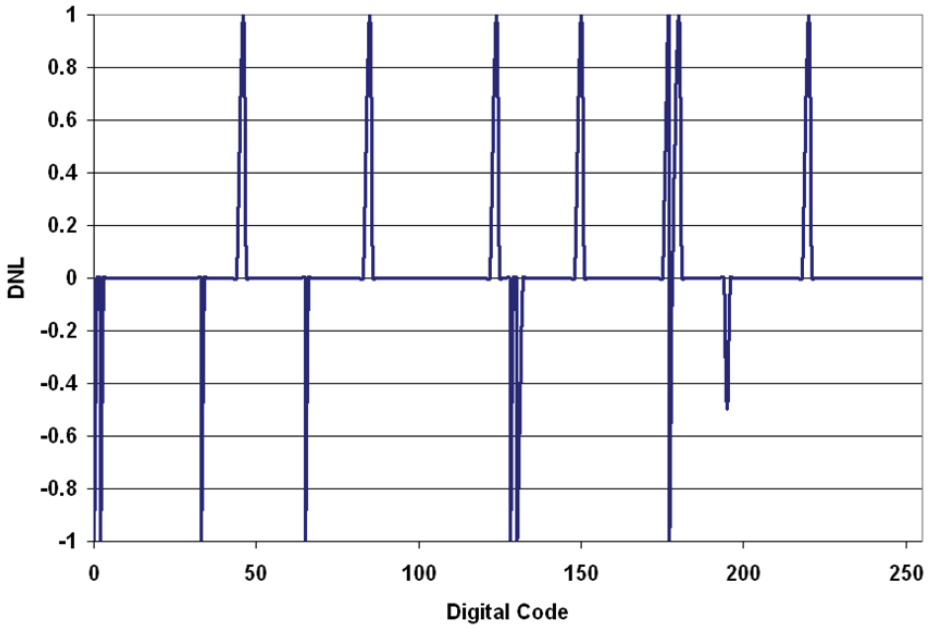
วงจร	มอสเฟต	W (μm)	L (μm)
รูปที่ 3.4	$M_1 - M_N$	100	10
	$M_{S1} - M_{S2}$	5	0.35
	$M_1 - M_2$, $M_{14} - M_{16}$,M_{22}	100	10
	M_3,M_6,M_8	9	5
	M_4,M_5, M_7	25	5
รูปที่ 3.5	M_9	20	10
	M_{10}, M_{12},M_{21}	10	10
	M_{11}, M_{13},M_{S1}	5	0.35
	$M_{17} - M_{20}$	50	10



รูปที่ 3.12: ผลการจำลองคุณลักษณะสัญญาณดิจิตอลเอาท์พุตกับกระแสอินพุต



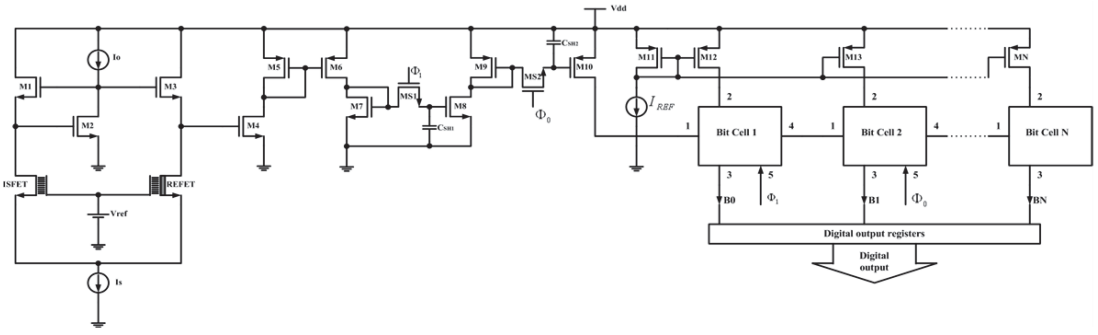
รูปที่ 3.13: ผลจำลองความไม่เป็นเชิงเส้นผลรวม (INL) ของวงจร LogADC 8 บิต



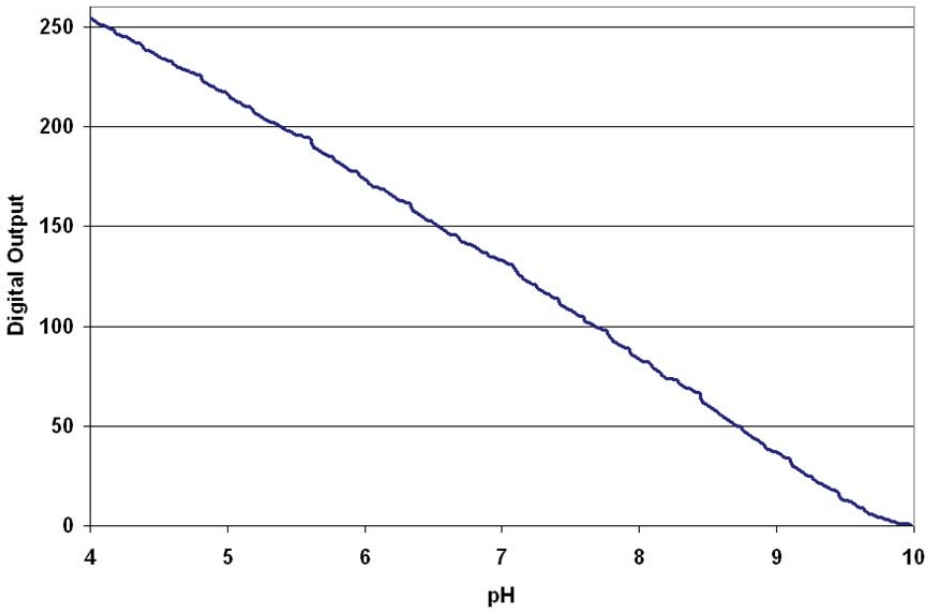
รูปที่ 3.14: ผลจำลองความไม่เป็นเชิงเส้นผลต่าง (DNL) ของวงจร LogADC 8 บิต

ซ้อนทับกัน ϕ_0 และ ϕ_1 ความถี่ 1 kHz

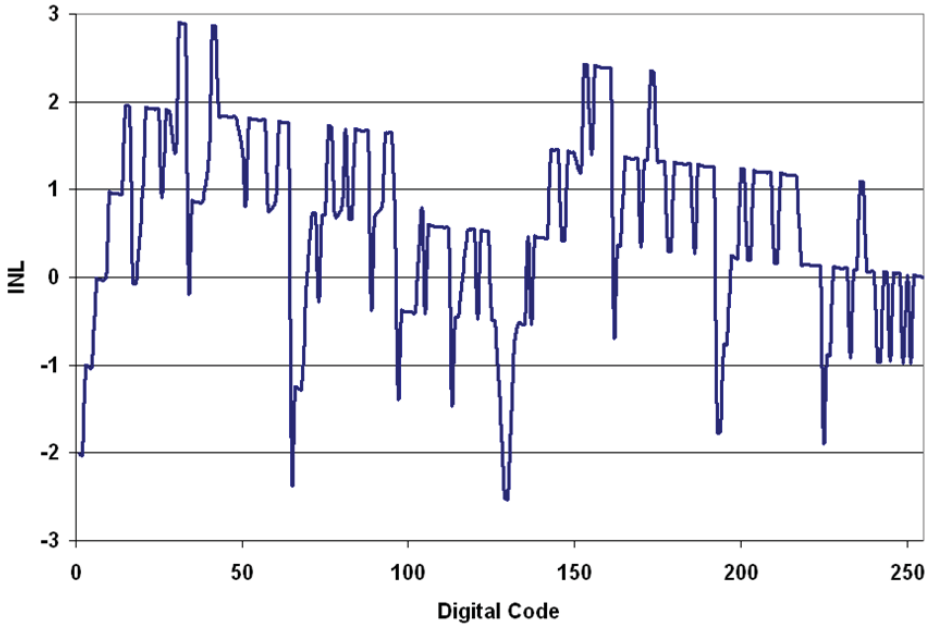
รูปที่ 3.16 แสดงผลจำลองการทำงานของวงจรโดยแสดงค่าสัญญาณดิจิตอลเอาท์พุตกับค่า pH ระหว่าง 4 ถึง 10 ซึ่งแสดงให้เห็นถึงความสัมพันธ์เชิงเส้นระหว่างค่า pH ที่อินพุตและสัญญาณดิจิตอลที่เอาท์พุต รูปที่ 3.17 และ 3.18 แสดงผลจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL) และความไม่เป็นเชิงเส้นผลต่าง (DNL) ของวงจร



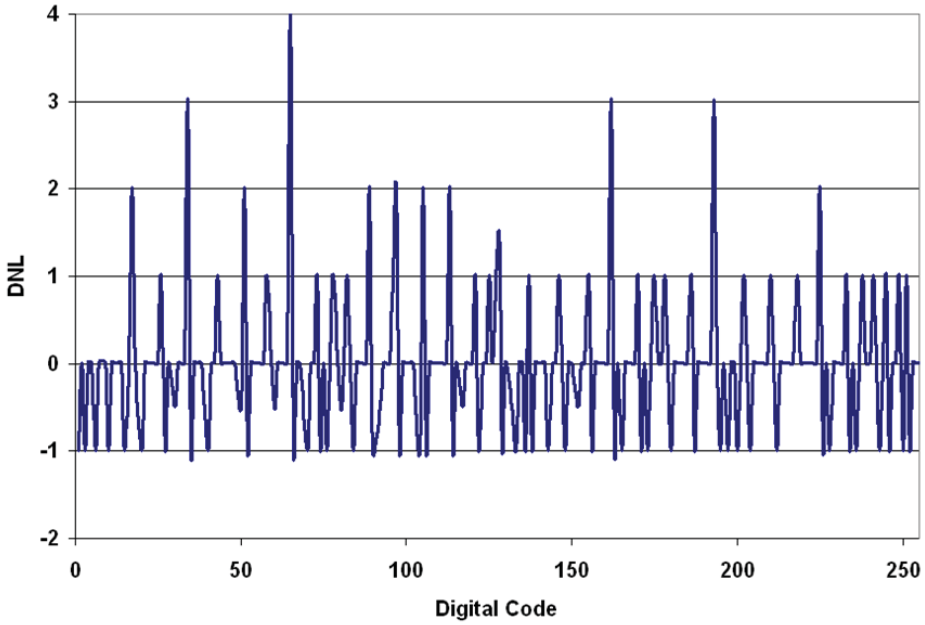
รูปที่ 3.15: การเชื่อมต่อระหว่างวงจร LogADC กับวงจรอ่านค่าสัญญาณจากอีสเฟต



รูปที่ 3.16: ผลจำลองการทำงานสัญญาณดิจิตอลเอาท์พุตกับค่า pH



รูปที่ 3.17: ผลจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL)



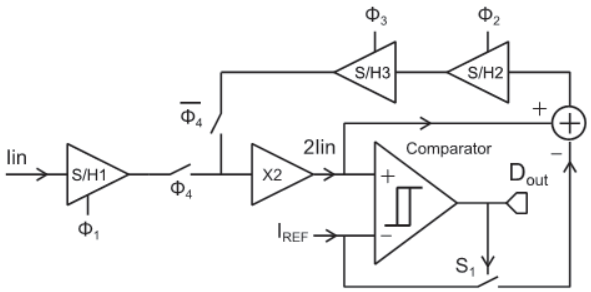
รูปที่ 3.18: ผลจำลองการทำงานความไม่เป็นเชิงเส้นผลต่าง (DNL)

3.4 วงจร LogADC โหมดกระแสแบบอัลกอริทึม (Current-mode Algorithmic Logarithmic ADC)

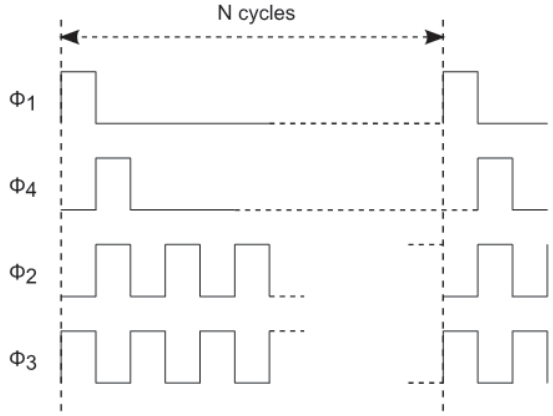
ส่วนนี้จะกล่าวถึงการออกแบบและจำลองการทำงานวงจร LogADC โหมดกระแสแบบอัลกอริทึม (Algorithmic ADC) ซึ่งสามารถลดการใช้กำลังไฟของวงจร LogADC โหมดกระแสที่นำเสนอในหัวข้อที่ 3.3 ได้ โดยใช้เวลาในการแปลงสัญญาณ (Conversion time) เพิ่มขึ้น

3.4.1 โครงสร้างวงจร

วงจร ADC แบบอัลกอริทึมมีโครงสร้างวงจรที่ง่ายต่อการออกแบบและสร้าง ใช้ส่วนประกอบวงจรน้อย ทำให้พื้นที่ชิพน้อยและใช้กำลังงานต่ำและมีความเหมาะสมสำหรับการแปลงสัญญาณอินพุตที่มีความถี่ต่ำ วงจร ADC เชิงเส้นโหมดกระแสแบบอัลกอริทึมได้ถูกนำเสนอเป็นครั้งแรกใน [25] โดยมีโครงสร้างวงจรดังแสดงในรูปที่ 3.19 และสามารถอธิบายการทำงานของวงจรได้ดังนี้ การแปลงสัญญาณจะเริ่มจากเมื่อ ϕ_1 มีค่าลอจิกเป็น “1” วงจรสุ่มและคงค่ากระแส S/H1 (Sample-and-hold: S/H) จะสุ่มค่ากระแสอินพุต และเมื่อ ϕ_1 มีค่าลอจิกเป็น “1” และ ϕ_4 มีค่าลอจิกเป็น “1” ค่ากระแสอินพุตที่สุ่มได้และคงค่าไว้จะถูกส่งต่อให้วงจรคูณสอง (X2) กระแส $2i_{IN}$ จะป้อนเข้าวงจรเปรียบเทียบกระแสเพื่อเปรียบเทียบกับกระแสไฟตรงอ้างอิง I_{REF} โดยถ้า $2i_{IN} < I_{REF}$ สัญญาณดิจิตอลเอาท์พุต (D_{out}) จะมีค่าเป็นลอจิก “0” และสวิทช์ S_1 จะปิดการทำงาน (OFF) และค่ากระแส $2i_{IN}$ จะถูกส่งกลับไปเพื่อทำการแปลงสัญญาณดิจิตอล



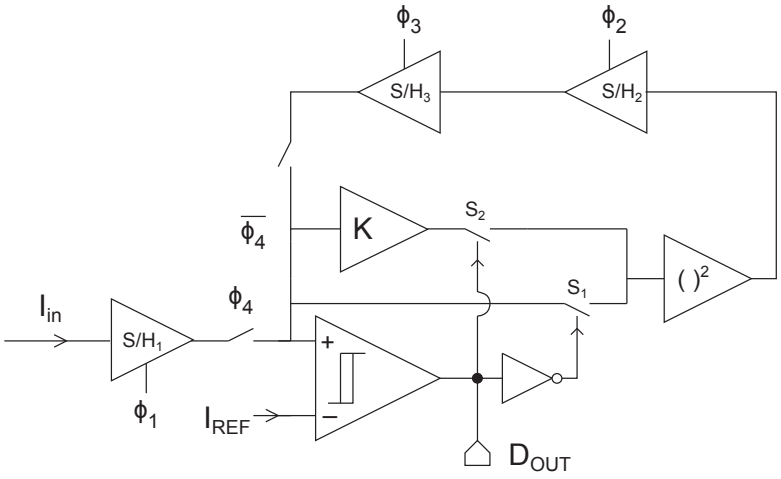
รูปที่ 3.19: โครงสร้างวงจร ADC เชิงเส้นแบบอัลกอริทึมโหมดกระแส



รูปที่ 3.20: สัญญาณนาฬิกาสำหรับควบคุมการทำงานของวงจร ADC เชิงเส้นแบบอัลกอริทึม

เอาท์พุตบิตต่อไป ถ้า $2i_{IN} > I_{REF}$ สัญญาณดิจิตอลเอาท์พุตจะมีค่าเป็นลอจิก “1” และสวิทช์ S_1 จะเปิดการทำงาน (ON) ทำให้กระแส $2i_{IN}$ จะถูกลบด้วย I_{REF} และผลลัพธ์ $(2i_{IN} - I_{REF})$ จะถูกป้อนกลับไปเป็นสัญญาณอินพุตเพื่อเปรียบเทียบและแปลงสัญญาณดิจิตอลเอาท์พุตบิตถัดไป โดยวงจรจะป้อนกลับกระแสเป็นจำนวน (N-1) ครั้งก่อนที่จะมีการสุ่มกระแส i_{IN} ค่าใหม่ โดยที่ N คือจำนวนบิตของสัญญาณดิจิตอลเอาท์พุตของวงจร ADC และการป้อนกลับกระแสจะผ่านวงจร S/H2 และ S/H3 เพื่อหน่วงเวลาวงจรทำงานถูกต้อง และ I_{REF} มีค่าเป็นครึ่งหนึ่งของค่าสูงสุดของกระแสอินพุตที่ต้องการแปลง รูปที่ 3.20 แสดงสัญญาณนาฬิกาที่ควบคุมการทำงานของวงจร ADC

วงจร LogADC แบบอัลกอริทึมมีโครงสร้างการทำงานเหมือนกับวงจร ADC เชิงเส้นแบบอัลกอริทึม แต่มีการประมวลสัญญาณในโดเมนล็อกการิทึม ซึ่งหมายความว่าการลบสัญญาณจะถูกแทนที่ด้วยการหารสัญญาณ (หรือการคูณสัญญาณ) และการคูณสองของสัญญาณจะถูกแทนที่ด้วยการยกกำลังสองของสัญญาณ เช่นเดียวกันกับหลักการของวงจร LogADC แบบไพพ์ไลน์ที่ได้กล่าวไว้ในส่วนที่ 3.3 รูปที่ 3.21 แสดงโครงสร้างวงจร LogADC แบบอัลกอริทึม ซึ่งมีหลักการทำงานดังต่อไปนี้ การแปลงสัญญาณจะเริ่มจากเมื่อ ϕ_1 มีค่าลอจิกเป็น “1” วงจรสุ่มและคงค่ากระแส S/H_1 (Sample-and-hold: S/H) จะสุ่มค่ากระแสอินพุต และเมื่อ ϕ_1 มีค่าลอจิกเป็น “1” และ ϕ_4 มีค่าลอจิกเป็น “1” ค่ากระแสอินพุตที่สุ่มได้และคงค่าไว้จะถูกส่งต่อให้วงจรเปรียบเทียบสัญญาณโหมดกระแสเพื่อเปรียบเทียบกับกระแสไฟตรงอ้างอิง I_{REF}

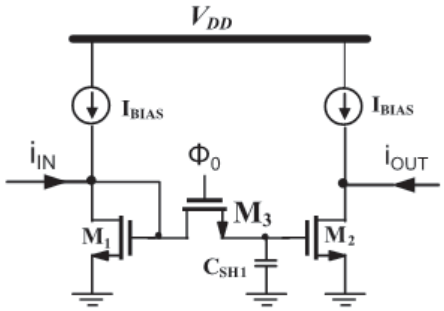


รูปที่ 3.21: โครงสร้างวงจร LogADC แบบอัลกอริทึม

โดยในกรณีที่ $i_{IN} < I_{REF}$ สัญญาณดิจิตอลเอาท์พุต (D_{out}) จะมีค่าเป็นลอจิก “0” ควบคุมให้สวิทช์ S_1 จะเปิดการทำงาน (ON) และสวิทช์ S_2 จะปิดการทำงาน (OFF) และกระแสอินพุตจะถูกส่งต่อไปยังวงจรยกกำลังสองและกระแส i_{IN}^2 จะถูกป้อนกลับไปเพื่อทำการแปลงสัญญาณดิจิตอลเอาท์พุตบิตต่อไป ในกรณีที่ $i_{IN} > I_{REF}$ สัญญาณดิจิตอลเอาท์พุตจะมีค่าเป็นลอจิก “1” ควบคุมให้สวิทช์ S_1 จะปิดการทำงาน (OFF) และสวิทช์ S_2 จะเปิดการทำงาน (ON) ทำให้กระแส i_{IN} จะคูณด้วยค่าคงที่ K ซึ่งเท่ากับ $1/I_{REF}$ และผลลัพธ์ i_{IN}/I_{REF} จะถูกส่งต่อไปยังวงจรยกกำลังสองซึ่งกระแสเอาท์พุตที่ได้จะถูกป้อนกลับไปเพื่อทำการแปลงสัญญาณดิจิตอลเอาท์พุตบิตต่อไป โดยวงจรจะป้อนกลับกระแสเป็นจำนวน (N-1) ครั้งก่อนที่จะมีการสุ่มกระแส i_{IN} ค่าใหม่ โดยที่ N คือจำนวนบิตของสัญญาณดิจิตอลเอาท์พุตของวงจร ADC และการป้อนกลับกระแสจะผ่านวงจร S/H_2 และ S/H_3 เพื่อหน่วงเวลาให้วงจรทำงานถูกต้อง และ I_{REF} คือค่ากระแสอินพุตที่ให้ค่าสัญญาณดิจิตอลเอาท์พุตเท่ากับ 2^{N-1}

3.4.2 การออกแบบวงจร LogADC โหมดกระแสแบบอัลกอริทึม

วงจร LogADC โหมดกระแสแบบอัลกอริทึม ประกอบด้วยวงจรสุ่มและคงค่าสัญญาณ (Sampling and hold: S/H) วงจรคูณสัญญาณกระแสซึ่งสร้างโดยวงจรสะท้อนกระแส (Current mirror) วงจรเปรียบเทียบสัญญาณ (Comparator) และวงจรยกกำลังสอง ความแม่นยำในการแปลงสัญญาณของวงจร ADC จะขึ้นอยู่กับความแม่นยำของการสุ่มและคงค่าสัญญาณ การสะท้อนและการเปรียบเทียบกระแส ซึ่งจะได้กล่าวถึงสิ่งที่ต้องคำนึงถึงในการออกแบบวงจรต่างๆนี้ให้มีความแม่นยำสูง



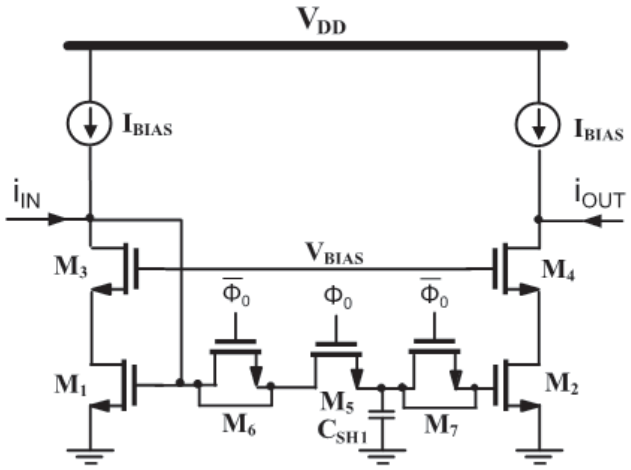
รูปที่ 3.22: วงจรสุ่มและคงค่ากระแสพื้นฐาน

3.4.2.1 วงจรสุ่มและคงค่าสัญญาณ (Sample-and-hold)

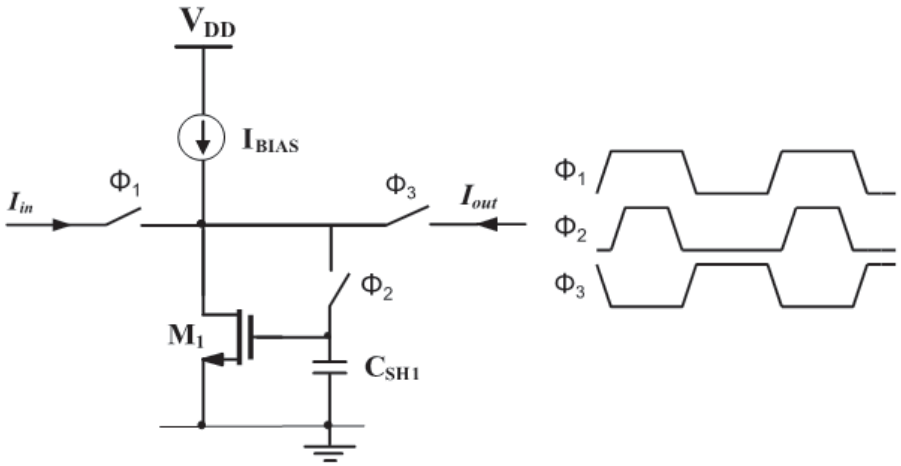
รูปที่ 3.22 แสดงวงจรสุ่มและคงค่ากระแสพื้นฐานที่ใช้วงจรสะท้อนกระแส (M_1 และ M_2) สวิทช์ (S_1) และตัวเก็บประจุ (C_{SH1}) โดยวงจรจะสุ่มค่ากระแสอินพุตเมื่อ M_3 ทำงานเป็นสวิทช์ปิด (Closed) หรือเมื่อแรงดันขาเกตของ M_3 เท่ากับ V_{DD} หรือ ϕ_0 มีค่าลอจิก '1' และวงจรทำการคงค่ากระแสที่สุ่มได้ที่เอาท์พุตเมื่อ M_3 ทำงานเป็นสวิทช์เปิด (Open) หรือเมื่อแรงดันขาเกตของ M_3 เท่ากับ 0 V หรือ ϕ_0 มีค่าลอจิก '0' ซึ่งวงจรจะมีความแม่นยำของการสุ่มและคงค่ากระแสสูง จะต้องมีความต้านทานอินพุตต่ำ ความต้านทานเอาท์พุตสูง และความผิดพลาดจากการอัดฉีดประจุต่ำ (Small charge-injection error) โดยทั่วไปวงจรในรูปที่ 3.22 มีค่าความผิดพลาดของการสุ่มและคงค่ากระแสที่สูงเกินไปที่จะนำมาใช้งานในวงจร ADC ที่ต้องการความละเอียดสูง

เราสามารถลดความต้านทานอินพุตและเพิ่มความต้านทานเอาท์พุตของวงจรสุ่มและคงค่ากระแสได้โดยใช้เทคนิคการป้อนกลับแบบลบหรือเทคนิคคาสโคด และเราสามารถลดความผิดพลาดจากการอัดฉีดประจุได้โดยใช้โครงสร้างวงจรแบบสัญญาณผลต่าง หรือใช้สวิทช์หลอก (Dummy switch) [26] รูปที่ 3.23 แสดงวงจรสุ่มและคงค่ากระแสที่ใช้วงจรสะท้อนกระแสคาสโคดแบบแกว่งสัญญาณกว้าง (Wide swing cascode current mirror) ทำให้วงจรมีความต้านทานเอาท์พุตสูงขึ้น โดยที่ M_3 และ M_4 เป็นทรานซิสเตอร์คาสโคดเพื่อเพิ่มความต้านทานเอาท์พุตของวงจร และวงจรยังใช้เทคนิคสวิทช์หลอกเพื่อลดความผิดพลาดที่เกิดจากการอัดฉีดประจุ โดยมี M_5 ทำหน้าที่เป็นสวิทช์ที่ควบคุมด้วยสัญญาณ ϕ_0 และมี M_6 และ M_7 ทำหน้าที่เป็นสวิทช์หลอกที่ควบคุมด้วยสัญญาณ ($\overline{\phi_0}$) และมีขนาด (W/L) เป็นครึ่งหนึ่งของ M_5

วงจรสุ่มและคงค่ากระแสในรูปที่ 3.22 และ 3.23 ใช้วงจรสะท้อนกระแสซึ่งใช้มอสเฟตที่สุ่มกระแสอินพุต (M_1) และคงค่ากระแสเอาท์พุต (M_2) เป็นคนละตัวกัน วงจรจึงต้องมีความสมพงศ์ของมอสเฟตสูงเพื่อให้ค่าความผิดพลาดของกระแสน้อยที่สุด ซึ่งต้องคำนึงถึงความสมพงศ์ของมอสเฟต ดังนั้นวงจรสุ่มและคงค่ากระแสที่ใช้มอสเฟตตัวเดียวกันในการสุ่มและคงค่ากระแสจึงมีความแม่นยำสูงกว่า เนื่องจากไม่มีข้อผิดพลาดที่เกิดจากความไม่สมพงศ์ของมอสเฟต วงจรสุ่มและคงค่ากระแสประเภทนี้ใช้โครงสร้างของวงจร



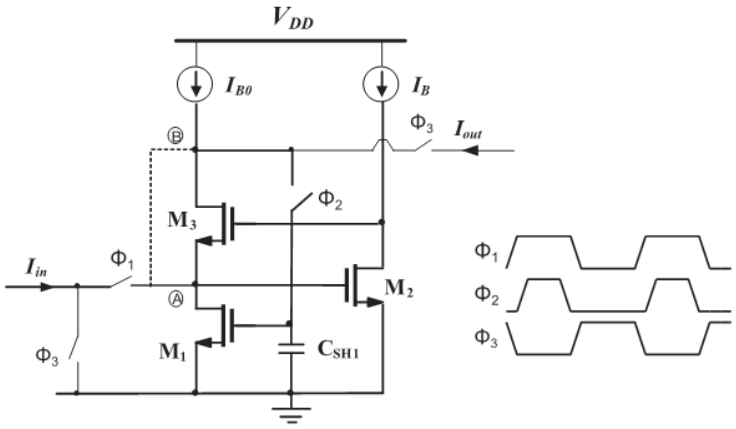
รูปที่ 3.23: วงจรสุ่มและคงค่ากระแสคาสโคดแบบแกว่งสัญญาณกว้าง



รูปที่ 3.24: วงจรสุ่มและคงค่ากระแสโดยใช้วงจรหน่วยความจำสุ่มกระแส

หน่วยความจำสุ่มกระแส (Switched-current memory cell) ดังในรูปที่ 3.24 โดยวงจรจะสุ่มกระแสอินพุตเมื่อ ϕ_1 และ ϕ_2 มีค่าลอจิก ‘1’ ทำให้ขาเกตและเดรนของ M_1 ต่อเข้าด้วยกัน และตัวเก็บประจุ C_{SH1} จะถูกอัดประจุด้วยกระแส $I_{in} + I_{BIAS}$ จากนั้น ϕ_1 และ ϕ_2 จะมีค่าลอจิก ‘0’ และ ϕ_3 มีค่าลอจิก ‘1’ ตัวเก็บประจุ C_{SH1} ซึ่งคงค่าประจุไว้จะทำให้ M_1 จ่ายกระแสเอาท์พุตมีค่าเท่ากับ I_{in} วงจรนี้จะมีความแม่นยำของการสุ่มและคงค่ากระแสสูง จะต้องมีความต้านทานอินพุตต่ำ ความต้านทานเอาท์พุตสูง และความผิดพลาดจากการอัดฉีดประจุต่ำเช่นกัน

รูปที่ 3.25 แสดงวงจรสุ่มและคงค่าสัญญาณที่ใช้โครงสร้างของวงจรสวิทช์ความจำกระแสคาสโคดแบบคงค่า (Regulated cascode switched-current memory cell) [27] โดยวงจรมีหลักการทำงานเหมือนกับวงจรในรูปที่ 3.24 แต่ใช้โครงสร้างคาสโคดแบบคงค่าทำให้ความต้านทานเอาท์พุตของวงจรสูง ซึ่งทำให้

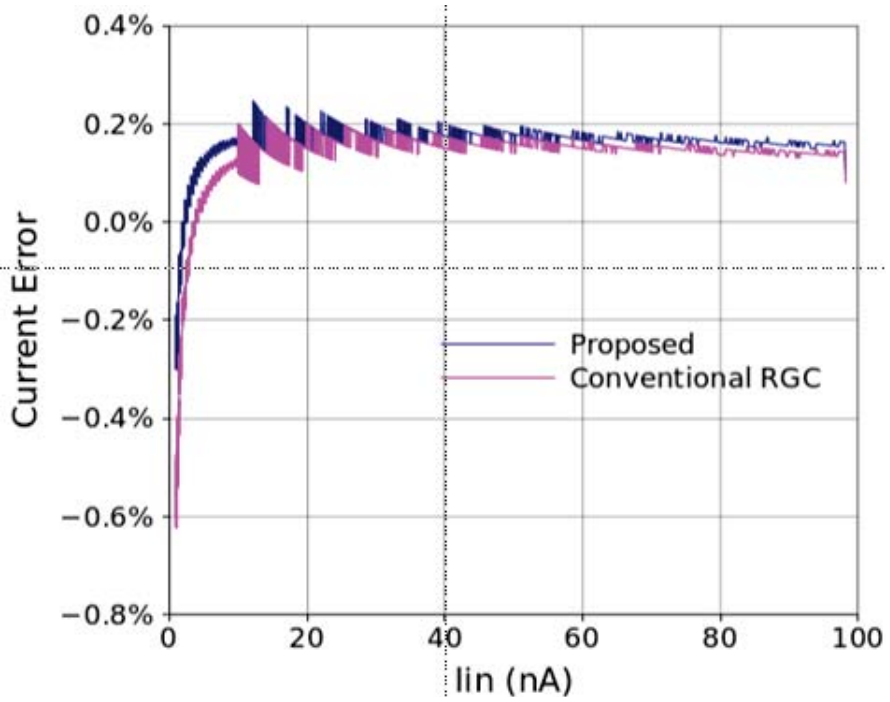


รูปที่ 3.25: วงจรสุ่มและคงค่าสัญญาณที่ใช้วงจรสวิทช์ความจำกระแสคาสโคดแบบคงค่า

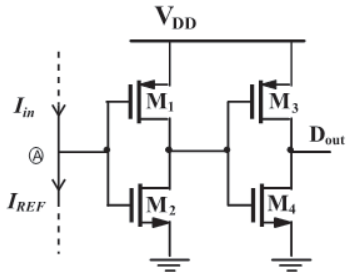
ความแม่นยำของการสุ่มและคงค่ากระแสสูงขึ้น โดยวงจรสุ่มและคงค่าสัญญาณใน [27] มีการป้อนกระแสอินพุตที่จุด B แต่ในงานวิจัยนี้เรานำเสนอการป้อนกระแสอินพุตที่จุด A ซึ่งจะให้ความแม่นยำในการสุ่มและคงค่ากระแสสูงกว่าการป้อนที่จุด B เนื่องจากจุด A มีความต้านทานอินพุตต่ำกว่าที่จุด B โดยผลการจำลองค่าความผิดพลาดการสุ่มและคงค่ากระแสในรูปที่ 3.26 เปรียบเทียบในกรณีที่ป้อนกระแสอินพุตที่จุด A และ B สำหรับช่วงกระแสอินพุต 0 – 100 nA ซึ่งแสดงให้เห็นว่าการป้อนกระแสอินพุตที่จุด A ให้ค่าความผิดพลาดกระแสสูงสุดน้อยกว่า 0.3 % ของค่ากระแสอินพุต ซึ่งน้อยกว่ากรณีที่ป้อนกระแสอินพุตที่จุด B ซึ่งมีค่าความผิดพลาดกระแสสูงสุดประมาณ 0.6 % ของค่ากระแสอินพุต ซึ่งทำให้วงจรสุ่มและคงค่าสัญญาณในรูปที่ 3.25 ในกรณีที่ป้อนกระแสอินพุตที่จุด A นั้นมีศักยภาพเหมาะสมในการใช้งานสำหรับวงจร ADC ที่มีความละเอียด 8-10 บิต

3.4.2.2 วงจรเปรียบเทียบสัญญาณโหมดกระแส

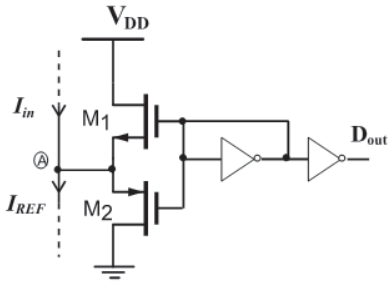
รูปที่ 3.27 แสดงวงจรเปรียบเทียบกระแสแบบพื้นฐานที่ใช้วงจรซีมอสอินเวอร์เตอร์ [25] โดยถ้า $I_{in} > I_{REF}$ จุด A จะมีแรงดันสูงขึ้นและถูกขยายด้วยวงจรซีมอสอินเวอร์เตอร์ ทำให้แรงดันเอาท์พุตของวงจรเท่ากับ V_{DD} หรือลอจิก ‘1’ ถ้า $I_{in} < I_{REF}$ จุด A จะมีแรงดันต่ำลงและถูกขยายด้วยวงจรซีมอสอินเวอร์เตอร์ ทำให้แรงดันเอาท์พุตของวงจรเท่ากับ V_{DD} หรือลอจิก ‘0’ วงจรมีข้อจำกัดเรื่องความละเอียดของการเปรียบเทียบกระแส ซึ่งทำให้ได้ค่าแรงดันเอาท์พุตที่ผิดพลาดได้หาก I_{in} มีค่าใกล้เคียงกับ I_{REF} โดยเราสามารถปรับปรุงค่าความละเอียดในการเปรียบเทียบกระแสได้โดยใช้โครงสร้างแบบสวิทช์กระแสป้อนกลับ [28] ดังแสดงในรูปที่ 3.28 ซึ่งมีค่าความละเอียดในการเปรียบเทียบกระแสในระดับ 1 pA



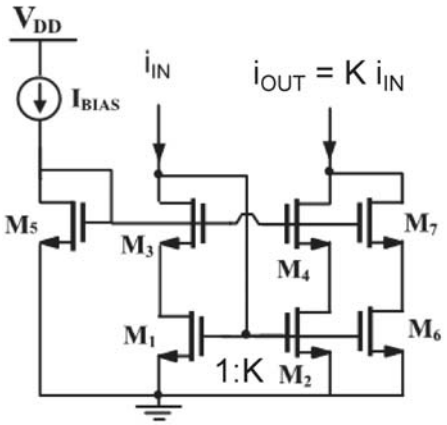
รูปที่ 3.26: ผลจำลองค่าความผิดพลาดการสุ่มและคงค่ากระแสของวงจร



รูปที่ 3.27: วงจรเปรียบเทียบกระแสแบบพื้นฐานที่ใช้วงจรซีมอสอินเวอร์เตอร์



รูปที่ 3.28: วงจรเปรียบเทียบกระแสที่ใช้โครงสร้างแบบสวิทช์กระแสป้อนกลับ



รูปที่ 3.29: วงจรคูณสัญญาณกระแสและวงจรสะท้อนกระแสคาสโคดแบบแกว่งสัญญาณกว้าง

3.4.2.3 วงจรคูณสัญญาณและวงจรสะท้อนกระแส

วงจรคูณสัญญาณกระแสและวงจรสะท้อนกระแสที่เหมาะสมในการใช้งานสำหรับวงจร ADC ต้องมีความสมพงษ์ของการสะท้อนกระแสที่สูงมาก ซึ่งต้องมีความต้านทานเอาท์พุตสูงและมีคุณลักษณะความสมพงษ์ของทรานซิสเตอร์ที่ดีมาก ดังนั้นเราจึงต้องใช้ขนาดความยาวและความกว้างช่องทางของมอสเฟตที่มากกว่าค่าต่ำสุดของเทคโนโลยี เพื่อให้ได้ความสมพงษ์ของมอสเฟตที่ดี และใช้เทคนิคคาสโคดเพื่อเพิ่มความต้านทานเอาท์พุตของวงจร รูปที่ 3.29 แสดงวงจรคูณสัญญาณกระแสและวงจรสะท้อนกระแสคาสโคดแบบแกว่งสัญญาณกว้าง (Wide-swing cascade current mirror) ที่ใช้ในวงจร ADC

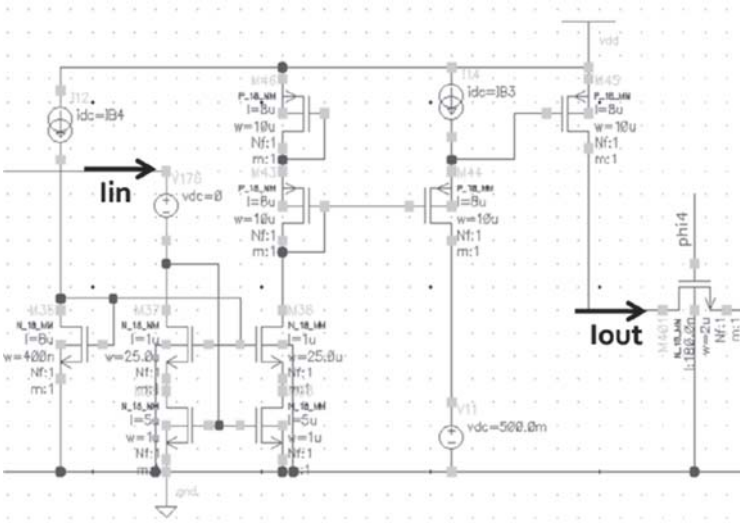
3.4.2.4 วงจรยกกำลังสองสัญญาณกระแส

รูปที่ 3.30 แสดงวงจรยกกำลังสองสัญญาณกระแส ซึ่งทรานซิสเตอร์ทุกตัวถูกไบอัสให้ทำงานในย่านผันกลับอย่างอ่อน (Weak inversion) และกระแสอินพุต (I_{in}) ป้อนผ่านวงจรสะท้อนกระแสคาสโคดแบบแกว่งสัญญาณกว้าง ($M_{35} - M_{39}$) เข้าสู่วงจรยกกำลังสองสัญญาณกระแสที่สร้างโดย ($M_{43} - M_{46}$) ซึ่งเราสามารถหลักการทรานส์ลิเนียร์ [23] แสดงได้ว่ากระแสเอาท์พุต (I_{out}) มีค่าดังสมการที่ 3.5 โดยที่ I_{B3} คือกระแสไฟตรงที่ไบอัส M_{44} ซึ่งในงานวิจัยนี้มีค่าเท่ากับ 10 nA

$$I_{out} = \frac{I_{in}^2}{I_{B3}} \tag{3.5}$$

3.4.3 ผลจำลองการทำงาน

วงจร LogADC โหมดกระแสแบบอัลกอริทึมถูกออกแบบและจำลองการทำงานโดยใช้โปรแกรม Cadence และพารามิเตอร์จากเทคโนโลยีซีมอสขนาด 0.18 ไมโครเมตร วงจรทำงานกับแหล่งจ่ายไฟเลี้ยง 1.8 V ใช้



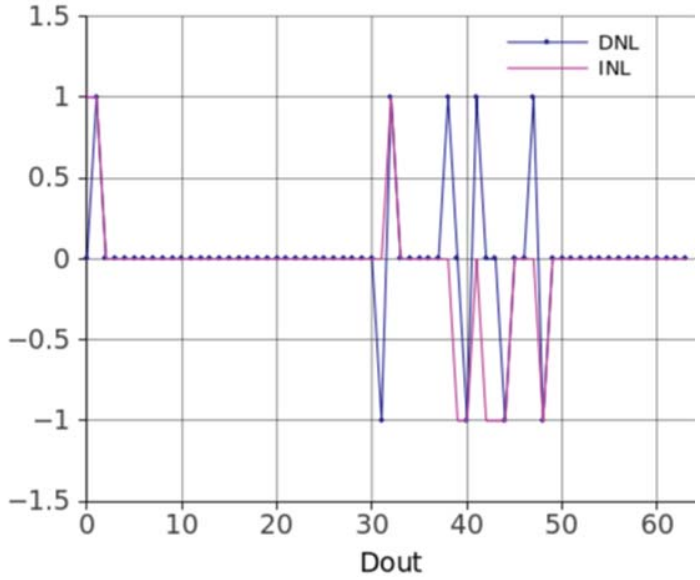
รูปที่ 3.30: วงจรยกกำลังสองสัญญาณกระแส

สัญญาณนาฬิกาในการแปลงข้อมูล 1 KHz และใช้กำลังงานไฟตรง 180 nW วงจร S/H ใช้ตัวเก็บประจุ C_{SH} เท่ากับ 5 pF ในการคงค่ากระแส รูปที่ 3.31 และ 3.32 แสดงผลการจำลองความไม่เป็นเชิงเส้นแบบรวม (Integral non-linearity: INL) และแบบผลต่าง (Differential non-linearity: DNL) ของวงจร LogADC แบบอัลกอริทึมในกรณีการทำงานแบบ 6 บิตและ 8 บิตตามลำดับ เมื่อป้อนกระแสอินพุตที่เพิ่มขึ้นจาก 0 – 100 nA ภายในเวลา 2.048 วินาที โดยใช้อัตราการแปลงข้อมูล 1 KHz ซึ่งแสดงให้เห็นว่าในกรณีการทำงานแบบ 6 บิตนั้น วงจรมีความเป็นเชิงเส้นที่ดีมากโดยมีค่า INL และ DNL ไม่เกิน ± 1 LSB ขณะที่ในกรณีการทำงานแบบ 8 บิต วงจรมีความเป็นเชิงเส้นที่พอใช้โดยมีค่า DNL สูงสุดไม่เกิน 3 LSB และมีค่า INL สูงสุดไม่เกิน 6 LSB ซึ่งเราสามารถเพิ่มกำลังงานของวงจรได้อีกเพื่อลดค่า INL และ DNL ของวงจร

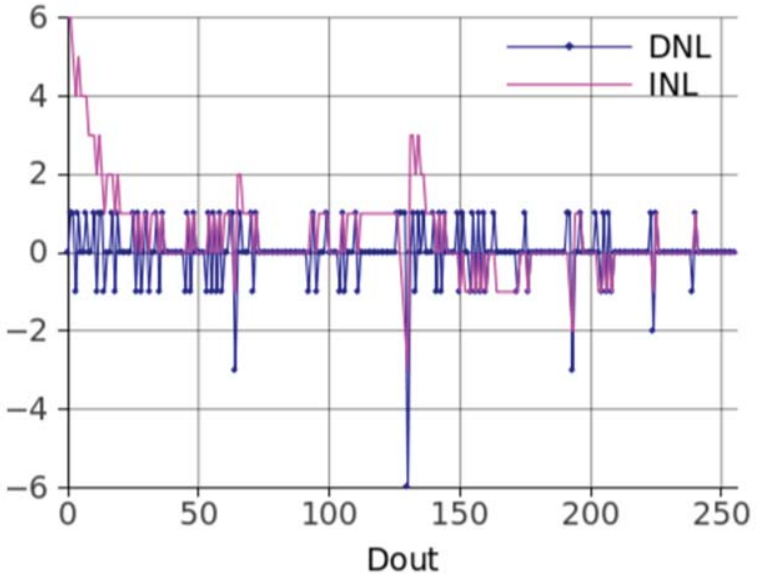
รูปที่ 3.33 แสดงผลจำลองการทำงานของวงจร LogADC แบบอัลกอริทึมในกรณีการทำงาน 8 บิต เมื่อป้อนกระแสอินพุตแบบสัญญาณซายน์ที่ขนาด 15 nA และความถี่ 10 Hz โดยนำสัญญาณดิจิตอลเอาท์พุตที่ได้มาแปลงกลับเป็นสัญญาณกระแส (I_{in_calc}) จะเห็นได้ว่าวงจร LogADC สามารถทำงานได้อย่างถูกต้องและมีความเป็นเชิงเส้นที่ดี รูปที่ 3.34 แสดงสเปคตรัมของ I_{in_calc} ที่ได้จากการแปลงฟูริเยร์ ซึ่งแสดงให้เห็นว่าสัญญาณที่ได้จากการแปลงของวงจรมีความผิดเพี้ยนต่ำกว่า -40 dB (หรือ 100 เท่า)

3.5 สรุป

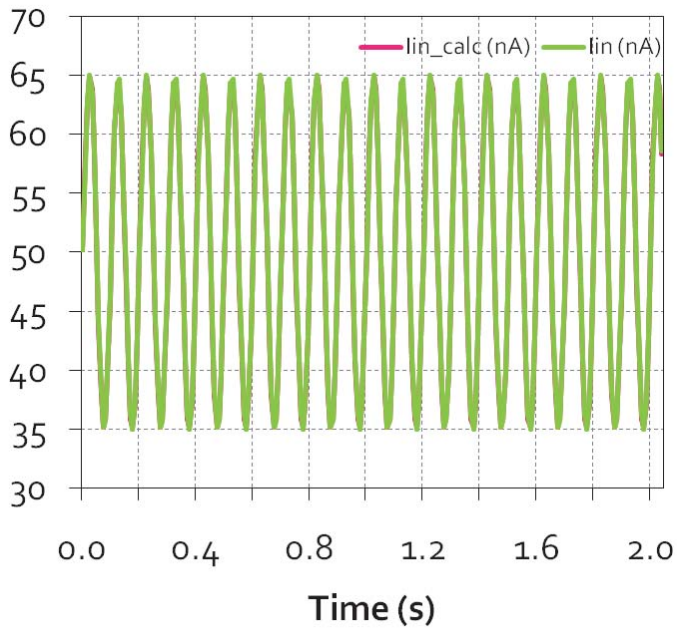
บทนี้ได้อธิบายการออกแบบและผลจำลองการทำงานของวงจร LogADC ในโหมดกระแสที่ใช้โครงสร้างแบบไพพ์ไลน์และแบบอัลกอริทึม เพื่อใช้แปลงค่าสัญญาณกระแสจากวงจรอ่านค่าสัญญาณอีสเฟตให้เป็นสัญญาณดิจิตอลที่มีความละเอียด 8 บิต โดยใช้เทคนิคการทำงานในย่านผันกลับอย่างอ่อนของมอสเฟต



รูปที่ 3.31: ผลจำลองความไม่เป็นเชิงเส้น INL และ DNL ของวงจร LogADC แบบอัลกอริทึมในการทำงานแบบ 6 บิต

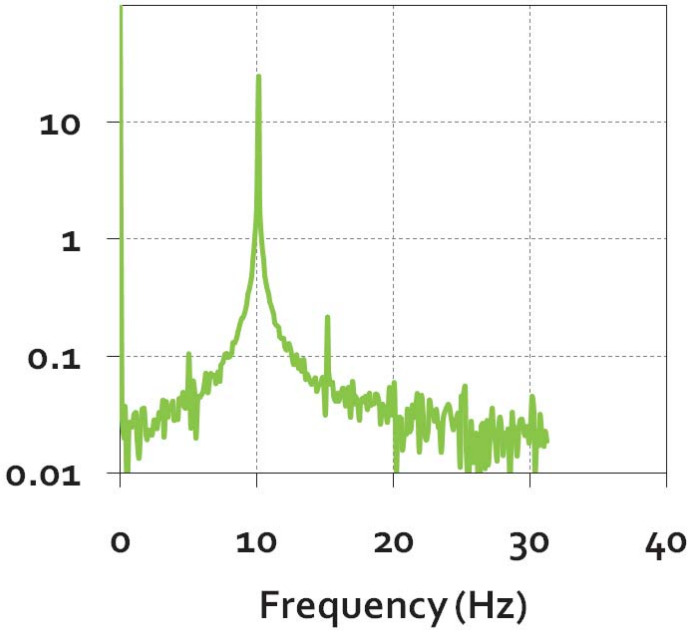


รูปที่ 3.32: ผลจำลองความไม่เป็นเชิงเส้น INL และ DNL ของวงจร LogADC แบบอัลกอริทึมในการทำงานแบบ 8 บิต



รูปที่ 3.33: กระแสที่ได้จากการแปลงสัญญาณดิจิตอลเอาท์พุต (I_{in_calc}) ของวงจร LogADC เทียบกับกระแสอินพุต (I_{in})

หลักการทรานส์ลิเนียร์ ผลการจำลองการทำงานวงจรด้วยเทคโนโลยีซีมอสขนาด 0.18 μm แสดงให้เห็นว่าวงจรสามารถทำงานได้ดีที่แรงดันไฟเลี้ยงต่ำและใช้กำลังไฟต่ำเหมาะสมสำหรับการประยุกต์ใช้งานด้านชีวการแพทย์



รูปที่ 3.34: สเปคตรัมของ I_{in_calc}ที่ได้จากการแปลงฟูริเยร์

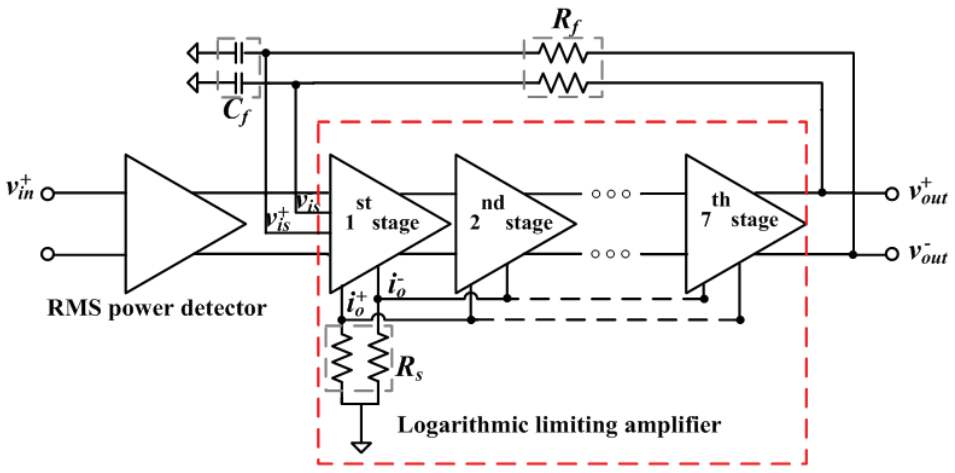
บทที่ 4

วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ (RF power detector)

4.1 บทนำ

การตรวจวัดกำลังงานสัญญาณคลื่นความวิทยุมีความสำคัญและจำเป็นมากในการประยุกต์ใช้งานหลายๆ เรื่อง ตั้งแต่ในระบบการสื่อสารไร้สาย [29], [30] ไปจนถึงการวัดและทดสอบวงจรรวม [31], [32] ในระบบการสื่อสารไร้สาย วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุจะใช้ในลูปควบคุมเพื่อปรับการใช้กำลังงานให้เหมาะสม เพิ่มความเป็นเชิงเส้นของวงจรขยายกำลัง หรือควบคุมอัตราขยายของส่วนภาครับและส่งสัญญาณ ระดับกำลังงานของสัญญาณคลื่นความถี่วิทยุสามารถคำนวณได้โดยการใช้ค่าสูงสุด (peak) หรือค่ารากของกำลังสองเฉลี่ย (root mean square: rms) การตรวจวัดค่าสูงสุดเหมาะกับสัญญาณที่มีขนาดคงที่หรือสัญญาณมอดูเลตที่มีอัตราค่าสูงสุดต่อค่าเฉลี่ยต่ำ และการตรวจวัดค่า rms เหมาะสมสำหรับสัญญาณมอดูเลตที่มีอัตราค่าสูงสุดต่อค่าเฉลี่ยที่สูงเพื่อให้ได้ความแม่นยำที่สูงขึ้น การตรวจวัดค่า rms ของสัญญาณนั้นสามารถทำได้หลายวิธี เช่น การใช้อุปกรณ์ไฟฟ้าอุณหะ (Thermoelectric) [33] การใช้ความไม่เชิงเส้นของไดโอด [34] หรือทรานซิสเตอร์รอยต่อไบโพลาร์ [35] หรือ มอสเฟต [29], [36], [37] หรือการใช้วงจรคำนวณโหมดกระแส [31], [38], [39] การตรวจวัดโดยใช้หลักการไฟฟ้าอุณหะเหมาะสมกับการใช้ในอุปกรณ์เครื่องมือวัดเนื่องจากมีแบนด์วิดท์การทำงานที่กว้างและความแม่นยำสูง อย่างไรก็ตามการสร้างเซนเซอร์ไฟฟ้าอุณหะในเทคโนโลยีซีมอสนั้นต้องใช้กระบวนการสร้างเพิ่มเติมซึ่งซับซ้อนและมีต้นทุนสูง [33] วงจรตรวจวัดกำลังงานที่ใช้ไดโอด อาศัยความไม่เป็นเชิงเส้นของไดโอดในการเรียงกระแสสัญญาณอินพุตและสร้างแรงดันไฟตรงเอาท์พุตที่มีขนาดแปรผันกับขนาดสัญญาณอินพุต โดยที่ชอตต์กี้ไดโอด [34] และทรานซิสเตอร์รอยต่อไบโพลาร์ [35] สามารถนำมาใช้ในการสร้างวงจรตรวจวัดกำลังงานของสัญญาณคลื่นความถี่วิทยุ อย่างไรก็ตามที่ชอตต์กี้ไดโอดและทรานซิสเตอร์รอยต่อไบโพลาร์ไม่เหมาะสมในการสร้าง

ในเทคโนโลยีซีมอสแบบทั่วไปได้ จึงไม่เหมาะสมกับการสร้างที่ต้องการต้นทุนต่ำ วงจรตรวจวัดค่า rms สามารถสร้างได้โดยใช้วงจรคำนวณโหมดกระแส เช่นวงจรยกกำลังสอง วงจรหาร และวงจรกรองสัญญาณ โดยวงจรเหล่านี้สามารถสร้างได้โดยใช้วงจรทรานส์คอนดักเตอร์ [31], [38] หรือวงจรทรานส์ลิเนียร์ [39] วงจรตรวจวัดกำลังงานที่ใช้หลักการทรานส์ลิเนียร์อาศัยคุณสมบัติเอกซ์โพเนนเชียลของทรานซิสเตอร์รอยต่อไบโพลาร์ หรือมอสเฟตในย่านต่ำกว่าขีดเริ่มเปลี่ยน (Subthreshold) เพื่อสร้างฟังก์ชั่นคณิตศาสตร์สำหรับการแปลงค่า rms [39] วงจรตรวจวัดกำลังงานสำหรับสัญญาณคลื่นความถี่วิทยุ มีการนำเสนอไว้ใน [39] แต่ยังมีแบนด์วิดท์การทำงานที่ค่อนข้างจำกัดเมื่อเปรียบเทียบกับวิธีการตรวจวัดกำลังงานวิธีอื่น วงจรตรวจวัดกำลังงานยังสามารถสร้างได้โดยอาศัยคุณสมบัติความไม่เป็นเชิงเส้นของมอสเฟต [29], [36], [37] โดยใช้ความไม่เป็นเชิงเส้นของความต้านทานช่องของมอสเฟตที่ทำงานในย่านไตรโอดลึก [37] สร้างกระแสไฟตรงที่มีขนาดแปรผันกับขนาดของแรงดันอินพุตที่ขาเดรนของมอสเฟต อย่างไรก็ตามเทคนิคที่นำเสนอใน [37] ต้องอาศัยโพรงเรโซแนนท์ในการสร้างการเปลี่ยนแปลงแรงดันขาเดรน จึงไม่เหมาะสมในการสร้างในเทคโนโลยีวงจรรวม เราสามารถหลีกเลี่ยงการใช้โพรงเรโซแนนท์โดยป้อนสัญญาณอินพุตความถี่วิทยุที่ขาเดรนของมอสเฟตในย่านไตรโอดได้โดยตรง และใช้วงจรขยายทรานส์อิมพีแดนซ์ในการแปลงกระแสเอาท์พุตเป็นแรงดันดังที่นำเสนอใน [30] ซึ่งมีพิสัยพลวัตอินพุต 20 dB และมีแบนด์วิดท์ 3.1 GHz ถึง 10.6 GHz และใช้กำลังงาน 10.8 mW จากแหล่งจ่ายไฟเลี้ยง 1.8 V วงจรตรวจวัดกำลังงาน rms ยังสามารถสร้างได้โดยอาศัยคุณสมบัติกำลังสองของมอสเฟตที่ทำงานในย่านอิ่มตัว [29] โดยหลักการพื้นฐานได้ถูกนำเสนอเป็นครั้งแรกใน [36] อาศัยกระแสเอาท์พุตผลต่างของวงจรขยายสัญญาณผลต่างมอสเฟตที่มีค่าแปรผันกับค่ากำลังสองของแรงดันอินพุตที่ขาเกต ผลการทดลองของวงจรใน [29] มีแบนด์วิดท์การทำงานกว้างมาก แต่มีพิสัยพลวัตขาเข้า 20 dB และกำลังงานอินพุตต่ำสุดที่ตรวจวัดได้ -35 dBm ซึ่งถูกจำกัดโดยการใช้มอสเฟตในย่านต่ำกว่าขีดเริ่มเปลี่ยนในการสร้างกระแสเอาท์พุตเอกซ์โพเนนเชียล ซึ่งมีช่วงการทำงานถูกต้องประมาณ 2-3 กำลังของสิบ ทำให้จำกัดพิสัยพลวัตของวงจรตรวจวัด งานวิจัยนี้ปรับปรุงวงจรตรวจวัดกำลังงาน rms ที่นำเสนอใน [29] ให้มีอัตราขยายเปลี่ยนแปลงและพิสัยพลวัตสูงขึ้นโดยเพิ่มความต้านทานเอาท์พุตของวงจรในการเพิ่มอัตราขยายเปลี่ยนแปลงและใช้วงจรขยายล็อกการิทึมแบบประมาณต่อเนื่อง (successive-approximation logarithmic amplifier) ในการเพิ่มพิสัยพลวัต วงจรตรวจวัดกำลังงาน rms นี้จะนำไปประยุกต์ใช้งานในระบบเครือข่ายเซ็นเซอร์ไร้สายที่ต้องการอุปกรณ์ตรวจวัดกำลังงานเพื่อใช้คำนวณตำแหน่งของเซ็นเซอร์ ซึ่งจำเป็นต้องมีอายุการใช้งานที่นานหลายเดือนโดยไม่ต้องเปลี่ยนแบตเตอรี่ โดยค่ากำลังงานของสัญญาณคลื่นความถี่วิทยุมีขนาดเล็กและมีกำลังงานประมาณ -50 dBm ถึง -60 dBm ดังนั้นต้องใช้วงจรตรวจวัดกำลังงานที่มีความไวสูงและมีพิสัยพลวัตกว้าง วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุออกแบบและจำลองการทำงานโดยใช้พารามิเตอร์จากเทคโนโลซีมอสขนาด 0.18 ไมโครเมตร หัวข้อต่อไปนี้จะกล่าวถึงการออกแบบ และผลจำลองการทำงานของวงจร



รูปที่ 4.1: โครงสร้างของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ

4.2 โครงสร้างวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ

รูปที่ 4.1 แสดงโครงสร้างของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ ประกอบด้วยวงจรตรวจวัดกำลังงาน rms และวงจรขยายล็อกการิทึมแบบประมาณต่อเนื่อง แรงดันอินพุตความถี่วิทยุถูกแปลงเป็นแรงดันเอาท์พุตไฟตรงซึ่งแสดงค่า rms ของกำลังงานอินพุตโดยอาศัยความไม่เป็นเชิงเส้นของมอสเฟต ซึ่งถูกส่งต่อไปยังวงจรขยายล็อกการิทึมแบบประมาณต่อเนื่องเพื่อขยายสัญญาณและสร้างคุณสมบัติเอาท์พุตแบบเชิงเส้นในเดซิเบล (Linear-in-dB) โดยการประมาณแบบเชิงเส้นเป็นช่วง (Piecewise linear) วงจรขยายจำกัดทั้ง 7 ภาคเหมือนกันทั้งหมดยกเว้นในภาคแรกที่มีคู่มอสเฟตอินพุตเพิ่มขึ้นเพื่อการหักล้างแรงดันออฟเซตไฟตรง วงจรขยายจำกัดแต่ละภาคกำเนิดแรงดันเอาท์พุตผลต่างและกระแสเอาท์พุตผลต่าง โดยแรงดันเอาท์พุตผลต่างถูกส่งไปยังอินพุตของภาคขยายถัดไป และกระแสเอาท์พุตผลต่างของทุกภาคขยายถูกนำมารวมกันและป้อนเข้าตัวต้านทานโหลดเพื่อสร้างแรงดันเอาท์พุตของวงจรตรวจวัดกำลังงาน เนื่องจากแรงดันอินพุตของวงจรขยายล็อกการิทึมแบบประมาณต่อเนื่องเป็นสัญญาณไฟตรง ดังนั้นจึงไม่ต้องใช้วงจรเรียงกระแสหรือวงจรตรวจวัดขอบสัญญาณ ทำให้ประหยัดพื้นที่ชิปและการใช้กำลังงานได้ ตัวต้านทาน R_F และตัวเก็บประจุ C_F สร้างวงจรกรองต่ำผ่านทำหน้าที่ป้อนกลับเพื่อหักล้างแรงดันออฟเซตไฟตรง ตัวต้านทาน R_F ถูกสร้างโดยใช้มอสเฟตในย่านการทำงานต่ำกว่าขีดเริ่ม (Subthreshold region) เพื่อให้ได้ค่าความต้านทานสูงโดยใช้พื้นที่ชิปน้อยที่สุด ค่าพิสัยพลวัตและความเป็นเชิงเส้นของวงจรตรวจวัดกำลังงานถูกกำหนดโดยจำนวนภาคขยายสัญญาณ การเพิ่มจำนวนภาคขยายจะทำให้ค่าความไวและพิสัยพลวัตของวงจรสูงขึ้น แต่วงจรจะใช้กำลังงานสูงขึ้นด้วย งานวิจัยนี้ใช้ภาคขยายจำนวน 7 ภาค ซึ่งเป็นจำนวนที่เหมาะสมเมื่อคำนึงถึงการใช้กำลังงาน พิสัยพลวัต และความไวของวงจรตรวจวัด

4.3 การออกแบบวงจร

4.3.1 วงจรตรวจวัดกำลังงาน rms

รูปที่ 4.2 แสดงวงจรตรวจวัดกำลังงาน rms ซึ่งอาศัยคุณสมบัติกำลังสองของมอสเฟตในย่านการทำงานอิ่มตัว วงจรนี้เป็นวงจรที่ปรับปรุงจากวงจรที่นำเสนอใน [29] ให้มีอัตราขยายเปลี่ยนแปลงและค่าความไวสูงขึ้น วงจรมีหลักการทำงานดังนี้ สัญญาณอินพุตคลื่นความถี่วิทยุป้อนผ่านตัวเก็บประจุ C_C เข้าที่ขาเกตของ M_1 มอสเฟต M_1 และ M_2 เหมือนกันทุกประการและทำงานในย่านอิ่มตัวและมีแรงดันไบอัสขาเกตเท่ากัน มอสเฟต M_2 ทำหน้าที่ลดแรงดันออฟเซตที่เกิดการผันแปรของกระบวนการสร้าง (Process variation) อุณหภูมิ และแรงดันไฟเลี้ยง เราสามารถแสดงได้ว่าแรงดันเอาท์พุตผลต่าง ($V_2 - V_1$) มีขนาดแปรผันกันค่ากำลังสองของแรงดันอินพุต โดยให้สัญญาณแรงดันคลื่นความถี่วิทยุที่อินพุต $v_{rf} = V_i \cos(\omega t)$ จะได้ว่ากระแสเดรนของ M_1 และ M_2 มีค่าดังสมการที่ 4.1 และ 4.2 ตามลำดับ และแรงดันเอาท์พุตผลต่าง ($V_2 - V_1$) สามารถแสดงได้ดังสมการที่ 4.3 ซึ่งจะถูกตัวเก็บประจุ C_2 กรองความถี่ต่ำผ่าน ทำให้ได้แรงดันเอาท์พุตไฟตรงดังสมการที่ 4.4 ซึ่งแสดงว่าแรงดันเอาท์พุตผลต่าง (v_{od}) มีขนาดแปรผันกันค่ากำลังสองของขนาดแรงดันคลื่นความถี่วิทยุที่อินพุต หรือแปรผันกับกำลังงานของสัญญาณที่อินพุตนั่นเอง

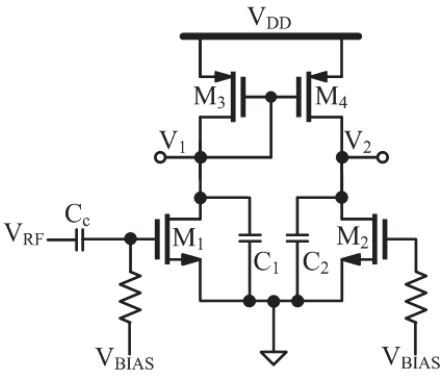
$$i_{DS1} = \frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right)_1 (V_{BIAS} + v_{rf} - V_{TH})^2 \tag{4.1}$$

$$i_{DS2} = \frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right)_2 (V_{BIAS} - V_{TH})^2 \tag{4.2}$$

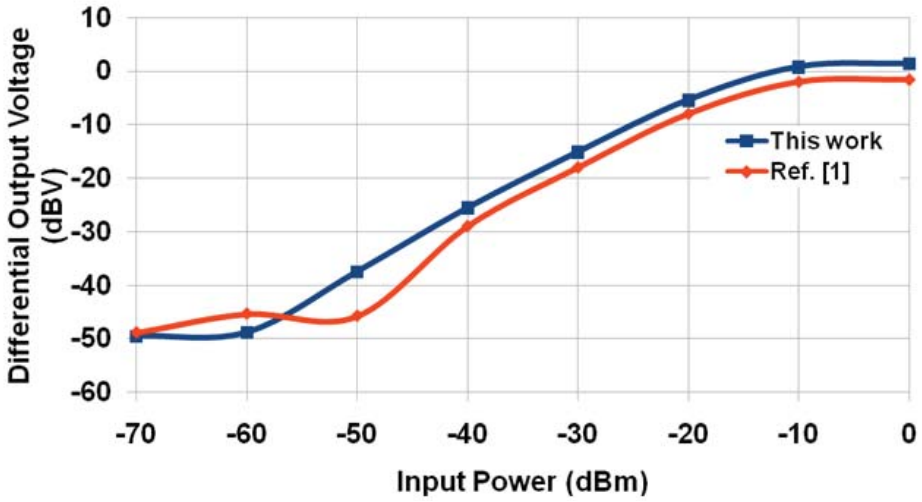
$$\begin{aligned} v_{od} &= v_1 - v_2 \\ &= r_{out}\left(i_{DS1} - i_{DS2}\right) \\ &= \left(r_{ds2} \parallel r_{ds4}\right) \cdot \frac{\mu_n C_{ox}}{2} \cdot \left(\frac{W}{L}\right)\left(V_i^2 + V_i^2 \cos(2\omega t) + (V_{BIAS} - V_{TH}) \cdot V_i \cos(\omega t)\right) \end{aligned} \tag{4.3}$$

$$v_{od} = \left(r_{ds2} \parallel r_{ds4}\right) \cdot \frac{\mu_n C_{ox}}{2} \cdot \left(\frac{W}{L}\right) \cdot V_i^2 \tag{4.4}$$

รูปที่ 4.3 แสดงผลการจำลองคุณสมบัติอินพุตเอาท์พุตของวงจรตรวจวัดกำลัง rms ที่ความถี่ 5 GHz โดยเปรียบเทียบกับผลการจำลองวงจรใน [29] ภายใต้พารามิเตอร์วงจรและเงื่อนไขการทำงานเดียวกัน ผลการจำลองแสดงให้เห็นว่าวงจรที่นำเสนอในรูปที่ 4.2 มีอัตราขยายแปลงที่สูงกว่าเนื่องจากความต้านทานเอาท์พุตที่สูงขึ้น ซึ่งจะทำให้ความไวอินพุตของวงจรสูงขึ้นและทำให้การออกแบบวงจรขยายล็อกการิทึมแบบประมาณต่อเนื่องง่ายขึ้น นอกจากนี้วงจรในรูปที่ 4.2 ยังมีความเป็นเชิงเส้นที่ดีกว่าและช่วงการตรวจ



รูปที่ 4.2: วงจรตรวจวัดกำลังงาน rms

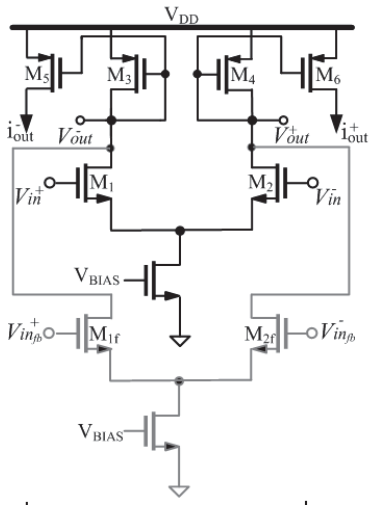


รูปที่ 4.3: คุณสมบัติอินพุตเอาท์พุตของวงจรตรวจวัดกำลัง rms ที่ความถี่ 5 GHz

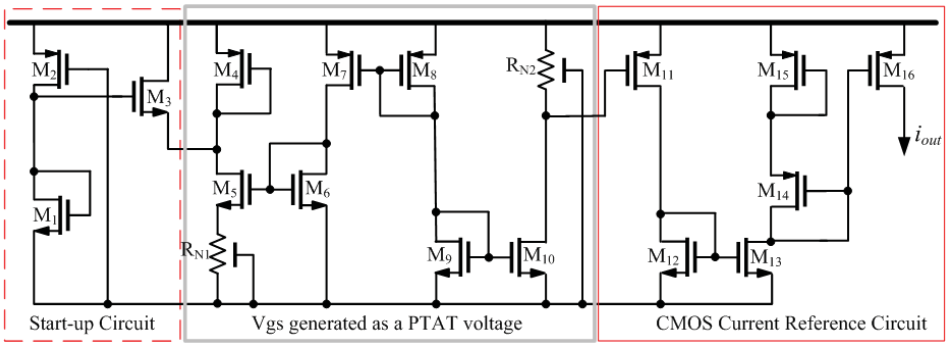
วัดอินพุตที่กว้างกว่า (ประมาณ -60 dBm to -10 dBm)

4.3.2 วงจรขยายสัญญาณแบบล็อกการิทึม (Logarithmic amplifier)

แรงดันเอาท์พุตของวงจรตรวจวัดกำลัง rms ถูกส่งต่อไปยังวงจรขยายล็อกการิทึมที่มี 7 ภาคขยายดังแสดงในรูปที่ 4.1 วงจรขยายล็อกการิทึมสร้างด้วยวงจรขยายจำกัด (Limiting amplifier) ในรูปที่ 4.4 โดยใช้วงจรขยายสัญญาณผลต่างที่มีวงจรสะท้อนกระแสเป็นโหลด (แสดงด้วยสีดำ) วงจรขยายจำกัดทุกภาคเหมือนกันหมด ยกเว้นภาคแรกที่มีมอสเฟตอินพุตเพิ่ม 1 คู่ (แสดงด้วยสีเทา) ใช้ในการป้อนกลับเพื่อหักล้างแรงดันออฟเซตไฟตรง วงจรขยายแต่ละภาคสร้างแรงดันเอาท์พุตผลต่างและกระแสเอาท์พุตผลต่าง แรงดันเอาท์พุตผลต่างถูกส่งไปยังอินพุตของภาคขยายถัดไป และเนื่องจากแรงดันอินพุตของวงจรเป็นแรงดันไฟตรง เราจึงใช้กระแสเอาท์พุตผลต่างของทุกภาคขยายซึ่งมีคุณลักษณะจำกัดกระแสนำมารวมกันและ



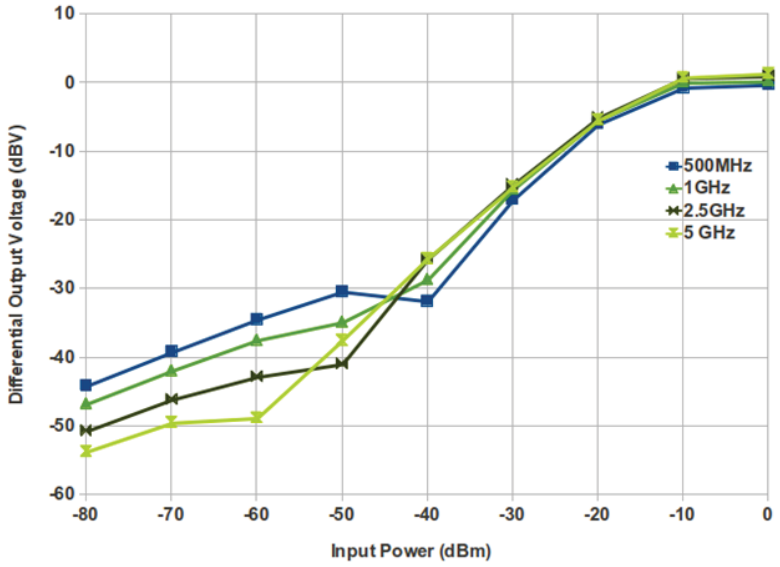
รูปที่ 4.4: วงจรขยายสัญญาณจำกัด



รูปที่ 4.5: วงจรสร้างกระแสอ้างอิง

ป้อนเข้าตัวต้านทานโหลดเพื่อสร้างแรงดันเอาท์พุตของวงจรตรวจวัดกำลังงาน ทำให้ไม่ต้องใช้วงจรเรียงกระแสและวงจรกรองเหมือนในวงจรขยายล็อกการิทึมตามปกติ นอกจากนี้ วงจรขยายสามารถมีแบนด์วิดท์ต่ำได้ ทำให้เราสามารถออกแบบวงจรขยายให้มีความไวอินพุตและพิสัยพลวัตสูงได้โดยใช้กำลังงานน้อยที่สุด แหล่งจ่ายกระแสไบอัสของวงจรขยายสร้างจากวงจรสร้างกระแสอ้างอิงที่ไม่ไวกับการผันแปรของกระบวนการสร้าง แรงดันไฟเลี้ยงและอุณหภูมิ [40] ดังแสดงในรูปที่ 4.5

รูปที่ 4.6 แสดงแรงดันเอาท์พุตผลต่างของวงจรตรวจวัดกำลัง rms ในรูปที่ 4.2 ที่ความถี่สัญญาณอินพุตต่างๆ โดยกำลังงานอินพุตขนาด -65 dBm สร้างแรงดันเอาท์พุตขนาด 10 μV (-50 dBV) และกำลังงานอินพุตขนาด -10 dBm สร้างแรงดันเอาท์พุตขนาด 1 V (0 dBV) ดังนั้นพิสัยพลวัตอินพุตของวงจรมีค่าประมาณ -65 dBm ถึง -10 dBm ผลการจำลองการทำงานแสดงว่าวงจรสามารถทำงานได้ถูกต้องถึงความถี่อินพุตประมาณ 5 GHz รูปที่ 4.7 แสดงผลจำลองแรงดันเอาท์พุตของวงจรตรวจวัดกำลังงานเมื่อป้อนสัญญาณอินพุต 2.5 GHz ที่ค่ากำลังงานอินพุตจาก -80 dBm ถึง 0 dBm และรูปที่ 4.8 แสดงคุณลักษณะแรงดันเอาท์พุตกับกำลังงานอินพุต ซึ่งแสดงให้เห็นว่าช่วงกำลังอินพุตที่ตรวจวัดได้อยู่ที่



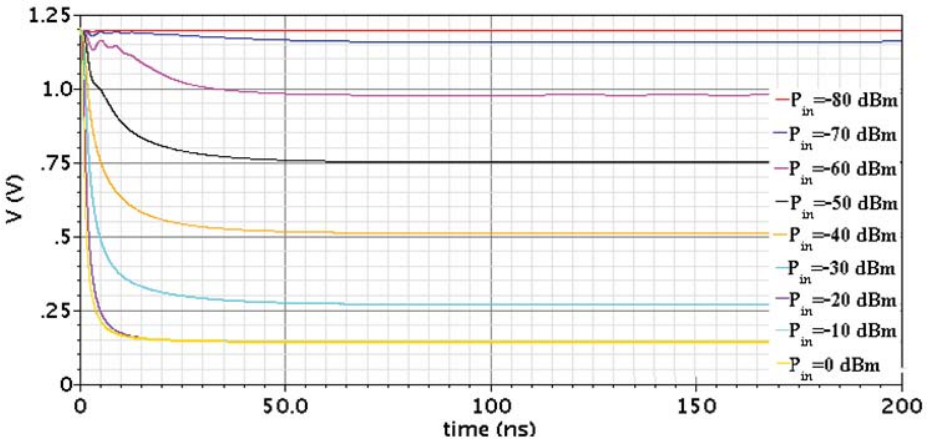
รูปที่ 4.6: แรงดันเอาท์พุตผลต่างของวงจรตรวจวัดกำลัง rms ที่ความถี่อินพุตต่างๆ

ประมาณ -70 dBm ถึง -20 dBm โดยมีค่าแรงดันเอาท์พุตประมาณ 0.4 V ถึง 1.2 V ตามลำดับ

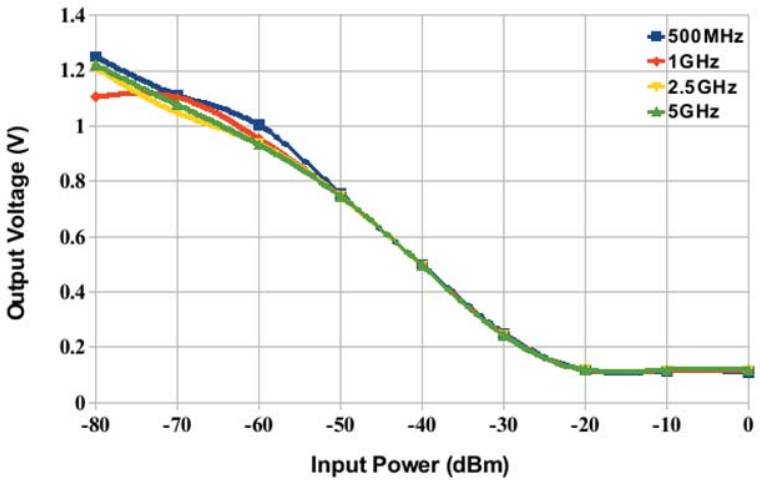
รูปที่ 4.9(ก) แสดงแรงดันเอาท์พุตเมื่อทดสอบการทำงานของลูปป้อนกลับเพื่อหักล้างแรงดันออฟเซตไฟตรง โดยป้อนแหล่งจ่ายแรงดันออฟเซตไฟตรงถูกเพิ่มเข้าไปกับแรงดันอินพุต 2.5 GHz ของวงจรขยายภาคแรก และปรับขนาดแรงดันออฟเซตตั้งแต่ 0 ถึง 100 mV ซึ่งผลจำลองการทำงานแสดงให้เห็นว่าแรงดันออฟเซตเปลี่ยนแปลงค่าแรงดันเอาท์พุตเล็กน้อยและวงจรยังสามารถทำงานได้ถูกต้อง รูปที่ 4.9(ข) แสดงการผันแปรของแรงดันเอาท์พุตเมื่อแรงดันออฟเซตเปลี่ยนแปลงไปโดยที่กำลังงานอินพุตมีค่าคงที่ที่ -50 dBm รูปที่ 4.10 แสดงผังภูมิของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุที่ได้ออกแบบขึ้น โดยใช้พื้นที่ชิป 60x130 μm^2 รูปที่ 4.11(ก)-(ค) แสดงผลจำลองการทำงานวงจรที่ได้จากผังภูมิวงจรและรวมตัวเก็บประจุและตัวต้านทานปรสิตภายใต้การผันแปรของกระบวนการสร้าง แรงดันไฟเลี้ยงและอุณหภูมิ และรูปที่ แสดงรูปไมโครชิพต้นแบบที่ได้สร้างขึ้นด้วยเทคโนโลยี 0.18 μm ตารางที่ 4.1 สรุปผลจำลองการทำงานวงจรโดยเปรียบเทียบกับวงจรอื่น

4.4 สรุป

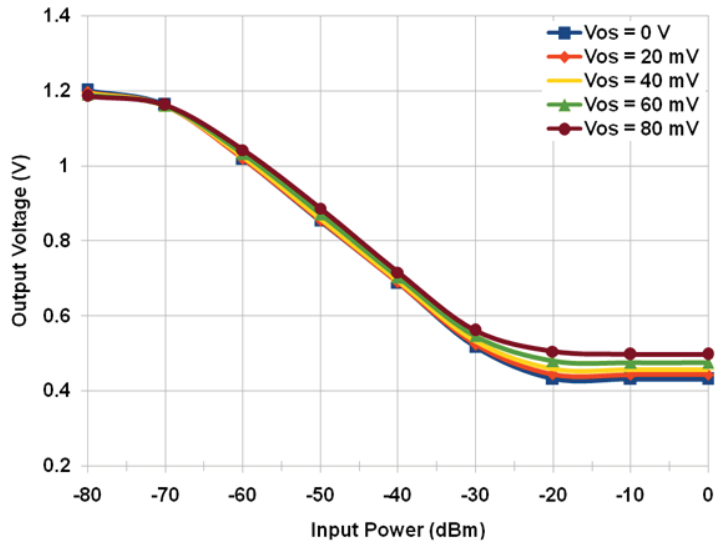
บทนี้ได้อธิบายถึงการออกแบบวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุที่ใช้กำลังงานต่ำและมีพิสัยพลวัตสูง วงจรที่นำเสนอประกอบด้วยวงจรตรวจวัดกำลังงาน rms และวงจรขยายล็อกการิทึม วงจรตรวจวัดกำลังงาน rms อาศัยคุณลักษณะความไม่เป็นเชิงเส้นของมอสเฟตในย่านอิ่มตัวและโหลดแอกทีฟเพื่อเพิ่มอัตราขยายแปลงที่กำลังงานต่ำสุด ทำให้ไม่ต้องใช้แบนด์วิดท์สูงและไม่ต้องใช้วงจรเรียงกระแสและ



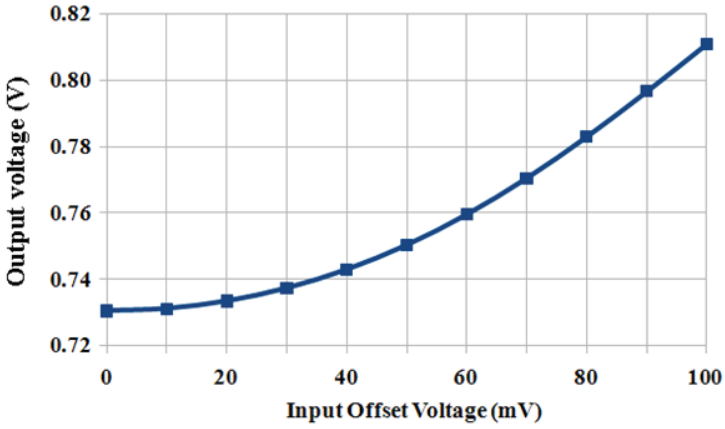
รูปที่ 4.7: แรงดันเอาท์พุตของวงจรตรวจวัดกำลังงานเมื่อป้อนสัญญาณอินพุต 2.5 GHz



รูปที่ 4.8: คุณลักษณะแรงดันเอาท์พุตกับกำลังงานอินพุต



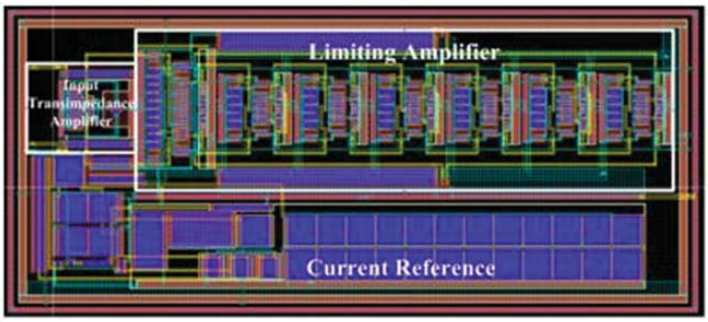
(ก)



(ข)

รูปที่ 4.9: ผลของแรงดันออฟเซตอินพุต

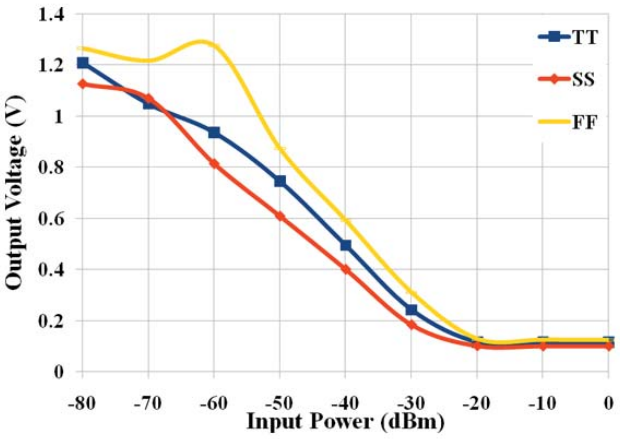
วงจรกรอง ผลจำลองการทำงานที่ได้จากผังภูมิวงจรในเทคโนโลยีซีมอสขนาด 0.18 ไมโครเมตร แสดงให้เห็นว่าวงจรสามารถตรวจวัดกำลังงานอินพุตได้ตั้งแต่ -70 dBm ถึง -20 dBm ในย่านความถี่ 500 MHz ถึง 5 GHz และใช้กำลังงาน 0.9 mW ดังนั้นวงจรจึงเหมาะสมในการใช้งานสำหรับระบบโครงข่ายเซนเซอร์ไร้สาย



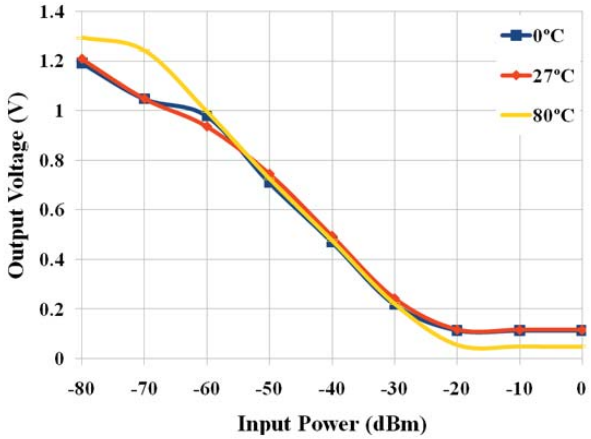
รูปที่ 4.10: ผังภูมิของวงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุ

พารามิเตอร์	This work	[29]	[30]	[31]
เทคโนโลยีซีมอส	0.18μm	0.13μm	0.18μm	0.35μm
พื้นที่ชิป (mm^2)	0.0078	0.0126	0.36	0.031
อัตราขยาย (mV/dB)	17	6	6	50
พิสัยพลวัต (dB)	50	20	20	30
ความไวอินพุต (dBm)	-70	-35	-40	-25
แบนด์วิดท์ (GHz)	0.5 - 5	0.125-8.5	3.1-10.6	0.9-2.4
แรงดันไฟเลี้ยง (V)	1.8	1.2	1.8	3.3
กำลังงาน (mW)	0.9	0.18	10.8	8.6

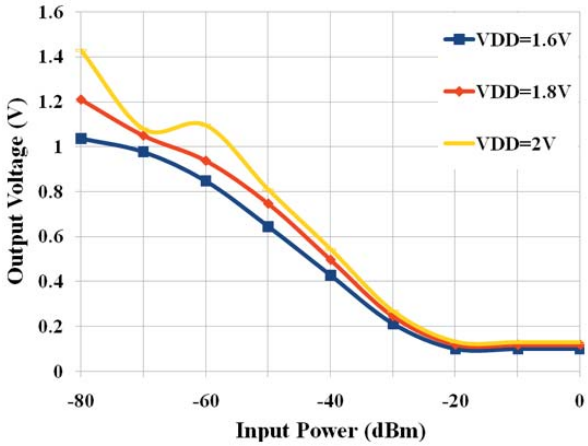
ตารางที่ 4.1: สรุปผลจำลองการทำงานวงจร



(ก)

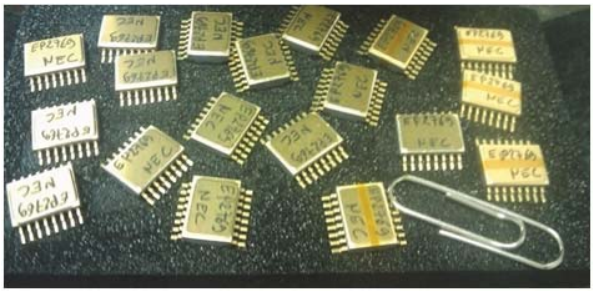


(ข)



(ค)

รูปที่ 4.11: ผลจำลองการทำงานวงจรที่ได้จากผังภูมิวงจร



รูปที่ 4.12: ไมโครชิพต้นแบบ

บทที่ 5

วงจรขยายทรานส์คอนดักแตนซ์ที่ใช้กำลังไฟต่ำ (Low power Bulk-driven Operational Transconductance Amplifier)

5.1 บทนำ

วงจรขยายโอเปอเรชั่นแนลทรานส์คอนดักแตนซ์ (Operational Transconductance Amplifier หรือ OTA) เชิงเส้นที่ใช้กำลังไฟต่ำ และมีค่าทรานส์คอนดักแตนซ์ต่ำเป็นวงจรที่สำคัญและจำเป็นต้องใช้งานในระบบวงจรรวมสำหรับทางชีวการแพทย์และโครงข่ายประสาท (Neural network) [41] และในปัจจุบันวงจร OTA ต้องสามารถถูกสร้างรวมกับวงจรดิจิตอลและมีต้นทุนการสร้างต่ำ ดังนั้นวงจร OTA ควรถูกสร้างด้วยเทคโนโลยีซีมอสสมัยใหม่ที่มีขนาดเล็กกว่า 1 ไมโครเมตร ซึ่งทำให้วงจรต้องสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำได้ตามที่ถูกกำหนดโดยเทคโนโลยีซีมอส การออกแบบวงจร OTA ที่ใช้กำลังไฟต่ำให้มีความเป็นเชิงเส้นสูงและมีช่วงการแกว่งสัญญาณกว้างภายใต้การทำงานที่แรงดันไฟเลี้ยงต่ำนั้นเป็นสิ่งที่ท้าทายอย่างยิ่งเช่นเดียวกันกับวงจรรวมแอนะล็อกอื่นๆ

วงจร OTA ที่ใช้แรงดันไฟเลี้ยงและกำลังไฟต่ำและมีค่าทรานส์คอนดักแตนซ์ต่ำนั้นสามารถถูกออกแบบได้หลายวิธีเช่น การใช้มอสเฟตในย่านต่ำกว่าแรงดันขีดเริ่ม (Subthreshold) [42] การขับอินพุตที่ขาบอดี้ของมอสเฟต [43], [44] และเทคนิคการหารกระแส [45] และการเพิ่มช่วงความเป็นเชิงเส้นอินพุตของวงจร OTA ภายใต้แรงดันไฟเลี้ยงต่ำนั้นสามารถทำได้หลายวิธีเช่น เทคนิคการถดถอยที่ขาซอร์ส (Source

degeneration) [45], [46], [47] เทคนิคการไบอัสแบบปรับเปลี่ยนได้ (Adaptive biasing) [46] เทคนิคการใช้มอสเฟตในย่านไตรโอด (Triode MOSFETs) [48] และเทคนิคการเลื่อนระดับอินพุต (Input level shifting) [49] โดยเทคนิคที่ได้กล่าวมาทั้งหมดนั้น เทคนิคการขับอินพุตที่ขาบอดี้ของมอสเฟตและการใช้มอสเฟตในย่านต่ำกว่าแรงดันขีดเริ่มเป็นวิธีการที่ง่ายและได้ประสิทธิภาพมากที่สุดสำหรับการสร้างวงจร OTA ที่ใช้แรงดันไฟเลี้ยงและกำลังงานต่ำ [49] การใช้เทคนิคการขับอินพุตที่ขาบอดี้ของมอสเฟตกับวงจรขยายสัญญาณคู่ผลต่างนั้นสามารถเพิ่มช่วงความเป็นเชิงเส้นอินพุตให้กว้างขึ้นได้ภายใต้การทำงานกับแหล่งจ่ายแรงดันไฟเลี้ยงต่ำ และเมื่อเปรียบเทียบกับการขับสัญญาณอินพุตที่ขาเกตนั้นวงจรที่ใช้การขับสัญญาณอินพุตที่ขาบอดี้นั้นทำให้วงจรสามารถมีระดับแรงดันอินพุตโหมดร่วมไฟตรงอยู่ที่กึ่งกลางของแรงดันไฟเลี้ยงได้ ทำให้มีวงจรมีช่วงการแกว่งแรงดันอินพุตมากขึ้น แต่วงจรจะมีค่าทรานส์คอนดักแตนซ์ลดลงและมีสัญญาณรบกวนอินพุตมากขึ้น [49]

ความเป็นเชิงเส้นของวงจร OTA ที่ขับอินพุตที่ขาบอดี้สามารถถูกเพิ่มขึ้นได้โดยใช้วิธีการต่างๆ เช่น เทคนิคการถดถอยขาซอร์สโดยใช้ตัวต้านทาน (Resistive source degeneration) [47] เทคนิคการถดถอยที่ขาเกต [42] (Gate generation) เทคนิคกันชน (Bump linearization) และการต่อขนานกันของอินพุต [50]

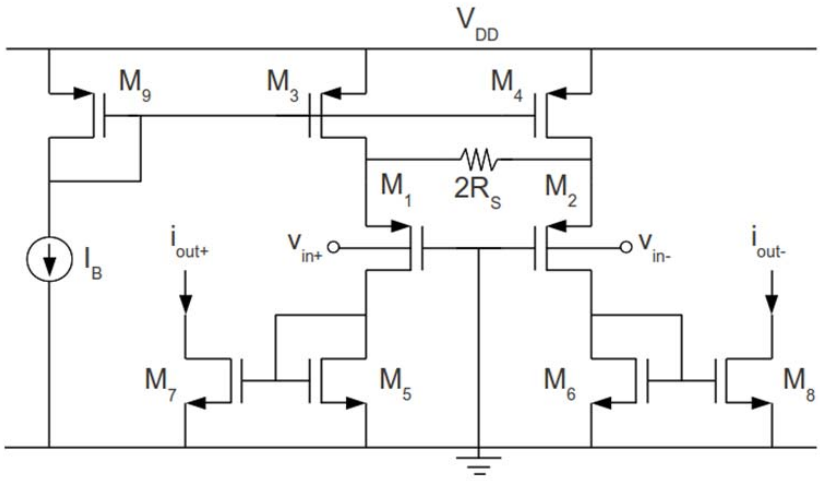
บทนี้นำเสนอวงจร OTA ที่มีช่วงอินพุตเชิงเส้นที่กว้างภายใต้การทำงานที่แหล่งจ่ายแรงดันไฟเลี้ยงและใช้กำลังงานต่ำ โดยวงจรที่นำเสนอใช้วงจรตามแรงดันแบบขับอินพุตที่ขาบอดี้ และการถดถอยที่ซอร์สเป็นภาคอินพุตผลต่าง [51] เพื่อให้ได้ความเป็นเชิงเส้นสูงภายใต้การทำงานที่แหล่งจ่ายแรงดันไฟเลี้ยงต่ำ

5.2 การออกแบบวงจร OTA

รูปที่ 5.1 แสดงวงจร OTA ที่ขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส โดยมีแรงดันผลต่างป้อนเข้าที่ขาบอดี้ของมอสเฟต M_1และ M_2 ทำให้สามารถมีแรงดันอินพุตโหมดร่วมไฟตรงเท่ากับครึ่งหนึ่งของแหล่งจ่ายไฟเลี้ยงได้ ค่าทรานส์คอนดักแตนซ์ผลต่างของวงจรสามารถเขียนได้ดังสมการที่ 5.1 โดยที่ g_{m1} และ g_{mb1} คือค่าทรานคอนดักแตนซ์สัญญาณขนาดเล็กที่ขาเกตและขาบอดี้ของ M_1 ตามลำดับ ซึ่งจะเห็นได้ว่าวงจรจะมีความเป็นเชิงเส้นที่ดี ถ้ากำหนดให้ $R_S \gg (g_{m1} + g_{mb1})^{-1}$ และค่าทรานคอนดักแตนซ์ผลต่างของวงจรจะมีค่าประมาณได้ดังสมการที่ 5.2 โดยที่ $g_{mb1} = \eta g_{m1}$ และ η มีค่าประมาณ 0.1 ถึง 0.3 ดังนั้นค่าทรานคอนดักแตนซ์ผลต่างของวงจร OTA ที่ขับอินพุตที่ขาบอดี้จะมีค่าน้อยกว่าวงจร OTA ที่ขับอินพุตที่ขาเกตเป็น η เท่า

$$G_{md} \approx \frac{g_{mb1}}{1 + (g_{m1} + g_{mb1})\, R_S} \tag{5.1}$$

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})} \cdot \frac{1}{R_S} = \frac{\eta}{1+\eta} \cdot \frac{1}{R_S} \tag{5.2}$$



รูปที่ 5.1: วงจร OTA ที่ขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส

รูปที่ 5.2 แสดงวงจร OTA ที่ใช้โครงสร้างวงจรตามแรงดันแบบกลับและมีการขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส โดยมีมอสเฟต M_3 และ M_4 ประกอบเป็นโครงสร้างวงจรตามแรงดันแบบกลับซึ่งมีการป้อนกลับแบบลบเพื่อลดค่าความต้านทานที่ขาซอร์สของ M_1 และ M_2 ถ้าไม่คำนึงถึงค่าความนำเดรน-ซอสของ M_5 และ M_6 ค่าทรานส์คอนดักแตนซ์ผลต่างของวงจรในรูปที่ 5.2 สามารถถูกประมาณได้ดังสมการที่ 5.2 โดยที่ไม่มีเงื่อนไขของค่า R_S เหมือนกับในกรณีของวงจรในรูปที่ 5.1

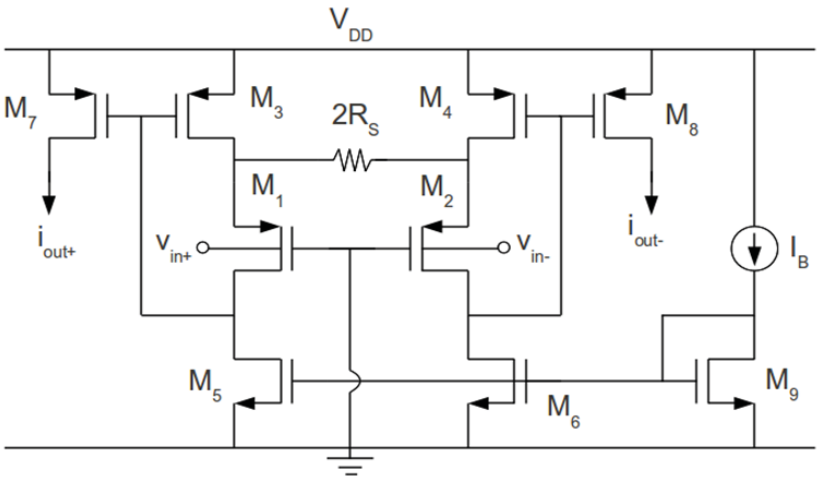
รูปที่ 5.3 แสดงวงจร OTA ที่ได้นำเสนอใหม่ โดยมีโครงสร้างวงจรคล้ายกับวงจรในรูปที่ 5.2 แต่ใช้มอสเฟต M_5 และ M_6 ที่ต่อแบบไดโอดแทนที่แหล่งจ่ายกระแสไฟตรง และให้ค่าความต้านทานโหลดเท่ากับ $1/g_{m5,6}$ ดังนั้นค่ากระแสไบอัสไฟตรงของวงจรจะถูกกำหนดโดยขนาดของมอสเฟต $M_3(M_4)$ และ $M_5(M_6)$ ซึ่งถูกไบอัสให้ทำงานในย่านต่ำกว่าขีดเริ่ม วงจรในรูปที่ 5.3 มีค่าทรานส์คอนดักแตนซ์สัญญาณขนาดเล็กดังแสดงในสมการที่ 5.3 ซึ่งสามารถประมาณได้ดังสมการที่ 5.4 ถ้าให้ $R_S \gg \frac{1}{(g_{m1}+g_{mb1})R_S(1+g_{m3}/g_{m5})}$

$$G_{md} \approx \frac{g_{mb1}}{1+(g_{m1}+g_{mb1})\,R_S\,(1+g_{m3}/g_{m5})} \tag{5.3}$$

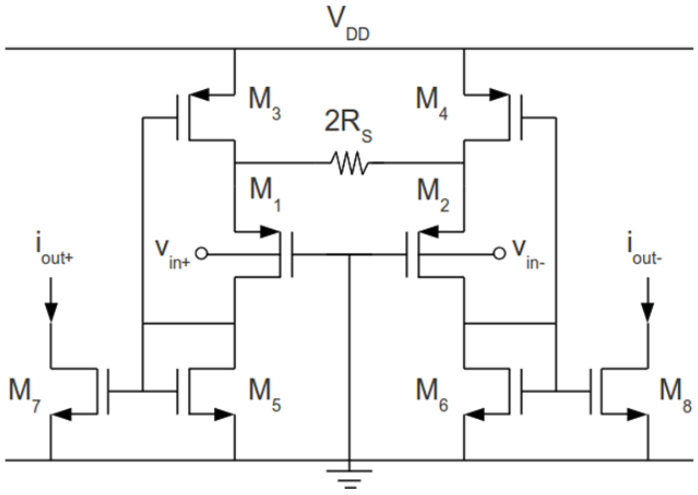
$$G_{md} \approx \frac{g_{mb1}}{(g_{m1}+g_{mb1})\,R_S\,(1+g_{m3}/g_{m5})} = \frac{\eta}{1+\eta}\cdot\frac{1}{R_S\,(1+g_{m3}/g_{m5})} \tag{5.4}$$

5.3 ผลจำลองการทำงานวงจร

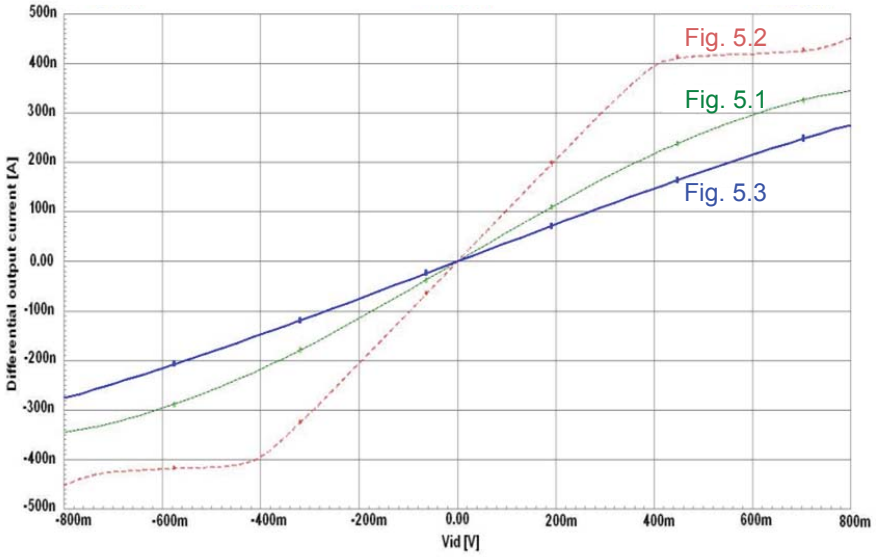
วงจร OTA ในรูปที่ 5.1-5.3 ถูกออกแบบและจำลองการทำงานด้วยโปรแกรม Cadence Spectre โดยใช้ตัวแปรกระบวนการสร้างจากเทคโนโลยีซีมอสขนาด 0.35 μm ซึ่งมีแรงดันขีดเริ่มของมอสเฟตชนิดเอ็นและ



รูปที่ 5.2: วงจร OTA ที่ใช้โครงสร้างวงจรตามแรงดันแบบกลับและมีการขับอินพุตที่ขาบอดี้และใช้เทคนิคถดถอยที่ขาซอร์ส



รูปที่ 5.3: วงจร OTA วงจร OTA ที่ใช้โครงสร้างวงจรตามแรงดันแบบกลับและมีการขับอินพุตที่ขาบอดี้ที่นำเสนอใหม่

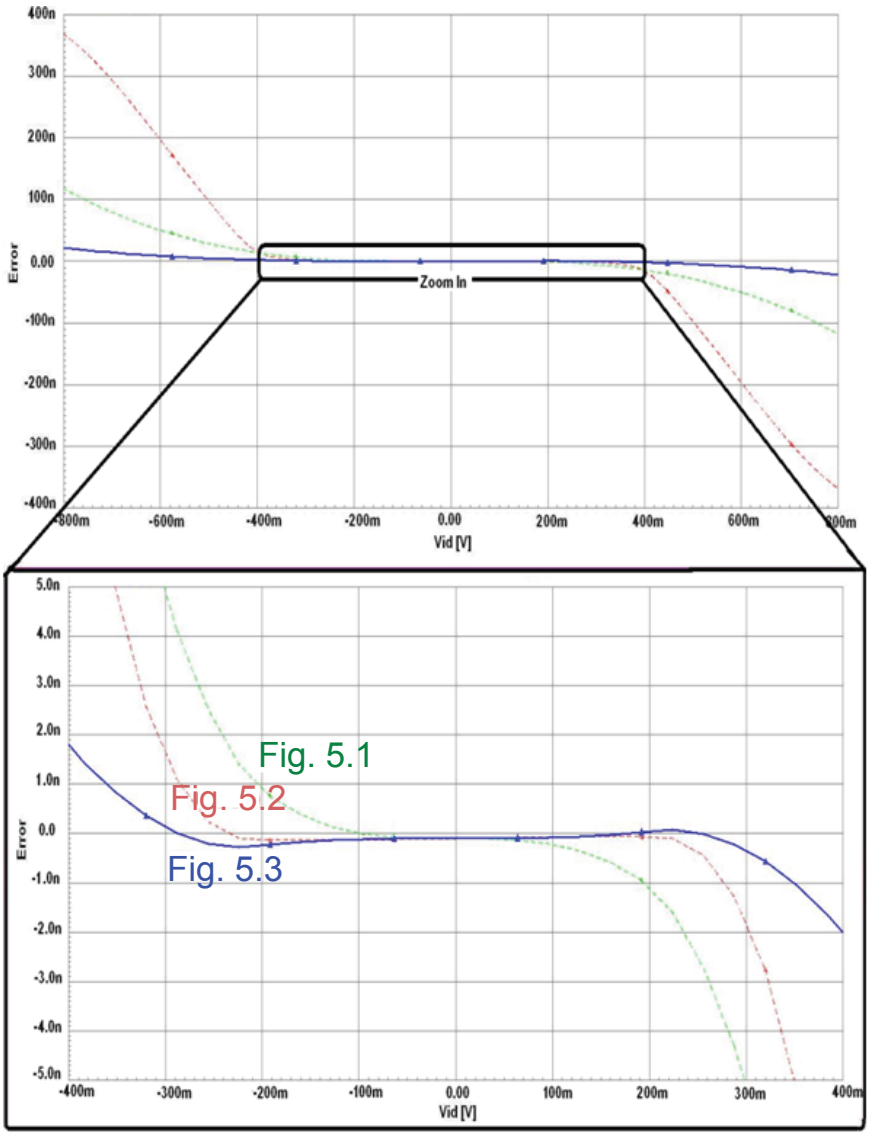


รูปที่ 5.4: ผลจำลองการทำงานคุณลักษณะของกระแสเอาท์พุตและแรงดันอินพุตผลต่าง

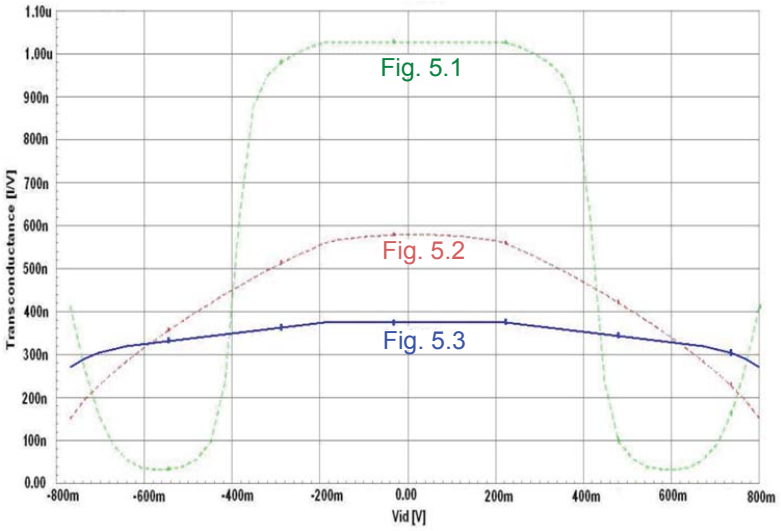
พีเท่ากับ +0.6 V และ -0.7 V ตามลำดับ และเพื่อให้การเปรียบเทียบคุณสมบัติการทำงานของวงจรทั้งสามอย่างเป็นธรรม วงจรทั้งหมดถูกออกแบบให้มีขนาดมอสเฟตเท่ากันและทำงานที่แหล่งจ่ายแรงดันไฟเลี้ยงขนาด 0.8 V เท่ากันทั้งหมด และมอสเฟตทั้งหมดถูกไบอัสให้ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม และมีกระแสไบอัสเท่ากันที่ 200 nA ทำให้ทุกวงจรมีการใช้กำลังไฟเท่ากันที่ 0.8 μW มอสเฟตทุกตัวมีขนาดเท่ากัน คือมีความกว้างและยาวเท่ากับ 940 μm และ 1 μm ตามลำดับ และผลจำลองการทำงานที่แสดงทั้งหมดใช้ค่า R_S =200 KΩ ยกเว้นถ้ามีการระบุเป็นอย่างอื่น แรงดันอินพุตโหมดร่วมไฟตรงของวงจรมีค่าเป็นครึ่งหนึ่งของแรงดันไฟเลี้ยง และขาบอดี้-ซอร์สของทรานซิสเตอร์อินพุตถูกไบอัสเดินหน้าอย่างอ่อนด้วยแรงดันประมาณ 60 mV เพื่อลดค่าแรงดันขีดเริ่มลงเล็กน้อย

รูปที่ 5.4 แสดงผลจำลองคุณลักษณะของกระแสเอาท์พุตและแรงดันอินพุตผลต่างของวงจร OTA ในรูปที่ 5.1-5.3 โดยที่แรงดันอินพุตผลต่างถูกปรับค่าจาก -0.8 V ถึง +0.8 V และผลจำลองค่าความผิดพลาดเชิงเส้นของกระแสเอาท์พุตถูกแสดงในรูปที่ 5.5 ซึ่งแสดงให้เห็นว่าวงจร OTA ที่นำเสนอในรูปที่ 5.3 มีความเป็นเชิงเส้นดีที่สุดโดยมีค่าความผิดพลาดเชิงเส้นของกระแสเอาท์พุตน้อยที่สุด ไม่เกิน $\pm$ 22.5 nA ในขณะที่วงจรในรูปที่ 5.1 และ 5.2 มีค่าความผิดพลาดกระแสสูงสุดเท่ากับ $\pm$ 118 nA และ $\pm$ 368 nA ตามลำดับ

รูปที่ 5.6 แสดงผลจำลองค่าทรานส์คอนดักแตนซ์ผลต่างกับแรงดันอินพุตผลต่างของวงจร OTA ในรูปที่ 5.1-5.3 ซึ่งมีค่าทรานส์คอนดักแตนซ์เท่ากับ 0.578 μA/V 1 μA/V และ 0.373 μA/V ตามลำดับ โดยวงจร OTA ที่นำเสนอมีการผันแปรของค่าทรานส์คอนดักแตนซ์น้อยที่สุดตลอดช่วงสัญญาณอินพุต อย่างไรก็ตามวงจรก็มีค่าทรานส์คอนดักแตนซ์ที่น้อยที่สุด รูปที่ 5.7 และ 5.8 แสดงกระแสเอาท์พุตผลต่างและค่าทรานส์คอนดักแตนซ์ของวงจร OTA ที่นำเสนอในรูปที่ 5.3 เมื่อปรับค่า R_S ตั้งแต่ 100 kΩ ถึง 1 MΩ ซึ่งทำให้



รูปที่ 5.5: ผลจำลองค่าความผิดพลาดเชิงเส้นของกระแสเอาท์พุต

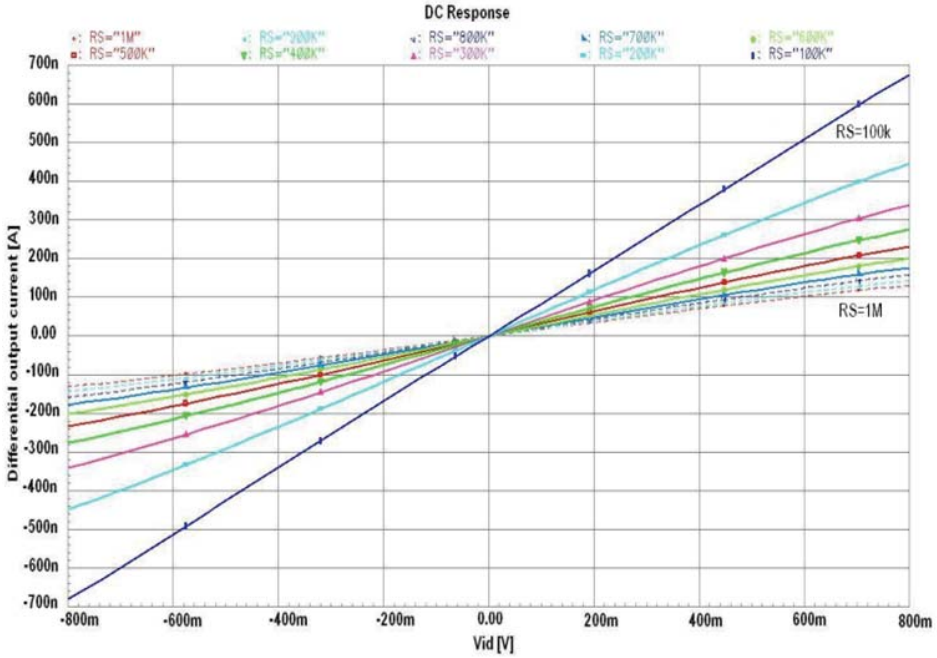


รูปที่ 5.6: ผลจำลองค่าทรานส์คอนดักแตนซ์ผลต่างกับแรงดันอินพุตผลต่าง

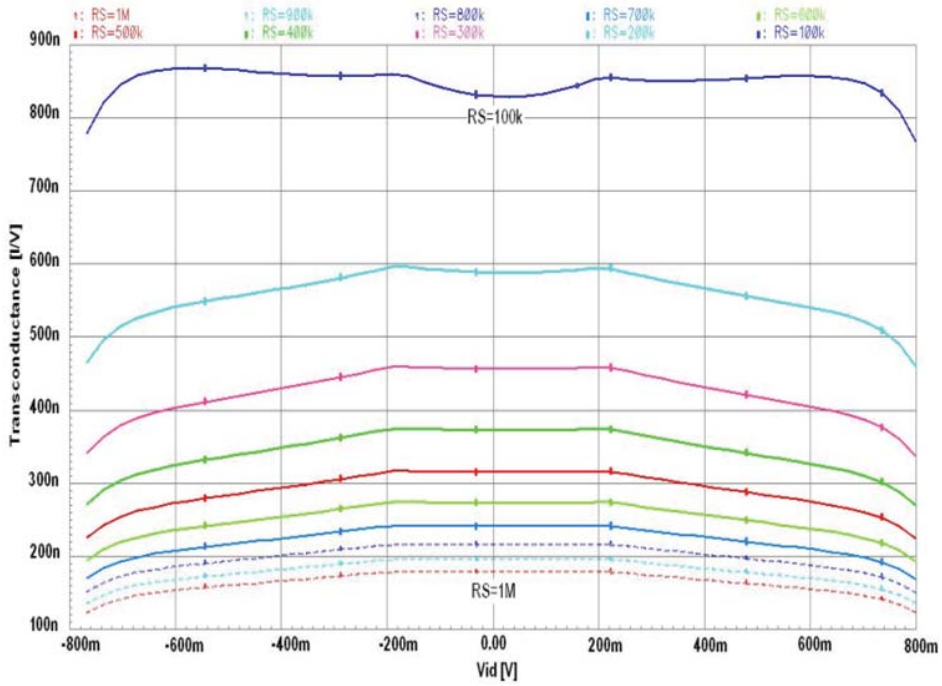
ค่าทรานส์คอนดักแตนซ์ปรับไปจาก 0.1 μA/V to 0.9 μA/V โดยไม่มีการเปลี่ยนแปลงช่วงความเป็นเชิงเส้นอินพุต รูปที่ 5.9 แสดงผลจำลองค่าความผิดเพี้ยนฮาร์โมนิครวมกับขนาดแรงดันอินพุตผลต่างที่ความถี่อินพุตต่างๆ ตั้งแต่ 1 kHz ถึง 10 kHz โดยค่าแรงดันอินพุตผลต่างสูงสุดที่ให้ค่าความผิดเพี้ยนฮาร์โมนิครวมไม่เกิน 1 % มีค่าเท่ากับ 470 mV และสัญญาณรบกวนในช่วงความถี่ 10 kHz มีค่าแรงดันสัญญาณรบกวนที่อินพุตทั้งหมด 148 μV ดังนั้นวงจรมีค่าพิสัยพลวัตประมาณ 70 dB

5.4 สรุป

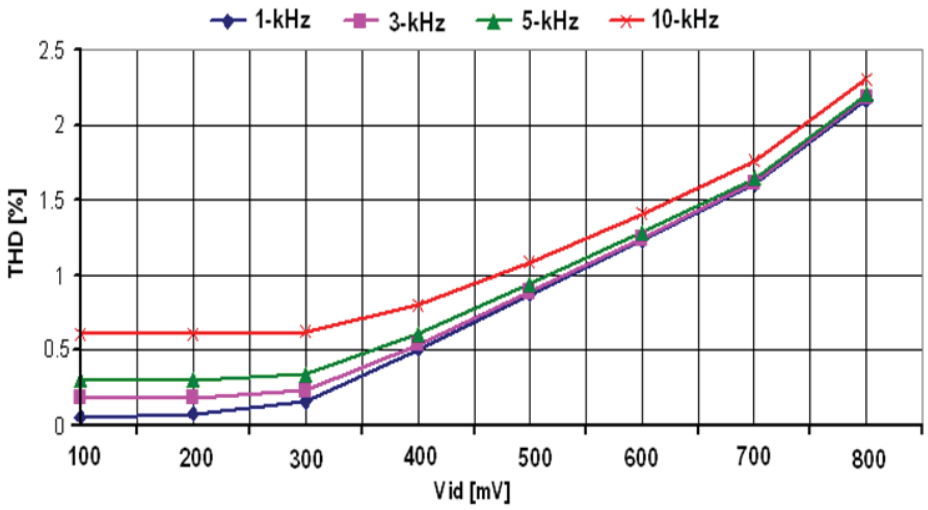
บทนี้ได้กล่าวถึงการออกแบบวงจรขยายทรานส์คอนดักแตนซ์เชิงเส้นที่ใช้แรงดันไฟเลี้ยงและกำลังต่ำ โดยใช้เทคนิคการขับสัญญาณอินพุตที่ขาบอดี้ของมอสเฟต วงจรใช้โครงสร้างวงจรขยายสัญญาณผลต่างอินพุตโดยขับสัญญาณอินพุตที่ขาบอดี้ร่วมกับการใช้ตัวต้านทานถดถอยที่ขาซอร์สร่วม (resistive source degeneration) และโครงสร้างวงจรตามสัญญาณแบบกลับแรงดัน (Flipped-voltage follower) เพื่อให้ได้ความเป็นเชิงเส้นที่สูงภายใต้การทำงานที่แรงดันไฟเลี้ยงต่ำ วงจรที่นำเสนอใช้กำลังไฟ 0.8 μW จากแรงดันไฟเลี้ยง 0.8 V และผลจำลองการทำงานของวงจรแสดงว่าวงจรมีความเป็นเชิงเส้นที่ดีโดยมีความผิดเพี้ยนฮาร์โมนิครวม (Total harmonic distortion) น้อยกว่า 1 % ในช่วงแรงดันอินพุต 470 mV วงจร OTA ที่นำเสนอจึงมีศักยภาพเหมาะสมกับการประยุกต์ใช้งานสำหรับวงจรกรองความถี่และวงจรขยายในระบบวงจรรวมสำหรับทางชีวการแพทย์และโครงข่ายประสาท



รูปที่ 5.7: กระแสเอาท์ผลต่างของวงจร OTA ในรูปที่ 5.3 เมื่อปรับค่า R_S ระหว่าง 100 kΩ ถึง 1 MΩ



รูปที่ 5.8: ค่าทรานส์คอนดักแตนซ์ผลต่างของวงจร OTA ในรูปที่ 5.3 เมื่อปรับค่า R_S ระหว่าง 100 kΩ ถึง 1 MΩ



รูปที่ 5.9: ผลจำลองความผิดเพี้ยนของกระแสเอาท์พุตที่แรงดันและความถี่อินพุตต่างๆ

บทที่ 6

สรุปผลดำเนินงาน

รายงานนี้นำเสนอผลงานวิจัยด้านการออกแบบวงจรรวมแอนะล็อกและผสมสัญญาณแบบซีมอสที่ใช้กำลังไฟต่ำมากสำหรับการประยุกต์ใช้งาน ด้านชีวการแพทย์และการดูแลสุขภาพรอบตัว โดยอธิบายถึงการออกแบบวงจรที่ใช้กำลังไฟต่ำและแรงดันไฟเลี้ยงต่ำในเทคโนโลยีซีมอสสมัยใหม่ที่มีขนาดเล็กกว่า 1 ไมโครเมตร ด้วยวิธีการและเทคนิคต่างๆ เช่น การใช้มอสเฟตในย่านต่ำกว่าขีดเริ่ม เทคนิคโหมดกระแส เทคนิคทรานส์ลิเนียร์โหมดกระแส เทคนิคการขับอินพุตที่ขาบอดี้ วงจรที่ได้วิจัยและพัฒนาขึ้นภายใต้โครงการวิจัยนี้ ได้แก่

1. วงจรอ่านค่าสัญญาณจากอีสเฟตที่ไวต่อค่า pH ซึ่งมีขนาดเล็ก ง่ายต่อการออกแบบและใช้กำลังไฟฟ้าต่ำมาก วงจรที่นำเสนอใช้โครงสร้างของวงจรขยายสัญญาณผลต่างที่ใช้อีสเฟตและรีเฟตในย่านผันกลับอย่างอ่อน และใช้หลักการทรานส์ลิเนียร์โหมดกระแสเพื่อให้ได้ความเป็นเชิงเส้นที่ดีและสามารถกำจัดสัญญาณรบกวนโหมดร่วมที่ขั้วอิเล็กโตรดอ้างอิง อีกทั้งยังสามารถชดเชยผลของตัวถัง (Body effects) ของเฟตได้อีกด้วย วงจรที่นำเสนอมีศักยภาพเหมาะสมสำหรับใช้ในส่วนประมวลสัญญาณของระบบตรวจวัดชีวเคมีแบบฝังตัว (Implantable) และเวลาจริง (Real-time)

2. วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบล็อกการิทึมโหมดกระแสที่ใช้โครงสร้างแบบไพพ์ไลน์และแบบอัลกอริทึม เพื่อใช้แปลงค่าสัญญาณกระแสจากวงจรอ่านค่าสัญญาณอีสเฟตให้เป็นสัญญาณดิจิตอลที่มีความละเอียด 8 บิต โดยใช้เทคนิคการทำงานในย่านผันกลับอย่างอ่อนของมอสเฟต หลักการทรานส์ลิเนียร์ ผลการจำลองการทำงานวงจรด้วยเทคโนโลยีซีมอสขนาด 0.18 μm แสดงให้เห็นว่าวงจรสามารถทำงานได้ดีที่แรงดันไฟเลี้ยงต่ำและใช้กำลังไฟต่ำเหมาะสมสำหรับการประยุกต์ใช้งานด้านชีวการแพทย์

3. วงจรตรวจวัดกำลังงานสัญญาณคลื่นความถี่วิทยุที่ใช้กำลังงานต่ำและมีพิสัยพลวัตสูง วงจรที่นำเสนอประกอบด้วยวงจรตรวจวัดกำลังงาน rms และวงจรขยายล็อกการิทึม วงจรตรวจวัดกำลังงาน

rms อาศัยคุณลักษณะความไม่เป็นเชิงเส้นของมอสเฟตในย่านอิ่มตัวและโหลดแอกทีฟเพื่อเพิ่มอัตราขยายแปลงที่กำลังงานต่ำสุด ทำให้ไม่ต้องใช้แบนด์วิดท์สูงและไม่ต้องใช้วงจรเรียงกระแสและวงจรกรอง ผลจำลองการทำงานที่ได้จากผังภูมิวงจรในเทคโนโลยีซีมอสขนาด 0.18 ไมโครเมตร แสดงให้เห็นว่าวงจรสามารถตรวจวัดกำลังงานอินพุตได้ตั้งแต่ -70 dBm ถึง -20 dBm ในย่านความถี่ 500 MHz ถึง 5 GHz และใช้กำลังงาน 0.9 mW ดังนั้นวงจรจึงเหมาะสมในการใช้งานสำหรับระบบโครงข่ายเซนเซอร์ไร้สาย

4. วงจรขยายทรานส์คอนดักแตนซ์เชิงเส้นที่ใช้แรงดันไฟเลี้ยงและกำลังต่ำ โดยใช้เทคนิคการขับสัญญาณอินพุตที่ขาบอดี้ของมอสเฟต วงจรใช้โครงสร้างวงจรขยายสัญญาณผลต่างอินพุตโดยขับสัญญาณอินพุตที่ขาบอดี้ร่วมกับการใช้ตัวต้านทานถดถอยที่ขาซอร์สร่วม (Resistive source degeneration) และโครงสร้างวงจรตามสัญญาณแบบกลับแรงดัน (Flipped-voltage follower) เพื่อให้ได้ความเป็นเชิงเส้นที่สูงภายใต้การทำงานที่แรงดันไฟเลี้ยงต่ำ วงจรที่นำเสนอใช้กำลังไฟ 0.8 μW จากแรงดันไฟเลี้ยง 0.8 V และผลจำลองการทำงานของวงจรแสดงว่าวงจรมีความเป็นเชิงเส้นที่ดีโดยมีความผิดเพี้ยนฮาร์โมนิครวม (Total harmonic distortion) น้อยกว่า 1 % ในช่วงแรงดันอินพุต 470 mV วงจรขยายทรานส์คอนดักแตนซ์เชิงเส้น ที่นำเสนอจึงมีศักยภาพเหมาะสมกับการประยุกต์ใช้งานสำหรับวงจรกรองความถี่และวงจรขยายในระบบวงจรรวมสำหรับทางชีวการแพทย์และโครงข่ายประสาท

บรรณานุกรม

[1] A. P. Chandrakasan, N. Verma, and D. C. Daly, “Ultra low-power electronics for biomedical applications,” *Annual Review of Biomedical Engineering*, vol. 10, pp. 247–274, Aug. 2008.

[2] “IBM - IT-enabled personalized healthcare: Improving the science of health promotion and care delivery.” http://www-935.ibm.com/services/us/gbs/bus/html/ibv-it-enabled-personalized-healthcare.html.

[3] U. Varshney, “Pervasive healthcare,” *Computer*, vol. 36, pp. 138–140, Dec. 2003.

[4] L. S. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas, and H. Naas, “A very low-power CMOS mixed-signal IC for implantable pacemaker applications,” *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 2446– 2456, Dec. 2004.

[5] S. Kim, S. J. Lee, N. Cho, S. Song, and H. Yoo, “A fully integrated digital hearing aid chip with human factors considerations,” *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 266–274, Jan. 2008.

[6] J. Georgiou and C. Toumazou, “A 126-μW cochlear chip for a totally implantable system,” *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 430– 443, Feb. 2005.

[7] R. Sarpeshkar, C. Salthouse, J.-j. Sit, M. W. Baker, S. M. Zhak, T. K. t. Lu, L. Turicchia, and S. Balster, “An Ultra-Low-Power programmable analog bionic ear processor,” *IEEE Transactions on Biomedical Engineering*, vol. 52, pp. 711—727, 2005.

[8] K. D. WISE, D. J. ANDERSON, J. F. HETKE, D. R. KIPKE, and K. NAJAFI, “Wireless implantable microsystems: high-density electronic interfaces to the nervous system,” *Proceedings of the IEEE*, vol. 92, pp. 76– 97, Jan. 2004.

[9] S. O'Driscoll, T. Meng, K. Shenoy, and C. Kemere, "Neurons to silicon: Implantable prosthesis processor," in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, pp. 2248–2257, IEEE, Feb. 2006.

[10] J. D. Weiland, W. Liu, and M. S. Humayun, "Retinal prosthesis," *Annual Review of Biomedical Engineering*, vol. 7, pp. 361–401, Aug. 2005.

[11] C. Wang, C. Huang, J. Liou, Y. Ciou, I. Huang, C. Li, Y. Lee, and W. Wu, "A Mini-Invasive Long-Term bladder urine pressure measurement ASIC and system," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 2, pp. 44–49, Mar. 2008.

[12] B. Gyselinckx, C. Van Hoof, J. Ryckaert, R. F. Yazicioglu, P. Fiorini, and V. Leonov, "Human++: autonomous wireless sensors for body area networks," in *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, pp. 13– 19, IEEE, Sept. 2005.

[13] A. E. J. Bausells, J. Carrabina and A. Merlos, "Ion-sensitive field-effect transistors fabricated in a commercial CMOS technology," *Sens. Actuators B. Chem.*, vol. 57, pp. 56–62, 1999.

[14] D. A. P. A. Hammond and D. R. S. Cumming, "Design of a single-chip pH sensor using conventional 0.6-μm CMOS process," *IEEE Sensors Journal*, vol. 4, pp. 706–712, 2004.

[15] L. Shepherd and C. Toumazou, "A biochemical translinear principle with weak inversion ISFETs," *IEEE Trans. Circuits Syst. - I*, vol. 52, pp. 2614–2619, 2005.

[16] S. Martinoia and G. Massobrio, "A behavioral macromodel of the ISFET in SPICE," *Sens. Actuators B. Chem.*, vol. 62, pp. 182–189, 2000.

[17] S. Cantarano and G. V. Pallottino, "Logarithmic Analog-to-Digital Converters: A Survey," *IEEE Trans. Instru. Meas.*, vol. 22, pp. 201–213, 1973.

[18] J.-J. Sit and R. Sarpeshkar, "A Micropower Logarithmic A/D With Offset and Temperature Compensation," *IEEE J. Solid-State Circuits*, vol. 39, pp. 308–319, 2004.

[19] J. Guilherme and J. E. Franca, "New CMOS Logarithmic A/D converters Employing Pipeline and Algorithmic Architectures," in *1995 IEEE International Symposium on Circuits and Systems*, 1995.

[20] J. Guilherme and J. E. Franca, "New CMOS Logarithmic Two-Step Flash A/D converters with Digital Error Correction," in *Proc. IEEE MWSCAS 1995*, 1995.

[21] J. Mahattanakul, "Logarithmic data converter suitable for hearing aid applications," *Electronic Letters*, vol. 41, pp. 394 – 396, 2004.

[22] A. Thanachayanont and S. Sirimasakul, "Ultra-Low-Power Differential ISFET/REFET Readout Circuit," *ETRI Journal*, vol. 31, pp. 243–245, 2009.

[23] T. Serrano-Gotarredona, B. Linares-Barranco, and A. Andreou, "A general translinear principle for subthreshold MOS transistors," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 46, pp. 607–616, May 1999.

[24] C. Yoo and J. Park, "CMOS current reference with supply and temperature compensation," *Electronics Letters*, vol. 43, p. 1422, 2007.

[25] D. G. Nairn and C. A. Salama, "Current-mode algorithmic analog-to-digital converters," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 997–1004, Aug. 1990.

[26] C. Eichenberger and W. Guggenbuhl, "On charge injection in analog MOS switches and dummy switch compensation techniques," *IEEE Transactions on Circuits and Systems*, vol. 37, pp. 256–264, Feb. 1990.

[27] C. Toumazou, J. B. Hughes, and D. M. Pattullo, "Regulated cascode switched-current memory cell," *Electronics Letters*, vol. 26, pp. 303–305, Mar. 1990.

[28] A. Rodriguez-Vazquez, R. Dominguez-Castro, F. Medeiro, and M. Delgado-Restituto, "High resolution CMOS current comparators: design and applications to current-mode function generation," *Analog Integrated Circuits and Signal Processing*, vol. 7, pp. 149–165, Mar. 1995.

[29] Y. Zhou and M. Y. Chia, "A Low-Power Ultra-Wideband CMOS true RMS power detector," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, pp. 1052–1058, May 2008.

[30] K. A. Townsend and J. W. Haslett, "A wideband power detection system optimized for the UWB spectrum," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 371–381, Feb. 2009.

[31] A. Valdes-Garcia, R. Venkatasubramanian, J. Silva-Martinez, and E. Sanchez-Sinencio, "A broadband CMOS amplitude detector for On-Chip RF measurements," *IEEE Transactions on Instrumentation and Measurement*, vol. 57, pp. 1470–1477, July 2008.

[32] T. Zhang, W. R. Eisenstadt, and R. M. Fox, "A novel 5GHz RF power detector," in *2004 IEEE International Symposium on Circuits and Systems*, vol. 1, pp. I– 897–900 Vol.1, IEEE, May 2004.

[33] V. Milanovic, M. Gaitan, E. Bowen, N. Tea, and M. Zaghloul, "Thermoelectric power sensor for microwave applications by commercial CMOS fabrication," *IEEE Electron Device Letters*, vol. 18, pp. 450–452, Sept. 1997.

[34] V. Milanovic, M. Gaitan, J. Marshall, and M. Zaghloul, "CMOS foundry implementation of schottky diodes for RF detection," *IEEE Transactions on Electron Devices*, vol. 43, pp. 2210–2214, Dec. 1996.

[35] T. Zhang, W. Eisenstadt, R. Fox, and Q. Yin, "Bipolar microwave RMS power detectors," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 2188–2192, Sept. 2006.

[36] R. A. Barrett, "Broadband RF power detector using FET," Mar. 1987. U.S. Classification: 324/95 International Classification: G01R 2304; H03B 104.

[37] G. Ferrari, L. Fumagalli, M. Sampietro, E. Prati, and M. Fanciulli, "CMOS fully compatible microwave detector based on MOSFET operating in resistive regime," *IEEE Microwave and Wireless Components Letters*, vol. 15, pp. 445– 447, July 2005.

[38] J. Mulder, A. C. Van der Woerd, W. A. Serdijn, and A. H. Van Roermund, "An RMS-DC converter based on the dynamic translinear principle," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1146–1150, July 1997.

[39] Q. Yin, W. R. Eisenstadt, R. M. Fox, and T. Zhang, "A translinear RMS detector for embedded test of RF ICs," *IEEE Transactions on Instrumentation and Measurement*, vol. 54, pp. 1708– 1714, Oct. 2005.

[40] S. Sengupta, K. Saurabh, and P. Allen, "A process, voltage, and temperature compensated CMOS constant current reference," in *2004 IEEE International Symposium on Circuits and Systems*, pp. I–325–I–328, IEEE.

[41] Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez, "Transconductance amplifier structures with very small transconductances: a comparative design approach," *IEEE Journal of Solid State Circuits*, vol. 37, no. 6, pp. 770–775, 2002.

[42] R. Sarpeshkar, R. F. Lyon, and C. Mead, "A low-power wide-linear-range transconductance amplifier," *ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING*, vol. 13, pp. 123—151, 1997.

[43] I. Grech, J. Micallef, G. Azzopardi, and C. J. Debono, "A low voltage Wide-Input-Range Bulk-Input CMOS OTA," *Analog Integr. Circuits Signal Process.*, vol. 43, p. 127–136, May 2005.

[44] S. Chatterjee, Y. Tsividis, and P. Kinget, "0.5-V analog circuit techniques and their application in OTA and filter design," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 2373–2387, Dec. 2005.

[45] A. Arnaud and C. Galup-Montoro, "Pico-A/V range CMOS transconductors using series-parallel current division," *Electronics Letters*, vol. 39, pp. 1295– 1296, Sept. 2003.

[46] K. Kuo and A. Leuciuc, "A linear MOS transconductor using source degeneration and adaptive biasing," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 937–943, Oct. 2001.

[47] J. M. Carrillo, J. F. Duque-Carrillo, and G. Torelli, "1-V continuously tunable CMOS bulk-driven transconductor for G_m-C filters," in *2008 IEEE International Symposium on Circuits and Systems*, pp. 896–899, IEEE, May 2008.

[48] L. Zhang, X. Zhang, E. El-Masry, and Y. Zhang, "A Low-Voltage high linear Body-Driven operational transconductance amplifier and its applications," in *2007 Canadian Conference on Electrical and Computer Engineering*, pp. 534–537, IEEE, 2007.

[49] C. J. B. Fayomi, M. Sawan, and G. W. Roberts, "Reliable circuit techniques for Low-Voltage analog design in deep submicron standard CMOS: a tutorial," *Analog Integr. Circuits Signal Process.*, vol. 39, p. 21–38, Apr. 2004.

[50] C. Popa and D. Coada, "A new linearization technique for a CMOS differential amplifier using bulk-driven weak inversion MOS transistors," in *2003 International Symposium on Signals, Circuits and Systems*, vol. 2, pp. 589–592, IEEE, July 2003.

[51] Y. Haga and I. Kale, "Bulk-driven flipped voltage follower," in *2009 IEEE International Symposium on Circuits and Systems*, pp. 2717–2720, IEEE, May 2009.

ภาคผนวก

ผลงานที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

1. A. Thanachayanont and S. Sirimasakul, “Ultra-Low-Power Differential ISFET/REFET Readout Circuit,” ETRI Journal, vol. 31, pp. 243-245, Apr. 2009.
2. A. Thanachayanont and M. Krairiksh, “Implementation of an RF CMOS quadrature LC voltage-controlled oscillator based on the switched tail transistor topology,” Journal of Circuits, Systems, and Computers, vol. 19, p. 931, 2010.
3. A. Thanachayanont, S. Sakphrom, and M. Krairiksh, “A Low-power Wide Dynamic Range CMOS RF Power Detector,” submitted to Journal of Signals, Circuits, and Systems, July 2011.
4. A. Thanachayanont and S. Sakphrom, “Low-power current-mode logarithmic analog-to-digital converters for biomedical sensors,” to be submitted to International Journal of Electronics.

ผลงานที่ตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ

1. S. Sirimasakul, A. Thanachayanont, and W. Jeamsaksiri, “Low-power current-mode logarithmic pipeline analog-to-digital converter for ISFET based pH sensor,” in 9th International Symposium on Communications and Information Technology, 2009. ISCIT 2009, 2009, pp. 1340-1343.
2. S. Sirimasakul, A. Thanachayanont and W. Jeamsaksiri, “Low-Power CMOS Interface Circuit for ISFET based pH Sensor”, published in Proceedings of the 2009 (12th) IEEJ International Analog VLSI Workshop, Chiang Mai, Thailand, Nov. 2009

3. J. Budboonchu and A. Thanachayanont, “Phase noise reduction of CMOS ring oscillator using rail-to-rail current-starved delay cell,” published in Proceedings of the 25th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), Pattaya, July 2010.

4. A. Yodtean, P. Isarasena, and A. Thanachayanont, “0.8-μW CMOS bulk-driven linear operational transconductance amplifier in 0.35-μm technology,” in 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2010, pp. 784-787.

Ultra-Low-Power Differential ISFET/REFET Readout Circuit

Apinunt Thanachayanont and Silar Sirimasakul

ABSTRACT—A novel ultra-low-power readout circuit for a pH-sensitive ion-sensitive field-effect transistor (ISFET) is proposed. It uses an ISFET/reference FET (REFET) differential pair operating in weak-inversion and a simple current-mode metal-oxide semiconductor FET (MOSFET) translinear circuit. Simulation results verify that the circuit operates with excellent common-mode rejection ability and good linearity for a single pH range from 4 to 10, while only 4 nA is drawn from a single 1 V supply voltage.

Keywords—ISFET, CMOS, low power, weak inversion.

I. Introduction

The recent success of ion-sensitive field-effect transistor (ISFET) fabrication in a standard CMOS process [1] has triggered a vast research effort toward the integration of ISFET-based chemical and biochemical sensors and CMOS signal processing circuitry in a single chip [2]. More recently, the subthreshold region has been demonstrated to exist in CMOS-compatible ISFET, and it has been exploited together with the translinear principle of weak-inversion metal-oxide semiconductor FETs (MOSFETs) to realize an ultra-low-power current-mode readout circuit [3]. Such a single-chip "smart sensor" with extremely low power consumption holds great potential for real-time biochemical sensing for implantable biomedical systems. In this letter, a novel ultra-low-power differential readout circuit for pH-sensitive ISFET is proposed.

Manuscript received Nov. 17, 2008; revised Feb. 2, 2009; accepted Feb. 18, 2009.

This work was supported by Thailand Graduate Institute of Science and Technology (Grant #TGIST 01-50-080) and Thailand Research Fund (Grant #RSA5180015).

Apinunt Thanachayanont (phone: + 66 818394328, email: ktapinun@kmitl.ac.th) and Silar Sirimasakul (email: silarsi@gmail.com) are with the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand.

II. Proposed ISFET/REFET Readout Circuit

Figure 1 shows the schematic diagram of the proposed ultra-low-power differential readout circuit. An ion-insensitive FET, also known as a reference FET (REFET), is used together with an ISFET to realize a source-coupled differential pair with a shared quasi-reference metal electrode as their gate connected to a stable DC reference voltage (V_{REF}). This suppresses the output current variation due to common-mode disturbances in the electrode potential and permits the use of a solid-state quasi -reference electrode. All MOSFETs, the ISFET, and the REFET operate in the saturated weak-inversion region (that is, $V_{GS}<V_{TH}$ and $V_{DS}>4U_T$) with identical DC bias current (I_O). The

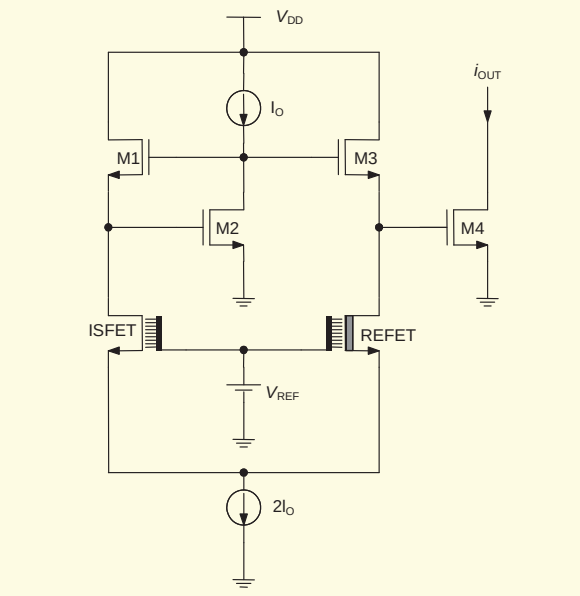


Fig. 1. Proposed differential ISFET/REFET readout circuit.

 © 2009 ETRI

drain currents of the subthreshold ISFET [2] and REFET differential pair can be derived in (1) and (2), respectively, where I_O is the quiescent drain current of the ISFET and REFET at the reference pH of 7, α is a dimensionless sensitivity parameter of the ISFET [2], $U_T=kT/q$ is the thermal voltage, n is the subthreshold slope parameter, and ΔpH is the differential pH variation. Therefore, $i_{D,\,ISFET}$ equals $2I_O$ and $i_{D,\,REFET}$ is zero for a large negative ΔpH, and vice versa for a large positive ΔpH. This is similar to the operation of a conventional MOSFET differential pair.

$$i_{D,ISFET} = 2I_O \cdot \frac{e^{(-2.3\alpha U_T \Delta pH/nU_T)}}{1+e^{(-2.3\alpha U_T \Delta pH/nU_T)}}, \quad (1)$$

$$i_{D,REFET} = 2I_O - i_{D,ISFET} = 2I_O \cdot \frac{1}{1+e^{(-2.3\alpha U_T \Delta pH/nU_T)}}. \quad (2)$$

Applying the translinear principle to M_1 to M_4, the output current i_{OUT} can be calculated as in (3). The current i_{OUT} can also be rewritten as (4) and (5) since $\Delta pH = -\log_{10}\Delta[H+]$, where $\Delta[H+]$ is the differential change in hydrogen ion concentration. Since $0<\alpha<1$ and $n>1$, the index (α/n) is always between 0 and 1. Therefore, if a linear relationship between i_{OUT} and $\Delta[H+]$ is desired, i_{OUT} can be applied to an appropriate translinear circuit as in [2].

$$i_{OUT} = \frac{i_{D1} \times i_{D2}}{i_{D3}} = \frac{i_{D,ISFET} \times I_O}{i_{D,REFET}} = I_O \cdot e^{(-2.3\alpha U_T \Delta pH/nU_T)}, \quad (3)$$

$$i_{OUT} = I_O \cdot \Delta\left[H^+\right]^{\alpha/n}, \quad (4)$$

$$\log_{10} i_{OUT} = \log_{10} I_O - \frac{\alpha}{n}\Delta pH. \quad (5)$$

Assuming that all devices are in close proximity and thermally matched, the ratiometric relationship of the translinear principle reduces the temperature dependence of the circuit, and together with the ISFET/REFET differential topology, the body effects of MOSFETs, ISFET, and REFET can easily be shown to cancel out, at least in theory [3]. A temperature-independent current source I_O can be provided by a bandgap voltage reference generator, and assuming that α and n are temperature-independent parameters to a first-order approximation, i_{OUT} is inherently temperature insensitive.

III. Simulation Results

The proposed ISFET readout circuit was designed to operate with a single 1 V power supply voltage. The ISFET and REFET were modeled with the behavioral macromodel described in [4], and the circuit was simulated with Cadence

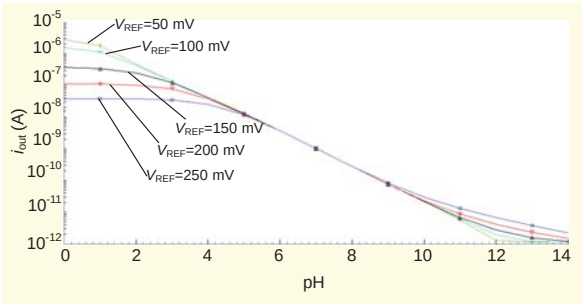


Fig. 2. Simulated i_{OUT} vs. pH at different values of V_{REF}.

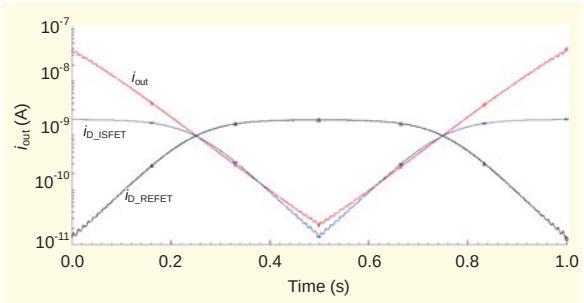


Fig. 3. Simulated transient response due to changes in pH.

and component parameters from a 0.35 μm CMOS technology. All MOSFETs have the aspect ratio of 5 μm/2 μm, while the ISFET and REFET have a large aspect ratio of 100 μm/10 μm for good matching. Both DC current sources were realized with simple current mirrors with large channel length for good accuracy and large output resistance. The index α/n is around 0.7, I_O is 1 nA, and V_{REF} is 200 mV. All bias currents and voltages were chosen to center the circuit operation on the reference pH of 7. The circuit dissipates 4 nW.

Figure 2 plots the simulated i_{OUT} against the pH value at various V_{REF} values. At the nominal V_{REF} of 200 mV, a good linearity is obtained for the pH range of 4 to 10. This is limited by the weak-inversion operating range of the ISFET [2], which spans about 3 to 5 decades of drain current. Figure 2 shows that a large voltage variation of over 200 mV (100% fluctuation) in V_{REF} has virtually no effect in i_{OUT} in the pH range of 5 to 9. However, at lower and higher pH values, evident fluctuations in i_{OUT} were observed because the ISFET/REFET differential pair saturated with either $i_{D,\,ISFET}$ or $i_{D,\,REFET}$ was practically zero.

To test the common-mode signal rejection ability of the circuit, a 20 mV and 50 Hz disturbance voltage was added to the common reference electrode V_{REF}, while the input pH value was ramped up and down between 4 and 10 within 1 second. Figure 3 plots a transient response of $i_{D,\,ISFET}$, $i_{D,\,REFET}$, and i_{OUT}. All signal currents are virtually free of common-mode disturbance except for the regions where the pH is either less

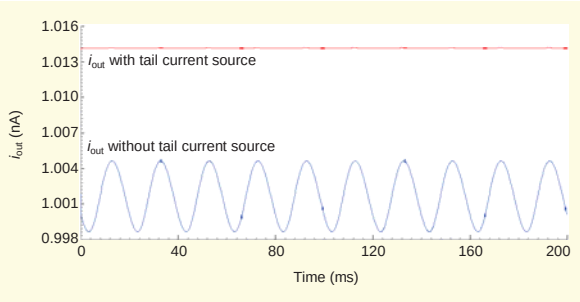


Fig. 4. Simulated i_{OUT} with and without the tail current source.

than 5 or more than 9. The noticeable disturbance in the low and high pH values is due to the saturation of the ISFET/REFET differential. Figure 4 plots the transient response of i_{OUT} of the circuit with and without the tail current source at pH = 7 when a common-mode disturbance of 20 mV at 50 Hz was applied to the reference electrode. With the tail current source, i_{OUT} was virtually constant, while a variation of around 10 pA (i.e. 1% of I_O) was shown when the tail current source was omitted. Figures 3 and 4 clearly demonstrate the superior common-mode rejection ability of the proposed circuit.

IV. Conclusion

A simple ultra-low-power readout circuit for pH-sensitive ISFET was presented. The circuit employs an ISFET/REFET differential pair operating in weak-inversion and a simple current-mode translinear circuit to achieve good linearity, excellent suppression of common-mode disturbance in the reference electrode, and compensation of the body effects. The proposed circuit was demonstrated to be an attractive candidate for signal processing front-end of a real-time implanted biochemical sensing system.

References

[1] J. Bausells et al., "Ion-Sensitive Field-Effect Transistors Fabricated in a Commercial CMOS Technology," *Sens. Actuators B. Chem.*, vol. 57, 1997, pp. 56-62.

[2] P.A. Hammond, D. Ali, and D.R.S. Cumming, "Design of a Single-Chip pH Sensor Using Conventional 0.6-mm CMOS Process," *IEEE Sensors J.*, vol. 4, no. 6, Dec. 2004, pp. 706-712.

[3] L. Shepherd and C. Toumazou, "A Biochemical Translinear Principle with Weak Inversion ISFETs," *IEEE Trans. Circuits Syst. – I*, vol. 52, no. 12, Dec. 2005, pp. 2614-2619.

[4] S. Martinoia and G. Massobrio, "A Behavioral Macromodel of the ISFET in SPICE," *Sens. Actuators B. Chem.*, vol. 62, 2000, pp. 182-189.

Journal of Circuits, Systems, and Computers
Vol. 19, No. 5 (2010) 931–937
© World Scientific Publishing Company
DOI: 10.1142/S0218126610006530

World Scientific
www.worldscientific.com

IMPLEMENTATION OF AN RF CMOS QUADRATURE LC VOLTAGE-CONTROLLED OSCILLATOR BASED ON THE SWITCHED TAIL TRANSISTOR TOPOLOGY*

APINUNT THANACHAYANONT† and MONAI KRAIRIKSH

Faculty of Engineering and College of Data Storage Technology and Applications,
King Mongkut's Institute of Technology Ladkrabang,
3 Moo 2 Chalongkrung Road, Ladkrabang, Bangkok 10520, Thailand
†*ktapinun@kmitl.ac.th*

Received 25 August 2008
Accepted 8 January 2010

This paper describes the design and implementation of an RF CMOS quadrature LC voltage-controlled oscillator in a 0.35 μm technology. The proposed oscillator employs the switched tail transistor topology and differential switch capacitor tuning to achieve low phase noise operation. A modified series coupling mechanism is used for quadrature signal generation with wide output signal swing. The oscillator core circuit was designed to operate with a 2.5 V power supply voltage with a 4 mA total supply current. Measurement results showed that the prototype oscillator could achieve a nominal oscillation frequency of 2.2 GHz with −110 dBc/Hz phase noise at 1 MHz offset frequency.

Keywords: CMOS oscillator; voltage-controlled oscillator; quadrature; phase noise.

1. Introduction

Quadrature voltage-controlled oscillator (QVCO), used for I/Q modulation and demodulation, is one of the most vital building blocks in modern digital RF transceivers. There is a number of challenging design issues involved in realizing a GHz-range QVCO, including low phase noise, wide tuning range, low power dissipation and sufficient phase accuracy. High phase noise is mainly caused by the poor quality factor of on-chip inductor in CMOS process and the flicker noise from the tail transistors. Improving the phase noise performance has been achieved by attacking the two abovementioned root causes. The quality of integrated inductor has been enhanced by using special layout and fabrication techniques, e.g., in Ref. 1. Reduction of the flicker noise originated from the tail transistor has been achieved by using resistor biasing[2] and switched tail transistor biasing[3] techniques.

* This paper was recommended by Regional Editor Krishna Shenai.

This paper presents the design and experimental implementation of an RF CMOS quadrature LC voltage-controlled oscillator based on the switched tail transistor biasing, which has been coined by the authors in Ref. 3 as the "memory-reduced tail transistor" topology. The rest of the paper is organized as follows. Section 2 describes the circuit design and realization of the proposed QVCO. Experimental results of the prototype circuit and conclusion of the paper are given in Secs. 3 and 4, respectively.

2. Circuit Design and Realization

Figure 1 shows the simplified circuit diagram of the proposed quadrature LC voltage-controlled oscillator. The circuit is realized based on the so-called "memory-reduced tail transistor" topology,[3] to reduce the close-in phase noise due to the flicker noise originated by the tail transistors. The switched biasing is realized by NMOS transistors $M5-M8$, which force a trap and release captured electrons, rendering the transistors to be memory-less.[3] The cross-coupled transistors $M1-M4$ form the required negative resistance for sustainable oscillation. Since all transistors are switched biasing, the circuit is expected to have lower flicker noise.[3]

Quadrature signal generation is achieved by using anti-phase coupling of two identical differential oscillators. This can be obtained by using either parallel-coupled[4] or series-coupled transistors.[5] In this work, a modified series-coupled topology[6] is used

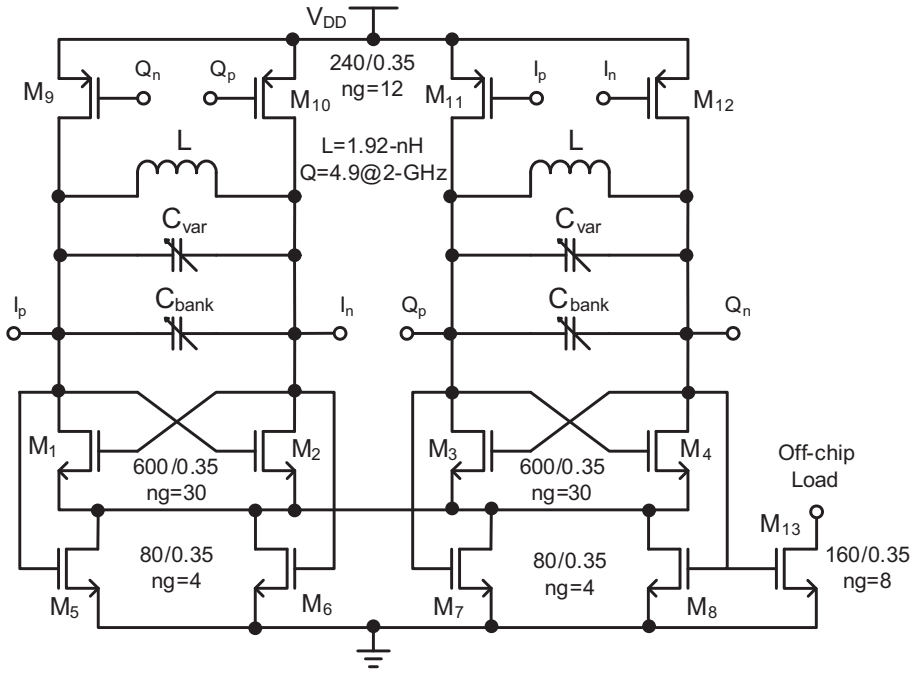


Fig. 1. Schematic diagram of the proposed quadrature VCO.

to avoid center-tapped inductor and to achieve large oscillation amplitude. PMOS transistors $M9-M12$ are used to perform the coupling mechanism.

The inductors were selected from the 3-metal spiral inductor library offered by the process design kit used in this work. The inductor value was chosen to be 1.92 nH with a Q-value of 4.9 at 2 GHz frequency. Using thick-metal inductors would provide higher Q-value, and thus a better phase noise performance. Varactor capacitor (Cvar) and a binary weighted array of switched capacitors (Cbank) are used to resonate with the inductors and achieve frequency tuning. Switched tuning of the array capacitor Cbank allows a wider frequency tuning range than that of the continuous tuning alone. Capacitance tuning of Cbank is performed by a digital control word with a differential switching tuning technique,[7] as depicted in Fig. 2, in order to achieve higher quality factor.

Varactor capacitors (Cvar), realized by PMOS transistors operating in the accumulation region, are used to provide wide tuning range and sufficiently high quality factor. The gate length of PMOS transistors was chosen to optimize the frequency tuning range and the quality factor. Small gate length increases the quality factor by reducing n-well series resistance; however the tuning range is decreased due to the increased ratio of fixed overlap capacitance to variable capacitance. The maximum and minimum values of Cvar are 370 fF and 102 fF, respectively, yielding the ratio Cmax/Cmin of 3.6.

Layout of the oscillator was performed very carefully in order to minimize parasitic effects and post-layout simulations with extracted netlist and pad/package parasitics were performed to ensure robust circuit performance. Overall circuit floorplan and layout were drawn symmetrically to achieve the best matching and minimize the output phase error. Cvar and Cbank were laid out with share source/drain area to minimize the fixed parasitic capacitance. Figure 3 shows the die photograph of the prototype QVCO.

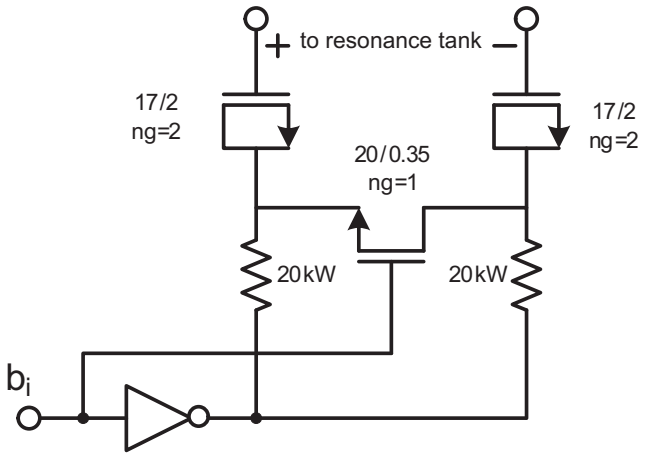


Fig. 2. Implementation of the differential switch tuning of Cbank.

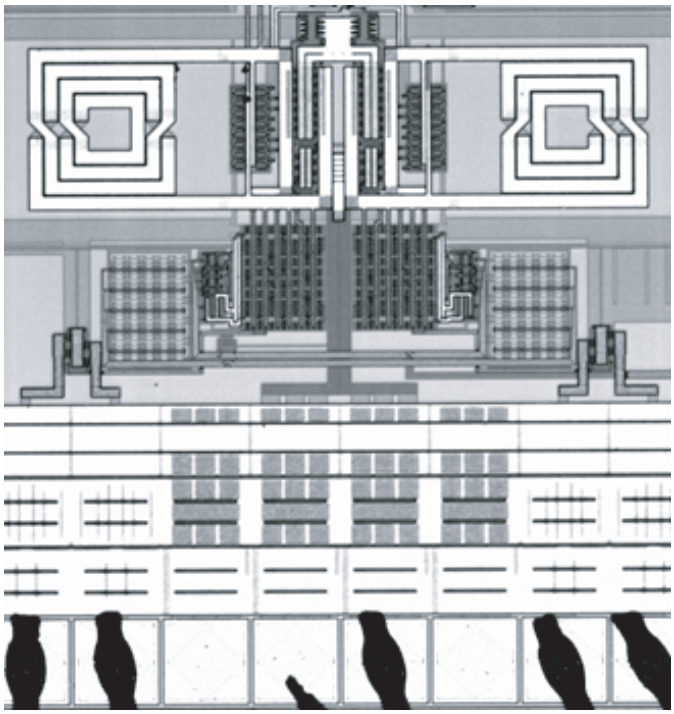


Fig. 3. Die photograph of the oscillator.

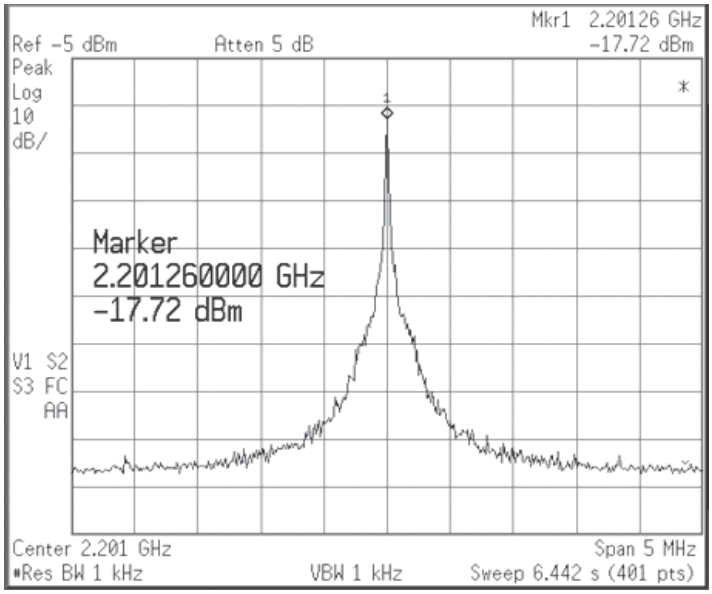


Fig. 4. Measured output spectrum of the VCO at 2.2 GHz.

3. Experimental Results

The oscillator was simulated and fabricated with a 0.35 μm 2-poly 3-metal CMOS technology. The circuit was designed to operate with a single 2.5 V supply voltage. The oscillation frequency was designed to be in the range of 2.0−2.2 GHz. The total power dissipation for the oscillator core circuit is 10 mW and the output buffer consumes about 100 mW. The total die area is $450 \times 680\,\text{mm}^2$.

All measurements of the oscillator performance were carried out with PLCC-packaged chips mounted on an FR-4 test board. The measured output frequency spectrum at 2.2 GHz is shown in Fig. 4. The measured phase noise is shown in Fig. 5.

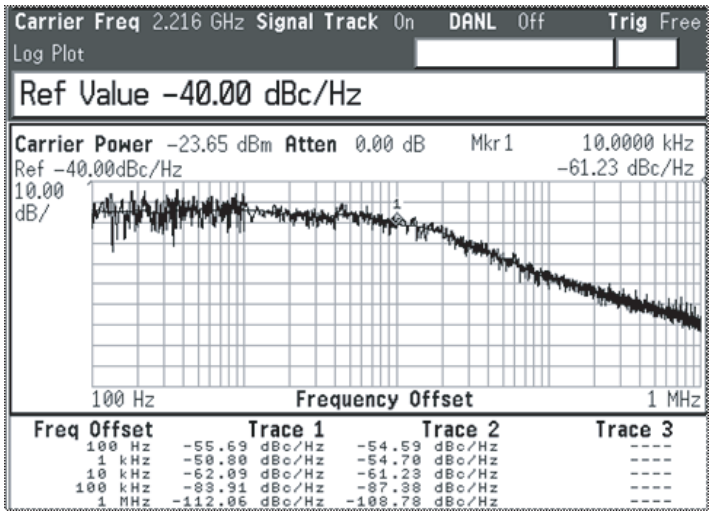


Fig. 5. Measured phase noise at 2.2 GHz oscillation frequency.

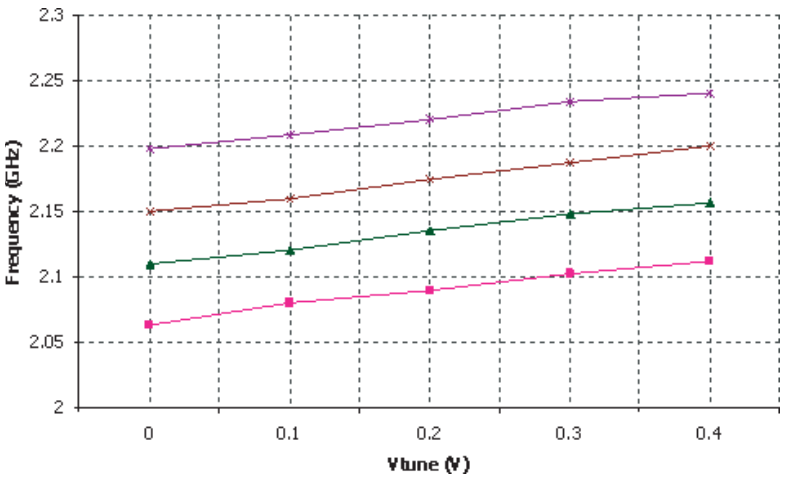


Fig. 6. Frequency tuning characteristics.

Table 1. Summary of the measured performance.

Parameters	Measured results
Technology	0.35 μm CMOS
Oscillation frequency (GHz)	2.0−2.2
V_{DD} (V)	2.5
Total P_{diss} (mW)	110
— oscillator core	10
— output buffer	100
Phase noise (dBc/Hz)	
— At 100 kHz Offset	−87
— At 1 MHz Offset	−110
FoM (dB)	167

At 100 kHz and 1 MHz frequency offsets, the measured phase noise values were −87 dBc/Hz and −110 dBc/Hz, respectively. The frequency tuning characteristic, in the linear region, is shown in Fig. 6. The calculated frequency tuning sensitivity is about 120 MHz/V for each continuous tuning. The measured performance of the prototype QVCO is summarized in Table 1. The calculated figure of merit (FoM)[8] is equal to 167 dB.

4. Conclusion

This paper has presented the experimental implementation of a GHz-range CMOS quadrature LC voltage controlled oscillator in a standard 0.35 μm CMOS process. The prototype QVCO achieved 2.0−2.2 GHz oscillation frequency with 4 mA current drawn from a 2.5 V supply voltage. The measured phase noise of a 2 GHz carrier signal is −110 dBc/Hz at 1 MHz offset frequency. Therefore a low phase noise QVCO using the switched tail transistor biasing topology has been successfully demonstrated.

Acknowledgments

This work was supported by Thailand Research Fund (TRF) (Grant numbers RTA5180002 and RSA5180015) and the Thai-chip service of National Electronics and Computer Technology Center (NECTEC). The author thanks S. Wongnamkam and Dr. K. Vichienchom for assistance with measurements of test chips.

References

1. C. P. Yue and S. S. Wong, On-chip spiral inductors with patterned ground shields for Si-based RF ICs, *IEEE J. Solid-State Circuits* **33** (1998) 743−752.
2. A. Ismail and A. A. Abidi, CMOS differential LC oscillator with suppressed up-converted flicker noise, *IEEE ISSCC Dig. Tech. Papers* (2003), pp. 98−99.

3. C. C. Boon, M. A. Do, K. S. Yeo, J. G. Ma and X. L. Zhang, RF CMOS low-phase-noise LC oscillator through memory reduction tail transistor, *IEEE Trans. Circuits Syst.-I* **51** (2004) 85−90.
4. A. Rofougaran, J. Rael, M. Rofouragan and A. Abidi, A 900 MHz CMOS LC oscillator with quadrature outputs, *IEEE ISSCC Dig. Tech. Papers* (1996), pp. 392−393.
5. P. Andreani, A low-phase-noise low-phase-error 1.8 GHz quadrature CMOS VCO, *IEEE ISSCC Dig. Tech. Papers* (2002), pp. 290−291.
6. A. Fard and P. Andreani, A low-phase-noise wide-band CMOS quadrature VCO for multi-standard RF front-ends, *IEEE Int. Symp. Radio Frequency Integrated Circuits* (2005), pp. 539−542.
7. H. Sjoland, Improved switched tuning of differential CMOS VCOs, *IEEE Trans. Circuits Syst.-I*, Vol. 49 (2002).
8. P. Kinget, *Integrated GHz Voltage Controlled Oscillators* (Kluwer, Norwell, MA, 1999), pp. 355−381.

Journal of Circuits, Systems, and Computers
© World Scientific Publishing Company

World Scientific
www.worldscientific.com

A LOW-POWER WIDE DYNAMIC RANGE CMOS RF POWER DETECTOR

A. THANACHAYANONT*, S. SAKPHROM, and M. KRAIRIKSH

Faculty of Engineering and College of Data Storage Technology and Applications,
King Mongkut's Institute of Technology Ladkrabang,
1 Chalongkrung 1, Ladkrabang, Bangkok 10520, Thailand
**ktapinun@kmitl.ac.th*

Received (Day Month Year)
Revised (Day Month Year)
Accepted (Day Month Year)

This paper describes the design and implementation of a low-power wide dynamic range radio-frequency (RF) power detector in a standard 0.18-μm CMOS process. The proposed circuit includes a root-mean-square (RMS) power detector and a logarithmic amplifier. The RMS power detector exploits the non-linear characteristic of MOSFET to realize the RMS conversion. A current-mirror active load is used in the RMS power detector to increase the RMS conversion gain. Since the output of the RMS power detector is a DC voltage, the following logarithmic amplifier does not require wide operating bandwidth, thus allowing simple circuit realization with minimum power dissipation. Simple differential amplifier is used to realize the limiting gain stage. Post-layout simulation results showed that the proposed circuit was able to detect input power from -70 dBm to -20 dBm with signal frequencies ranging from 0.5 GHz to 5 GHz, while dissipating only 0.9 mW under a 1.8-V power supply voltage.

Keywords: Low-power, RF power detector, Limiting amplifier, Logarithmic amplifier, RMS power detector.

1. Introduction

Power detection of radio frequency (RF) signals is required in many applications, ranging from wireless communication systems [1], [2] to integrated circuits test and measurement [3], [4]. In wireless communication systems, RF power detector is usually employed in a control loop in order to optimize power consumption, improve linearity of the power amplifier, or the control the gain of the transmitting and receiving chain.

The power level of a RF signal can be computed by using either the peak or root-mean-square (RMS) values. Peak detection is suitable for constant-envelope or low peak-to-average ratio modulated signals, however RMS detection is preferred for high peak-to-average ratio modulated signals due to better accuracy. Detection of the RMS value of a signal can be obtained by employing one of the following approaches: thermoelectric devices [5], the non-linear characteristics of diode [6] or bipolar junction transistor (BJT) [7] or metal-oxide-semiconductor field-effect transistor (MOSFET) [1], [8], [9], or current-mode computational circuits [3], [10], [11].

The thermal-based detection is suitable for measurement equipments because of its wide operating bandwidth and high accuracy. However, the implementation of a thermoelectric power sensor in CMOS technology requires additional post-processing steps, which are complicated and expensive [5].

The diode-based detectors use the non-linear characteristic of the diode to rectify the input signal and create a DC output signal level proportional to the input amplitude. For RF signals, Schottky diodes [6] and BJTs [7] can be used to realize the diode-based detector. However, Schottky diodes and BJTs are not available in standard CMOS processes thus are unsuitable for low-cost implementation.

Current-mode computational circuits, including squarer, divider and filter, can be used to realize a RMS detector. These current-mode circuits can be realized by using transconductors [3], [10] or translinear circuits [11]. Power detectors based on the translinear principle exploit the exponential characteristic of BJT or subthreshold MOSFET to realize the mathematical functions required for RMS conversion [11]. Translinear-based power detector for RF signals has been demonstrated in [11], however the achievable bandwidth is relatively limited with respect to the other approaches.

Alternatively, RF power detector can be implemented by exploiting the non-linear characteristics of MOSFETs [1], [8], [9]. In [9], the non-linearity of channel resistance of MOSFET operating in deep triode region was exploited to produce a DC current proportional to the amplitude of an input RF voltage signal at the drain of the transistor. However, the proposed technique in [9] is based on the use of resonant cavity to generate the drain voltage variation, thus is not suitable for CMOS integration. The need for the resonant cavity can be alleviated by applying an input RF signal directly to the drain terminal of a triode MOSFET and using a transimpedance amplifier to convert the output current to voltage [2], [12]. The circuit in [2] achieved a 20-dB input dynamic range with 3.1 GHz to 10.6 GHz operating bandwidth, while dissipating 10.8 mW from a 1.8-V power supply voltage.

In [1], the non-linear square-law characteristic of MOSFET operating in the saturation region was utilized to realize a RMS power detector. The basic principle, originally reported in [8], is to exploit the differential output current of a MOSFET source-coupled differential pair which is proportional to the square of the input RF voltage signal amplitude at the gate terminal. The experimental RF power detector in [1] exhibits very wide operating bandwidth; however the input power detectable dynamic range and the minimum detectable input power are limited to 20 dB and -35 dBm, respectively. The dynamic range and sensitivity is limited due to the use of a subthreshold MOSFET to generate an exponential output current within the logarithmic amplifier. Since the exponential law of a subthreshold MOSFET is valid for the drain current range of about 2-3 decades, this leads to the limited dynamic range of the power detector.

In this paper, the RMS power detector in [1] is modified and improved further to increase the conversion gain and dynamic range. The conversion gain is enlarged by increasing the output resistance of the RMS power detector. The dynamic range is increased by using a successive-approximation logarithmic amplifier. The RF power detector is targeted to be employed in a microwave-based fruit maturity detection system [13], which exploits the reflection of microwave signal to determine the permittivity of the fruit-under-test and relates it to the maturity of the fruit. The system is intended to be deployed a wireless sensor network for fruit farming and the device must be able to operate for months without battery replacement, therefore requiring low power consumption. The RF signal power reflected from the fruit is usually small and in the order of -50 dBm to -60 dBm, therefore requiring high sensitivity and wide dynamic range of the power detector. The proposed RF power detector is designed and simulated by using process parameters from a standard 0.18-μm CMOS technology. The paper is organized as follows. Section 2 describes the architecture of the proposed RF power detector. Detailed circuit designs are described in Section 3. Simulation results and conclusion are given in Sections 4 and 5, respectively.

2. Architecture of the proposed RF power detector

Fig. 1 shows the architecture of the proposed RF power detector. It consists of a RMS power detector and a logarithmic amplifier. The input RF voltage signal is converted to a DC output voltage, which represents the RMS value of the input signal power, by exploiting the non-linearity of MOSFETs [1]. To achieve a linear-in-dB input-output characteristic, the DC output voltage is further amplified by a successive-approximation logarithmic amplifier, which is realized by cascading seven current limiting amplifiers. The cascaded limiting amplifiers produce a linear-in-dB output characteristic by using a piecewise linear approximation. All limiting amplifier stages are identical except for the first stage, which includes an extra input pair for DC offset cancellation. Each limiting amplifier produces both differential output voltage and current. The output voltage is passed to the following amplifying stage. The output currents of all limiting stages are summed and applied to a load resistor to produce the output voltage of the power detector. Since the input signal of the logarithmic amplifier is a DC voltage, the envelope detector or rectifier is not needed. This saves chip area and power dissipation. The resistor R_F and capacitor C_F realize a lowpass filter to perform DC offset cancellation feedback. The resistor R_F is realized by using a subthreshold MOSFET in order to obtain large resistance with minimum die area. The dynamic range and linearity error of the RF power detector are determined by the number of cascading limiting amplifier stages. Increasing the number of amplifying stages will improve the sensitivity and dynamic range of the detector, at the expense of increased power dissipation. In this paper, using seven stages of amplifiers was found to be an optimum solution, in terms of power dissipation, dynamic range and sensitivity of the power detector.

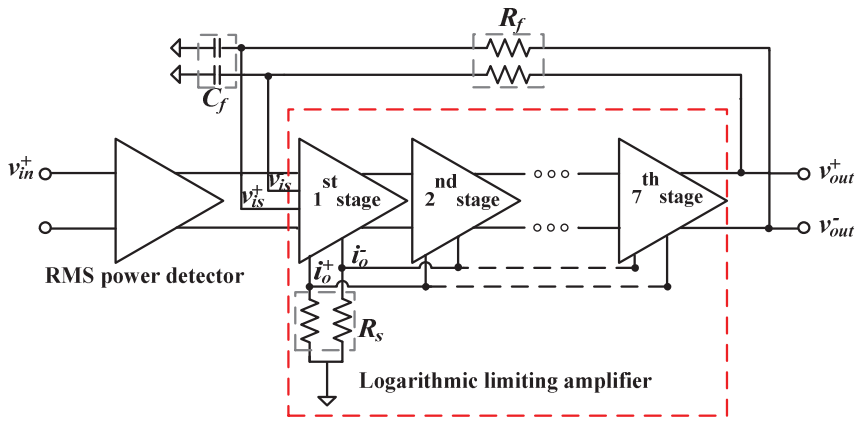


Fig. 1. Architecture of the proposed RF power detector.

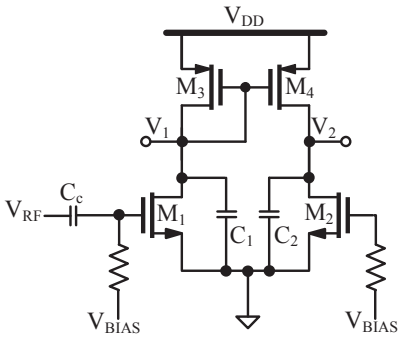


Fig. 2. The proposed RMS power detector.

3. Circuit Description and Analysis

3.1. *RMS Power Detector*

Fig. 2 shows the RMS power detector realized by exploiting the square-law characteristic of MOSFET operating in the saturation region. The circuit is a modified version of the recently proposed RF power detector [1], in order to achieve higher conversion gain and sensitivity. The input RF signal is applied to transistor M_1, via an AC-coupling capacitor C_C. The transistors M_1 and M_2 are identical and operate in the saturation region with identical gate bias voltages. Transistor M_2 is used to reduce offset errors due to process,

temperature and supply voltage variations. Thus the drain currents of M_1 and M_2 can be expressed as in (1) and (2), where $\beta_i = \mu_n C_{ox}(W/L)_i$ is the MOSFET transconductance parameter, μ_n is the electron mobility, C_{ox} is the gate oxide capacitance per unit area, V_T is the threshold voltage, W and L are the channel width and length of transistors, respectively.

$$i_{DS1} = \frac{\beta_1}{2}(V_{BIAS} + V_{RF} - V_{TN})^2 \tag{1}$$

$$i_{DS2} = \frac{\beta_2}{2}(V_{BIAS} - V_{TN})^2 \tag{2}$$

Assuming that $V_{RF} = V_i \cos(\omega t)$, the output voltages V_1 and V_2 are given by (3) and (4), respectively. The small-signal output resistance (r_{out}) of the circuit is equal to $r_{ds2}//r_{ds4}$, where r_{dsi} is the drain-source resistance of M_i.

$$\begin{aligned} V_1 &= V_{DD} - V_{SG3} \\ &= V_{DD} - \sqrt{\beta_1/\beta_3}(V_i \cos(\omega t) + V_{BIAS} - V_{TN}) + V_{TP} \end{aligned} \tag{3}$$

$$\begin{aligned} V_2 &= V_{2,DC} + r_{out}(i_{DS1} - i_{DS2}) \\ &= V_{2,DC} + r_{out}\left\{\frac{\beta_1}{4}V_i^2 + \frac{\beta_1}{4}V_i^2 \cos(2\omega t) + \frac{\beta_1}{4}(V_{BIAS} - V_{TN})V_i \cos(\omega t)\right\} \end{aligned} \tag{4}$$

The capacitors C_1 and C_2 form lowpass filters to filter out the RF signal and its harmonics. Since the circuit is fully-symmetrical, the DC voltage at V_2 ($V_{2,DC}$) is equal to the filtered voltage at V_1. Therefore the differential output voltage can be written as in (5), which is proportional to the square of the amplitude of the input RF signal.

$$V_2 - V_1 = r_{out}\frac{\beta_1}{4}V_i^2 \tag{5}$$

The simulated input-output characteristic of the proposed RMS power detector is demonstrated in Fig. 3, where the differential output voltage is plotted against the input signal power at 5 GHz. For comparison, the circuit in [1] was designed and simulated under the same circuit parameters and operating conditions and the results were plotted in Fig. 3. It can be seen that the proposed RMS power detector can achieve higher conversion gain due to larger output resistance. This improves the sensitivity of the power detector and eases the design of the following logarithmic amplifier. Furthermore, the proposed circuit has better linearity and wider input detectable range (i.e. -60 dBm to -10 dBm). Note that, the circuit can still detect the input signal power with the presence of offset errors and short-channel effects of MOSFETs, as explained in [1].

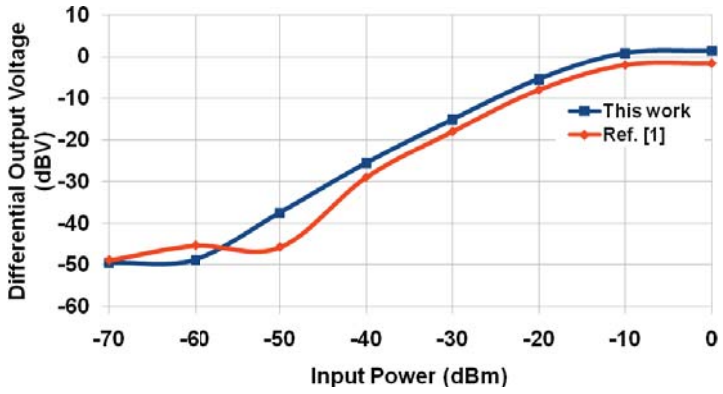


Fig. 3. Output characteristic of the proposed RMS power detector with a 5-GHz input signal.

3.2. *Logarithmic Amplifier*

The output voltage of the RMS power detector is passed to the following 7-stage logarithmic amplifier as shown in Fig. 1. The logarithmic amplifier is realized with the limiting amplifier stage shown in Fig. 4. The limiting amplifier is realized by the simple source-coupled differential amplifier with current-mirror active loads (drawn in black). All amplifier stages are identical, except for the first stage which include an additional input source-coupled pair (drawn in grey) for DC offset cancellation feedback loop. Each amplifier provides both differential output voltage and current. The differential output voltage is passed to the input of the following amplifier stage. Since the input voltages of the limiting amplifiers are DC signals, the differential output currents of all amplifier stages, which exhibit the limiting current characteristic, can be summed at the output load resistors to produce the output voltage of the power detector. This saves the need for rectifiers and filters, which would normally be required in logarithmic amplifier. Furthermore, as the bandwidth of the amplifier can be very low, the amplifier can be optimized for the required input sensitivity and dynamic range with minimum power dissipation. The small-signal differential voltage gain of each amplifier stage is given by (6), where g_{mi} is the small-signal transconductance of transistor M_i. Finally, the bias currents of the amplifiers are generated by a process, voltage and temperature insensitive current reference circuit [14], shown in Fig. 5.

$$A_v \approx -\frac{g_{m1}}{g_{m3}} = \sqrt{\frac{\mu_n (W/L)_1}{\mu_p (W/L)_3}} \tag{6}$$

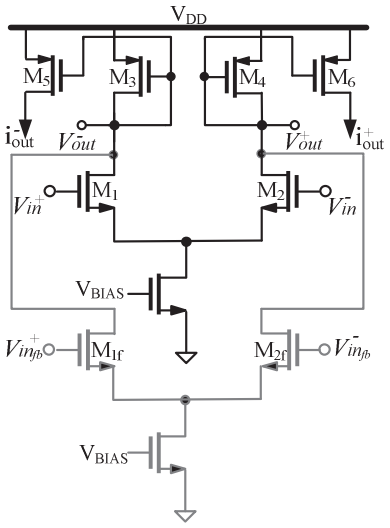


Fig. 4. Limiting amplifier stage.

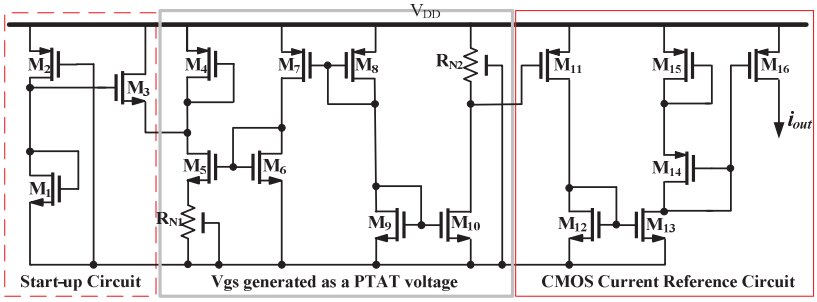


Fig. 5. Process, voltage, temperature insensitive current reference.

4. Simulation results

The proposed RF power detector was designed and simulated by using Cadence Spectre with process parameters from a standard 0.18-µm CMOS technology. The circuit was designed to operate with a single 1.8-V power supply voltage and the total power dissipation is 0.9 mW. The key parameters of the circuits are summarized in Table I. For the circuit in Fig. 2, the filtering capacitors (C_1 and C_2) are 100 fF, the AC-coupling capacitor (C_C) is 1 pF and the gate biasing resistor (R_G) is 1 kΩ.

Fig. 6 plots the differential output voltage (V_1-V_2) of the RF-to-DC converter in Fig. 2 against the input RF signal power at different input frequencies. The output voltage of 10 μV (-50 dBV) is generated with the input signal power of -65 dBm. The maximum output voltage of around 1 V (0 dBV) is generated when the input power is about -10 dBm. Therefore the input dynamic range is about -65 dBm to -10 dBm. Simulation results suggested that the circuit was able to detect the input power for frequencies up to 5 GHz.

Fig. 7 shows the simulated transient output voltage of the power detector when applying different input powers of 2.5-GHz signal. The input signal power was swept from -80 to 0 dBm. The output voltage is plotted against the input signal power in Fig. 8. The output voltage range is roughly 0.4 V to 1.2 V and the input detectable range is approximately -70 dBm to -20 dBm.

To verify the operation of the DC offset cancellation feedback, a DC input offset voltage source was added to the input of the first amplifier stage. A 2.5-GHz input RF voltage was applied to the power detector and the offset voltage was varied from 0 to 100 mV. The simulated transient output voltage were obtained and plotted in Figs. 9(a)-(b). It can be seen from Fig. 9(a) that the offset voltage only changes the output voltage level slightly and the circuit can still function correctly. Fig. 9(b) plots the output voltage variation as a function of the offset voltage when the input power is -50 dBm.

Fig. 10 shows the layout of the RF power detector. The total die area is 60x130 μm^2. Figs. 11(a)-(c) show the post-layout simulation results of the RF power detector under standard process, voltage and temperature variations. It is verified that the circuit can operate correctly. The post-layout simulated performance of the proposed RF power detector is summarized and compared with those of other reported detectors in Table II. It can be seen that the proposed circuit exhibits wide operating frequency, the largest input power detectable range and the best input sensitivity, with reasonably low power consumption.

5. Conclusion

A low-power wide dynamic range RF power detector has been described in this paper. The proposed circuit comprises a wideband RMS power detector and a successive logarithmic amplifier. The RMS power detector exploits the non-linear characteristic of MOSFET operating in the saturation region with an active load to achieve high RMS conversion gain with minimum power dissipation. The design of the logarithmic amplifier was simplified because wide operating bandwidth and the rectifier/filter circuit are not needed. Post-layout simulation results, in a 0.18-μm CMOS process, verified that the circuit was able to detect input power from -70 dBm to -20 dBm with signal frequencies ranging from 0.5 GHz to 5 GHz, while dissipating only 0.9 mW. Therefore the authors believe that the proposed RF power detector is suitable for wireless sensor network and telemetry applications.

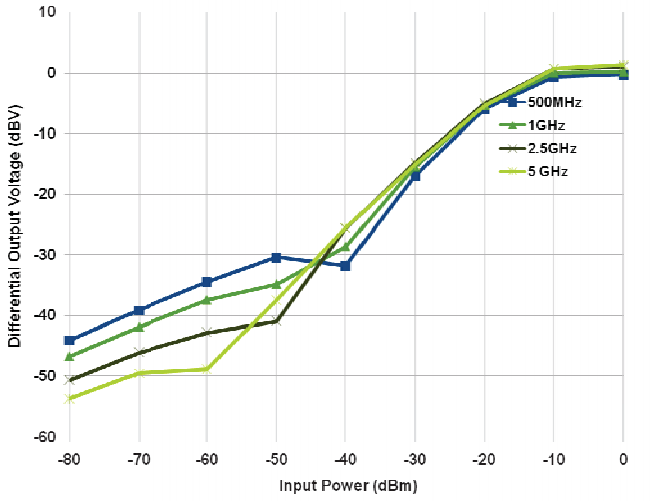


Fig. 6 Output characteristic of the RF-to-DC converter at different input frequencies.

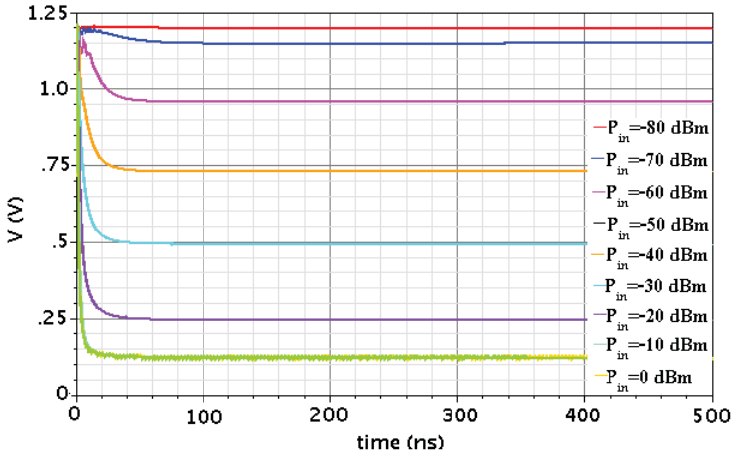


Fig. 7 Transient output voltage of the power detector when applying different input signal power at 2.5 GHz.

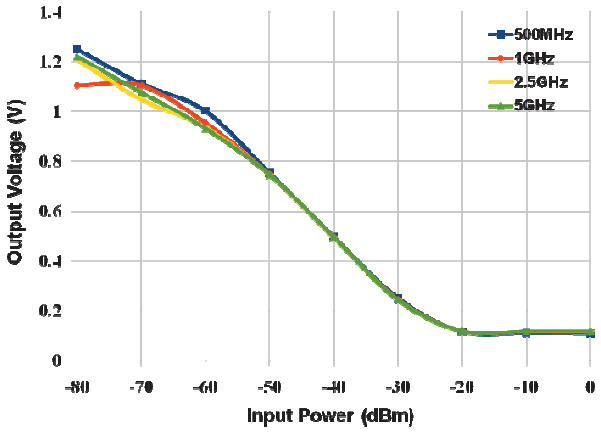
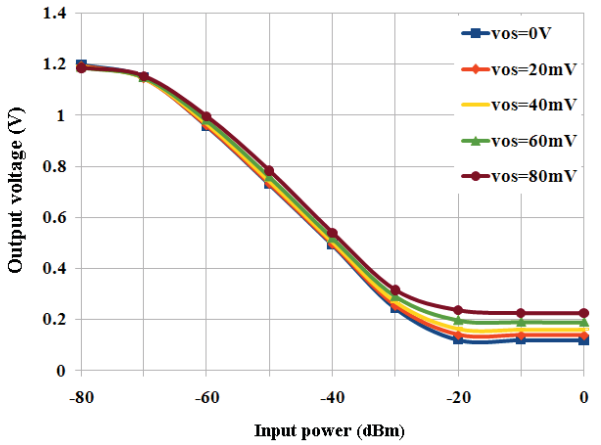
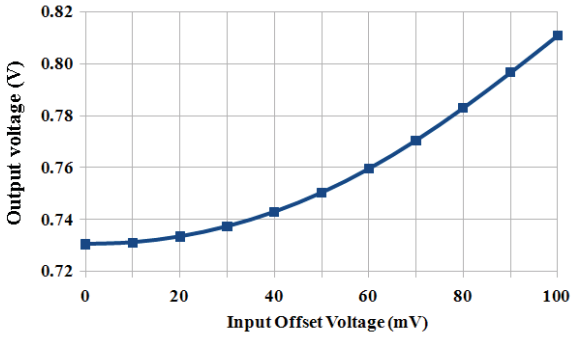


Fig. 8 Input-output characteristic of the RF power detector.



(a)



(b)

Fig. 9 Effect of the input offset voltage.

Table I Circuit Parameters

Circuits	Transistors	W/L (μm/μm)
Fig. 2	M_1, M_2	2.5 /0.18
	M_3, M_4	0.24 /0.2
Fig. 4	M_1, M_2	2.5 /0.18
	M_{1f}, M_{2f}	2.5 /0.18
	M_3, M_4	0.48 /0.2
	M_5, M_6	0.24 /0.2
Fig. 5	M_1, M_3	0.4 /0.5
	M_2	0.4 /10
	M_4, M_7, M_8	4 /2
	M_5	43.5 /0.6
	M_6	2.4 /0.6
	M_9, M_{10}, M_{11}, M_{12}, M_{13}	5 /5
	M_{14}, M_{15}	60 /5
	M_{16}	10 /5

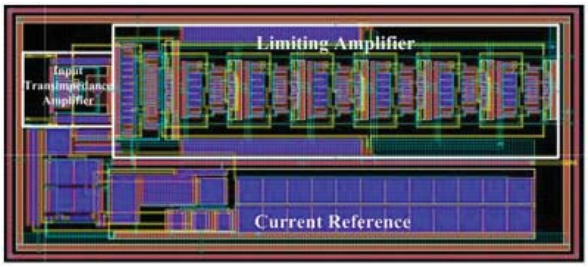
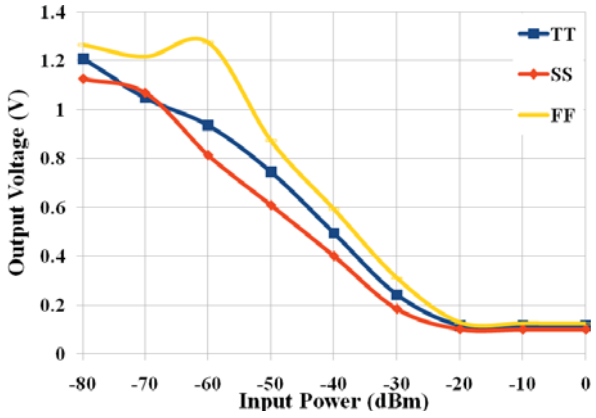


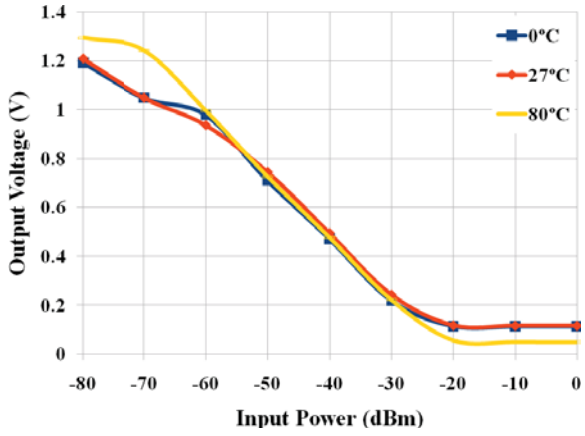
Fig. 10 Layout of the proposed RF power detector.

Table II Performance Summary and Comparison

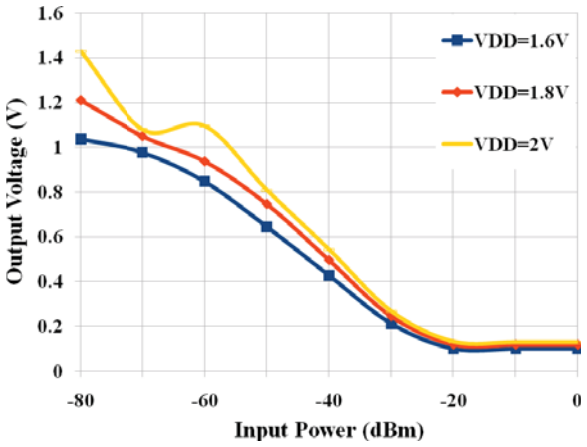
Parameters	This work	[1]	[2]	[3]
CMOS Technology	0.18µm	0.13µm	0.18µm	0.35µm
Area (mm^2)	0.0078	0.0126	0.36	0.031
Conversion gain (mV/dB)	17	6	6	50
Dynamic range (dB)	50	20	20	30
Minimum detectable signal (dBm)	-70	-35	-40	-25
Operating frequency range (GHz)	0.5 - 40	0.125-8.5	3.1-10.6	0.9-2.4
Supply voltage (V)	1.8	1.2	1.8	3.3
Power dissipation (mW)	0.9	0.18	10.8	8.6



(a)



(b)



(c)

Fig. 11 Post-layout simulated output characteristics of the power detector with (a) process variations, (b) temperature variations, and (c) power supply voltage variations.

Acknowledgments

This work was supported by Thailand Research Fund (TRF) (Grant numbers RTA5180002 and RSA5180015).

References

1. Y. Zhou and M. Y. Chia, "A Low-Power Ultra-Wideband CMOS True RMS Power Detector," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, 2008, pp. 1052-1058.
2. K. A. Townsend and J. W. Haslett, "A Wideband Power Detection System Optimized for the UWB Spectrum," *IEEE Journal of Solid-State Circuits*, vol. 44, 2009, pp. 371-381.
3. A. Valdes-garcia, R. Venkatasubramanian, J. Silva-martinez, and E. Sánchez-sinencio, "A Broadband CMOS Amplitude Detector for On-Chip RF Measurements," *IEEE Trans. Instrumentation and Measurement*, vol. 57, 2008, pp. 1470-1477.
4. W. Eisenstadt and R. Fox, "A novel 5GHz RF power detector," *2004 IEEE International Symposium on Circuits and Systems*, vol. I, 2004, pp. 897-900.
5. V. Milanovic, M. Gaitan, E. Bowen, N. Tea, and M. Zaghloul, "Thermoelectric power sensor for microwave applications by commercial CMOS fabrication," *IEEE Electron Device Letters*, vol. 18, 1997, pp. 450-452.
6. V. Milanovic, M. Gaitan, J. C. Marshall, and M. E. Zaghloul, "CMOS Foundry implementation of Schottky diodes for RF detection," *IEEE Trans. Electron Devices*, vol. 43, 1996, pp. 2210-2214.
7. T. Zhang, W. Eisenstadt, R. Fox, and Q. Yin, "Bipolar Microwave RMS Power Detectors," *IEEE Journal of Solid-State Circuits*, vol. 41, 2006, pp. 2188-2192.
8. R. A. Barrett, "Broadband RF power detector using FET," *U.S. Patent 4647848*, 1987.
9. G. Ferrari, L. Fu, M.. Sampietro, E. Prati, and M. Fanciulli, "CMOS fully compatible microwave detector based on MOSFET operating in resistive regime," *IEEE Microwave and Wireless Components Letters*, vol. 15, 2005, pp. 445-447.
10. J. Mulder, A. C. Woerd, W. A. Serdijn, and A. H. Roermund, "An RMS-DC Converter Based on the Dynamic Translinear Principle," *IEEE J. Solid-State Circuits*, vol. 32, 1997, pp. 1146-1150.
11. Q. Yin, W. R. Eisenstadt, R. M. Fox, and T. Zhang, "A Translinear RMS Detector for Embedded Test Of RF ICs," *IEEE Trans. Instrumentation and Measurement*, vol. 54, 2005, pp. 1708-1714.
12. M. Krairiksh, J. Varith, A. Kanchanavapasatit, C. Phongcharoenpanich, A. Thanachayanont, M. Chongcheawchamnan, and P. Sirisuk, "Microwave sensor for durian inspection," *2009 IEEE International Conference on Antennas, Propagation and Systems (INAS 2009)*, 2009, pp. 221-224.
13. S. Sengupta, K. Saurabh, and P. E. Allen, "Compensated CMOS constant current reference," *2004 IEEE International Symposium on Circuits and Systems*, 2004, pp. 325-328.

Low-Power Current-Mode Logarithmic Pipeline Analog-to-Digital Converter for ISFET based pH Sensor

S. Sirimasakul*, A. Thanachayanont*, W. Jeamsaksiri**
*Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Bangkok 10520, Thailand
ktapinun@kmitl.ac.th
** Thai Microelectronics Center (TMEC), National Electronics and Computer Technology Center, National Science and Technology Development Agency, 51/4 Moo 1, Wang-Takien District, Amphur Muang, Chachoengsao 24000, Thailand
wutthinan.jeamsaksiri@nectec.or.th

***Abstract*— This paper describes the design and realization of a low power current-mode logarithmic pipeline analog-to-digital converter in 0.35 μm CMOS technology. The ADC is intended for conversion of sub-microampere analog output current of an ISFET based pH sensor. Subthreshold MOSFETs and the Translinear principle are exploited to achieve simple and low-power ADC realization. The ADC was simulated with a 1-V power supply voltage and dissipated 3.3 μW static power at 1-kHz clock frequency.**

Keywords: low power, logarithmic, analog-to-digital converter, pipeline, weak inversion.

I. INTRODUCTION

Logarithmic analog-to-digital converters (ADCs) are usually employed to perform non-linear signal compression and conversion for an optimum system signal-to-noise ratio over a large input dynamic range. Logarithmic ADCs can be realized with an analog logarithmic converter, which exploits the inherent exponential *i-v* characteristic of a bipolar-junction transistor [1] or a diode [2], and a linear ADC. Alternative implementations of logarithmic ADCs, in CMOS technology, using pipeline, algorithmic, and two-step flash structures have been proposed by performing signal operation in the logarithmic domain [3], [4]. Recently, a simple logarithmic and μ-law ADC has been proposed by using current-mode techniques [5].

This paper proposes the design and realization of a low-power current-mode logarithmic pipeline ADC suitable for sensor and biomedical applications. The proposed ADC is intended to be used with the weak-inversion ISFETs pH sensor readout circuits [6]-[7], where the output current is exponentially related to the detected pH changes. A logarithmic ADC provides analog-to-digital conversion and achieves a linear relationship between the input pH changes and the digital output codes. This paper is organized as follows. Section 2 describes the operation of the logarithmic ADC. Section 3 describes the circuit implementation of the proposed current-mode logarithmic ADC. Simulation results and conclusion are given in sections 4 and 5, respectively.

II. LOGARITHMIC PIPELINE ADC

A conceptual block diagram of a logarithmic pipeline ADC is shown in Fig. 1. In each stage of a linear pipeline ADC, the input signal is first compared with a reference signal. Depending on the comparator output, the input signal is either subtracted, or not, with the reference signal and the subtraction output is multiplied by two before proceeding to the next stage. Comparing to its linear counterpart, a logarithmic pipeline ADC performs all signal operations in the logarithmic domain. In a logarithmic pipeline ADC, the subtraction is replaced by a division (i.e. scaling) and the multiplication-by-two is replaced by a squaring.

In this work, a current-mode logarithmic pipeline ADC has been designed in order to obtain an 8-bit digital representation of the output current from the ISFET readout circuit [6]. The operation of the ADC can be described by (1) where the input current i_{IN} is represented as an exponential function of the output digital word D, N is the conversion resolution, and i_{INmax} is the full-scale input current. In this work, N and i_{Inmax} are equal to 8 and 100 nA, respectively.

$$i_{IN} = e^{D\frac{\ln(i_{IN\max})}{2^N}} \tag{1}$$

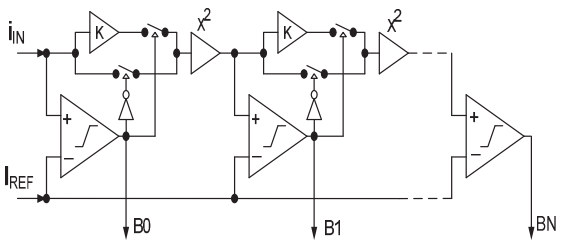


Fig. 1. Block diagram of the logarithmic pipeline ADC.

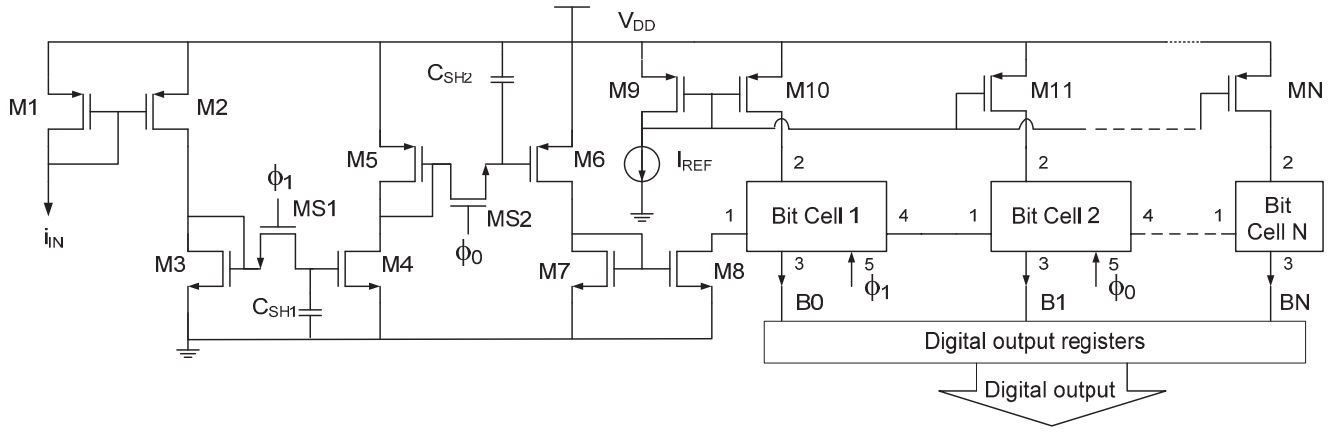


Fig. 2. Schematic circuit diagram of the current-mode logarithmic pipeline ADC.

The reference current (I_{REF}) for each stage of the ADC corresponds to the midpoint of the input range in the logarithmic scale, which is equal to the digital output code of 128 for 8-bit resolution. In this case, IREF is equal to 10 nA as calculated in (2)

$$I_{REF} = e^{128\frac{\ln(100)}{256}} = 10\ nA \tag{2}$$

In each stage of the ADC, the stage input current is compared with I_{REF} to produce the digital output bit. If the stage input current is less than I_{REF}, then the stage digital output is 0 and the input current is passed to the squarer. If the stage input current is greater than I_{REF}, then the stage digital output is 1 and the input current is divided by I_{REF} (i.e. scaling) and the resultant current applying to the squarer. In this work, the resultant current applied to the next stage is equal to the input current scaled by a factor of 0.1. Similar to the conventional linear pipeline ADC, the digital output bit of each stage is appropriately delayed for a correct digital output representation.

III. Circuit Implementation

Fig. 2 shows the simplified schematic circuit diagram of the current-mode logarithmic pipeline ADC. Transistors M_1-M_8, switches M_{S1}-M_{S2}, and capacitors C_{SH1}-C_{SH2} deliver the sampled input current signal to the first stage of the ADC. Switches M_{S1}-M_{S2} are controlled by non-overlapping clock signals, ϕ_1 and ϕ_0, respectively. The simplified schematic circuit diagram of the bit cell is shown in Fig. 3. All transistors operate in the subthreshold region. Transistors M_1-M_4 take the input current from the preceding stage and copy it to the comparator. The current comparator, realized with a simple CMOS inverter (M_5-M_6), compares the input current with the reference current. The stage digital output is taken from the comparator output at terminal 3. According to the stage digital output, M_9 and M_{11} function as switches that

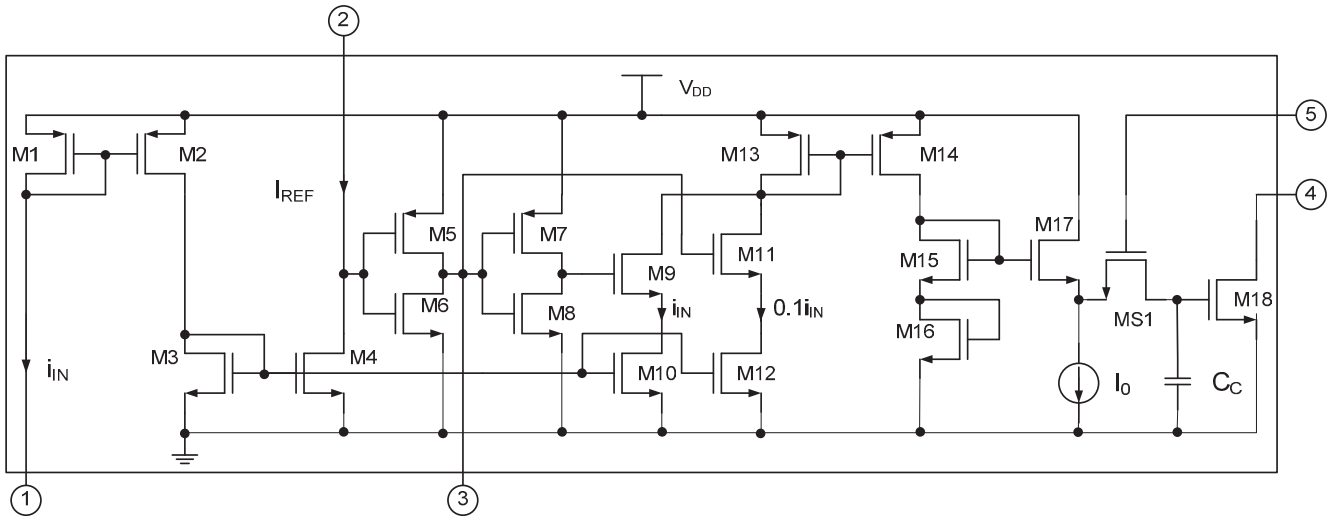


Fig. 3. Schematic circuit digram of the bit cell of the ADC.

select the input current scaled by a factor of either 1 or 0.1 to the subsequent current squarer. By scaling the channel widths of M_{10} and M_{12} appropriately, the input current is copied to the sources of M_9 and M_{11} by a factor of 1 and 0.1, respectively. If the stage digital output is 1, M_9 is OFF and M_{11} is ON passing the input current scaled by a factor of 0.1 to the current squarer. If the stage digital output is 0, M_{11} is OFF and M_9 is ON allowing the input current scaled by a factor of 1 to the current squarer. The current squarer is realized by M_{15}-M_{18} based upon the translinear principle. It can easily be shown that the stage output current at the drain of M_{18} is equal the square of either i_{IN} or $0.1i_{IN}$ divided a DC current I_0. The transistor M_{S1} as a switch controlled by the clock signal and the capacitor C_C either hold or pass the output current of the squarer to the next stage. The accuracy of the current mirrors and the current squarer is important to the operation of the ADC. Therefore all transistors are realized with long channel length.

The final bit cell stage N of the ADC comprises only current mirrors and comparator as shown in Fig. 4.

IV. Simulation Results

The proposed current-mode logarithmic pipeline 8-bit ADC was designed to operate with a single 1 V power supply voltage. The circuit was simulated by using Cadence Spectre with component parameters from a 0.35 μm CMOS technology. The reference current IREF is 10 nA, I0 is 10 nA, CSH1, CSH2, and CC are each 5 pf. The static power consumption at full scale input current is 3.3 μW. The sizes of transistors are summarized in Table 1. A non-overlapping clock signal of 1 kHz is used for simulation as the ADC is intended the low-frequency ISFET readout signal. An exponential decaying input current signal was applied to test the ADC. The input current decays exponentially from 100 nA to 0.7 nA in 180 mS. The simulated sample and hold input current applied to the first stage of the ADC is shown in Fig. 5. The simulated 8-bit digital output of the ADC is shown in

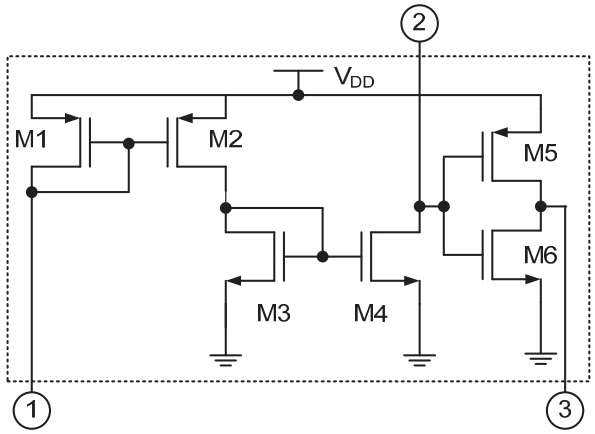


Fig. 4. Schematic circuit diagram of the final bit cell stage N

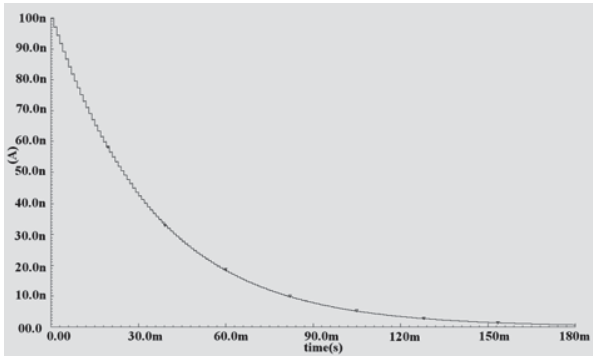


Fig. 5. Simulated waveform of the sample and hold input current to the first stage of the ADC.

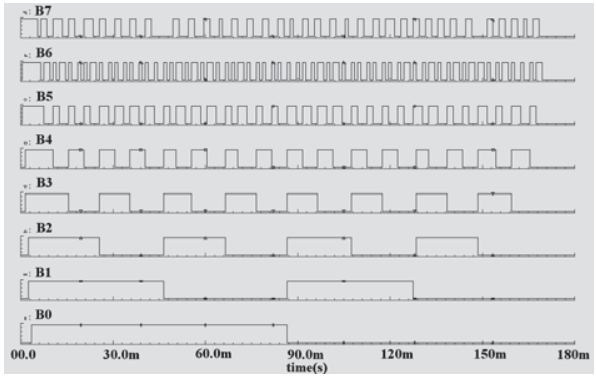


Fig. 6. Simulated waveform of the ADC digital output bits.

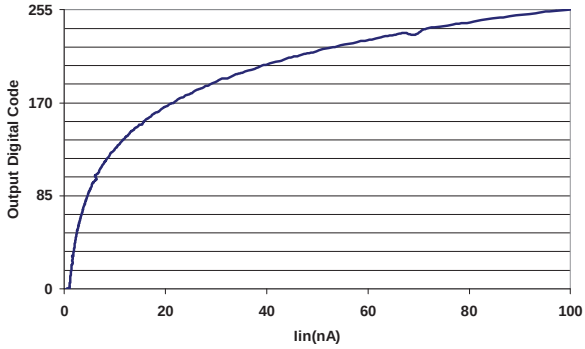


Fig. 7. Simulated output digital code vs. input current.

TABLE I
SIZES OF TRANSISTORS

	Transistors	W(μm)	L(μm)
Fig. 2	M1-MN	100	10
	MS1-MS2	5	0.35
Fig. 3	M1-M4	100	10
	M5,M7	20	10
	M6,M8	10	10
	M9,M11	5	0.35
	M10,M13-M17	100	10
	M12	10	10
	M18	1,000	10
	MS1	5	0.35

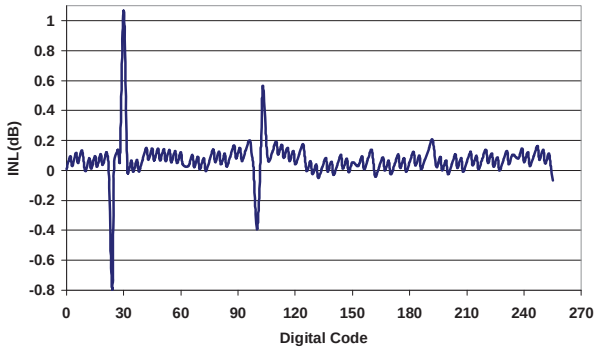


Fig. 8. Simulated INL

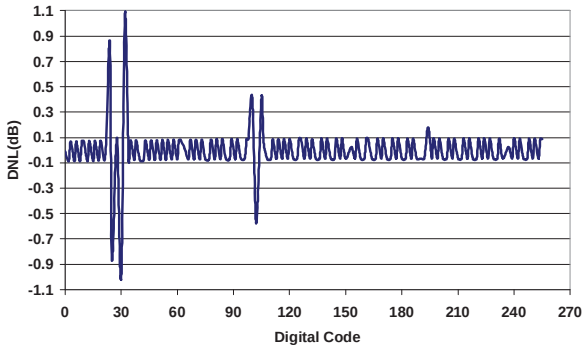


Fig. 9. Simulated DNL

Fig. 6. The simulated output digital code is plotted against the input current in Fig. 7 to show the logarithmic relationship of the ADC. Fig. 8 and Fig. 9 show the simulated integral non-linearity (INL) and differential non-linearity (DNL), as defined by (3)-(5) [4].

$$INL_{dB} = 20 \cdot (Log_{10}(IT_{ideal}) - Log_{10}(IT_{measured})) \quad (3)$$

$$DNL_{dB} = INL_{dB}(i+1) - INL_{dB}(i) \quad (4)$$

$$IT_n = K \cdot e^{\frac{\ln(1/K+1)}{2^N} n} \quad (5)$$

V. Conclusion

A 8-bit low-power current-mode logarithmic pipeline ADC was designed and implemented in a 0.35 μm CMOS technology. Subthreshold MOSFETs and current-mode techniques are exploited to achieve low-power and simple circuit realization of the proposed ADC. Simulation results verified the ADC operation at 1 kHz clock frequency. The ADC is potentially suitable for conversion of sub-microampere output current from an ISFET based pH sensor.

Acknowledgment

This work was supported by Thailand Graduate Institute of Science and Technology (Grant #TGIST 01-50-080) and Thailand Research Fund (Grant #RSA5180015).

References

[1] S. Cantarano and G. V. Pallottino, "Logarithmic Analog-to-Digital Converters: A Survey," *IEEE Trans. Instru. Meas*, Vol. 22, No. 3, pp. 201-213, Sep. 1973.

[2] J-J. Sit and R. Sarpeshkar, "A Micropower Logarithmic A/D With Offset and Temperature Compensation," *IEEE J. Solid-State Circuits*, Vol. 39, No. 2, pp. 308-319, Feb. 2004.

[3] J. Guilherme and Jose E. Franca, "New CMOS Logarithmic A/D converters Employing Pipeline and Algorithmic Architectures", *Proc. IEEE ISCAS 1995*, Vol. 1, pp. 529-532, 1995.

[4] J. Guilherme and Jose E. Franca, "New CMOS Logarithmic Two-Step Flash A/D converters with Digital Error Correction", *Proc. IEEE MWCAS 1995*, pp. 881-884, 1995.

[5] J. Mahattanakul, "Logarithmic data converter suitable for hearing aid applications," *Electronic Letters*, Vol. 41, No. 7, pp. Oct. 2004.

[6] A. Thanachayanont and S. Sirimasakul, "Ultra-Low-Power Differential ISFET/REFET Readout Circuit", *ETRI Journal*, Vol. 31, No. 2, pp. 243-245. April 2009.

[7] L. Shepherd and C. Toumazou, "A Biochemical Translinear Principle with Weak Inversion ISFETs," *IEEE Trans. Circuits Syst.* – I, vol. 52, no. 12, Dec. 2005, pp. 2614-2619.

Low-Power CMOS Interface Circuit for ISFET based pH Sensor

S. Sirimasakul and A. Thanachayanont
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Road, Bangkok, Thailand
Email: silarsi@gmail.com, ktapinun@kmitl.ac.th

W. Jeamsaksiri
Thai Microelectronics Center (TMEC), National Science and Technology Development Agency, Amphur Muang, Chachoengsao, Thailand
Email: wutthinan.jeamsaksiri@nectec.or.th

Abstract **This paper describes the design and realization of a low power CMOS interface circuit with digital output for ISFET-based pH sensor in a 0.35 μm CMOS technology. The circuit comprises a current-mode translinear sensor readout circuit using subthreshold ISFET and MOSFETs and a 8-bit current-mode logarithmic pipeline analog-to-digital converter. The proposed interface circuit was simulated with a 1-V power supply voltage and dissipated 15.7 μW at 1-kHz clock frequency.**

I. INTRODUCTION

Recently, there is a considerable research interest in the integration of Ion-Sensitive Field-Effect Transistor or ISFET-based chemical and biochemical sensors and CMOS signal processing circuitry in a single chip [1]. Subthreshold operation of CMOS compatible ISFET has been demonstrated and exploited to realize simple translinear circuits for ultra low power current-mode sensor readout [2]. This poses a great potential for the realization of low power sensor interface circuit for real-time biochemical sensing of biomedical signals. The authors have recently proposed a simple low-power pH sensor readout translinear circuit using subthreshold ISFETs and MOSFETs [3]. This paper describes the progress of our attempt on the design and realization of a low power sensor interface circuit with digital outputs for ISFET-based pH sensor. This paper is organized as follows. Section Ⅱ describes the operation of the ISFET sensor readout circuit. Sectionb Ⅲ describes the operation of the logarithmic ADC. Section Ⅳ describes the circuit implementation of the proposed sensor interface circuit with digital outputs. Simulation results and conclusion are given in sections Ⅴ and Ⅵ, respectively.

Ⅱ. ISFET/REFET readout circuit

Figure 1 shows the schematic diagram of the proposed ultra-low-power differential readout circuit. An ion-insensitive FET, also known as an REFET, is used together with an ISFET to realize a source-coupled differential pair with a shared quasi-reference metal electrode as their gate connected to a stable DC reference voltage (V_{REF}).

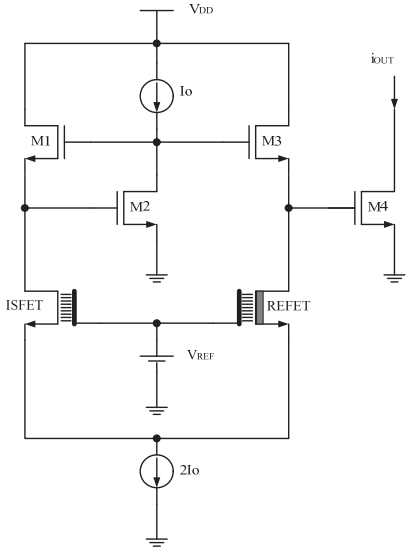


Fig. 1 Proposed differential ISFET/REFET readout circuit.

This suppresses the output current variation due to common-mode disturbances in the electrode potential and permits the use of a solid-state quasi reference electrode. All MOSFETs, the ISFET, and REFET operate in the saturated weak-inversion region (that is, $V_{GS} < V_{TH}$ and $V_{DS} > 4U_T$) with identical DC bias current (I_O). The drain currents of the subthreshold ISFET [2] and REFET differential pair can be derived in (1) and (2), respectively, where I_O is the quiescent drain current of the ISFET and REFET at the reference pH of 7, α is a dimensionless sensitivity parameter of the ISFET [2], $U_T = kT/q$ is the thermal voltage, n is the subthreshold slope parameter, and ΔpH is the differential pH variation. Therefore, $i_{D,ISFET}$ equals $2I_O$ and $i_{D,REFET}$ is zero for a large negative ΔpH, and vice versa for a large positive ΔpH. This is similar to the operation of a conventional MOSFET differential pair.

$$i_{D,ISFET} = 2I_O \cdot \frac{e^{(-2.3\alpha U_T \Delta pH/nU_T)}}{1+e^{(-2.3\alpha U_T \Delta pH/nU_T)}} \quad (1)$$

$$i_{D,REFET} = 2I_O - i_{D,ISFET} = 2I_O \cdot \frac{1}{1+e^{(-2.3\alpha U_T \Delta pH/nU_T)}} \quad (2)$$

Applying the translinear principle to M_1 to M_4, the output current i_{OUT} can be calculated as in (3). The current i_{OUT} can also be rewritten as (4) and (5) since $\Delta pH = -\log_{10}\Delta[H+]$, where $\Delta[H+]$ is the differential change in hydrogen ion concentration. Since $0<\alpha<1$ and $n>1$, the index (α/n) is always between 0 and 1. Therefore, if a linear relationship between i_{OUT} and $\Delta[H+]$ is desired, i_{OUT} can be applied to an appropriate translinear circuit as in [2].

$$i_{OUT} = \frac{i_{D1} \cdot i_{D2}}{i_{D3}} = \frac{i_{D,ISFET} \cdot I_O}{i_{D,REFET}} = I_O \cdot e^{(-2.3\alpha U_T \Delta pH/nU_T)} \quad (3)$$

$$i_{OUT} = I_O \cdot \Delta\left[H^+\right]^{\alpha/n} \quad (4)$$

$$\log_{10} i_{OUT} = \log_{10} I_O - \frac{\alpha}{n}\Delta pH \quad (5)$$

Assuming that all devices are in close proximity and thermally matched, the ratiometric relationship of the translinear principle reduces the temperature dependence of the circuit, and together with the ISFET/REFET differential topology, the body effects of MOSFETs, ISFET and REFET can easily be shown to cancel out, at least in theory [2].

III. LOGARITHMIC PIPELINE ADC

A conceptual block diagram of a logarithmic pipeline ADC is shown in Fig. 2. Comparing to its linear counterpart, a logarithmic pipeline ADC performs all signal operations in the logarithmic domain. In a logarithmic pipeline ADC, the subtraction is replaced by a division (i.e. scaling) and the multiplication-by-two is replaced by a squaring. In this work, a current-mode logarithmic pipeline ADC has been designed in order to obtain an 8-bit digital representation of the output current i_{out} from the ISFET readout circuit as in (5), where $\log_{10} i_{out}$ is the input current i_{IN} of the ADC. The reference current I_{REF} is represented as an exponential function of the output digital word D which can be described by (6), where N is the conversion resolution, and i_{INmax} is the full-scale input current. In this work, N and i_{Inmax} are equal to 8 and 824.3 nA, respectively. In this work, I_{REF} for each stage of the ADC corresponds to the midpoint of the input range in the logarithmic scale, which is equal to the digital output code of 128 for 8-bit resolution. In this case, I_{REF} is equal to 28.7 nA as calculated in (6).

$$I_{REF} = e^{D\frac{\ln(i_{IN\max})}{2^N}} = e^{128\frac{\ln(824.3)}{256}} \approx 28.7nA \quad (6)$$

In each stage of the ADC, the stage input current is compared with I_{REF} to produce the digital output bit. If the stage input current is less than I_{REF}, then the stage digital output is 0 and the input current is passed to the squarer. If the stage input current is greater than I_{REF}, then the stage digital output is 1 and the input current is divided by I_{REF} (i.e. scaling) and the resultant current applying to the squarer. In this work, the resultant current applied to the next stage is equal to the input current scaled by a factor of 0.035. Similar to the conventional linear pipeline ADC, the digital output bit of each stage is appropriately delayed for a correct digital output representation.

IV. CIRCUIT IMPLEMENTATION

Fig. 3 shows the simplified schematic circuit diagram of the current-mode logarithmic pipeline ADC. In Fig. 3 transistors M_1-M_8, switches M_{S1}-M_{S2}, and capacitors C_{SH1}-C_{SH2} deliver the sampled input current signal to the first stage of the ADC. Switches M_{S1}-M_{S2} are controlled by non-overlapping clock signals, ϕ_1 and ϕ_0, respectively. The simplified schematic circuit diagram

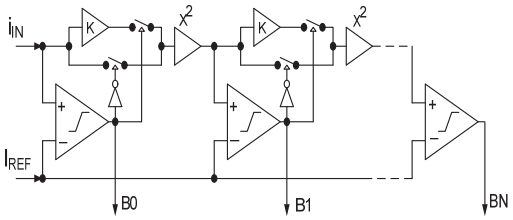


Fig. 2 Block diagram of the logarithmic pipeline ADC

of the bit cell is shown in Fig. 4. All transistors operate in the subthreshold region. Transistors M_1-M_4 takes the input current from the preceding stage and copies it to the comparator. The current comparator, realized with a simple CMOS inverter (M_5-M_6), compares the input current with the reference current. The stage digital output is taken from the comparator output at terminal 3. According to the stage digital output, M_9 and M_{11} function as switches that select the input current scaled by a factor of either 1 or 0.035 to the subsequent current squarer. By scaling the channel widths of M_{10} and M_{12} appropriately, the input current is copied to the sources of M_9 and M_{11} by a factor of 1 and 0.035, respectively. If the stage digital output is 1, M_9 is OFF and M_{11} is ON passing the input current scaled by a factor of 0.035 to the current squarer. If the stage digital output is 0, M_{11} is OFF and M_9 is ON allowing the input current scaled by a factor of 1 to the current squarer. The current squarer is realized by M_{15}-M_{18} based upon the translinear principle. It can easily be shown that the stage output current at the drain of M_{18} is equal the square of either $i_{IN_S/H}$ or $0.035i_{IN_S/H}$ divided a DC current I_0. The transistor M_{S1} as a switch controlled by the clock signal and the capacitor C_C either hold or pass the output current of the squarer to the next stage. The accuracy of the current mirrors and the current squarer is important to the operation of the ADC. Therefore all transistors are realized with long channel length. The final bit cell stage N of the ADC comprises only current mirrors and comparator as shown in Fig. 5.

V. SIMULATION RESULTS

The proposed sensor interface circuit with the logarithmic pipeline 8-bit ADC was designed to operate with a single 1 V power supply voltage. The circuit was simulated by using Cadence Spectre with component parameters from a 0.35 μm CMOS technology. The currents I_{REF} and I_0 are both equal to 28.7 nA, C_{SH1}, C_{SH2}, and C_C are all equal to 3 pF. The static power consumption at full scale input current is 15.7 μW. The sizes of transistors are summarized in Table 1. A non-overlapping clock signal of 1 kHz is used for simulation. An exponential decaying input current signal was applied to test the ADC. Fig. 6 is shown the simulated digital code output of ADC is plotted against the output current i_{out} from the ISFET readout circuit and the pH range of 4 to 10 at the nominal V_{REF} of 200 mV. In Fig. 7 and Fig. 8, The simulated integral non-linearity (INL) and differential non-linearity (DNL) [4] of the interface circuit is shown in Fig. 7 and Fig. 8, respectively.

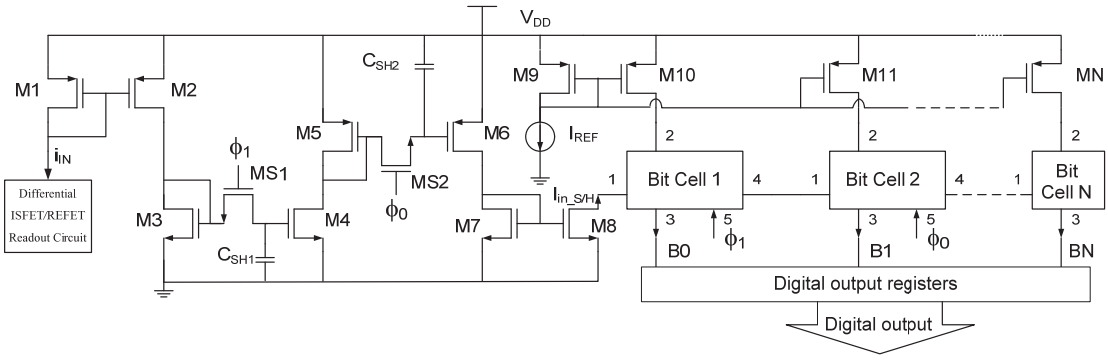


Fig. 3 Schematic circuit diagram of the current-mode logarithmic pipeline ADC.

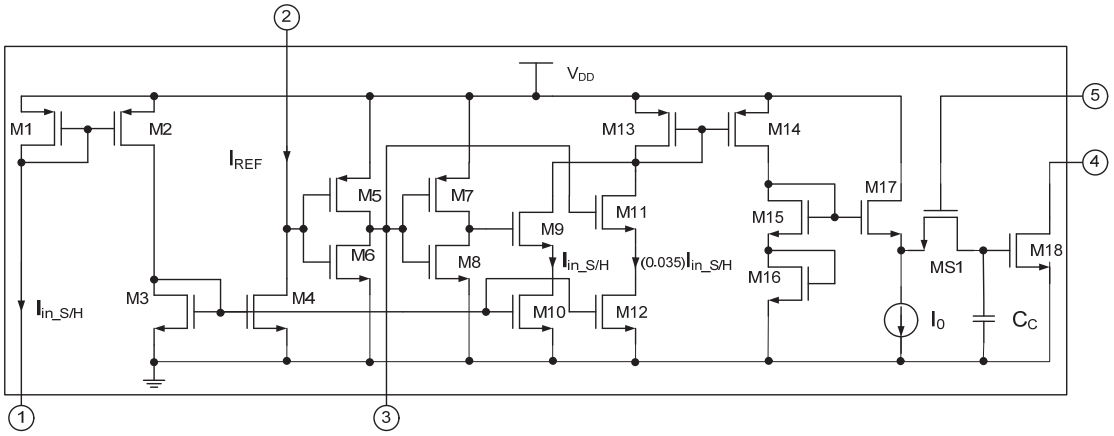


Fig. 4 Schematic circuit diagram of the bit cell of the ADC

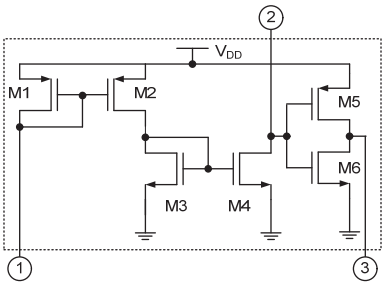


Fig. 5 Schematic diagram of the final bit cell stage N

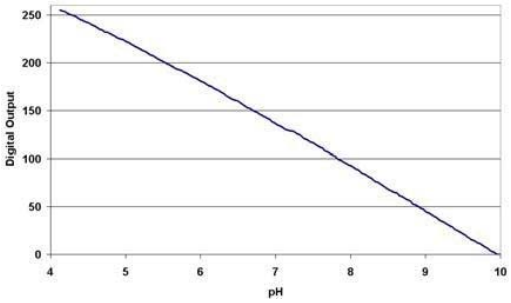


Fig. 6 Simulated output digital code vs. pH.

Table. 1 Transistors dimension

	Transistors	W(μm)	L(μm)
Fig. 3	M_1- M_8	300	10
	M_9- M_N	100	10
	M_{S1}- M_{S2}	5	0.35
Fig. 4	M_1- M_4	100	10
	M_5, M_7	20	10
	M_6, M_8	10	10
	M_9, M_{11}	5	0.35
	M_{10}, M_{13}- M_{17}	100	10
	M_{12}	3.5	10
	M_{18}	2,870	10
	M_{S1}	5	0.35

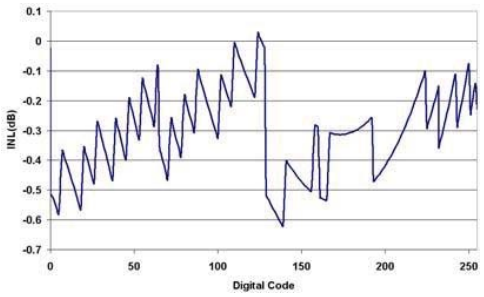


Fig. 7 Simulated INL

PHASE NOISE REDUCTION OF CMOS RING OSCILLATOR USING RAIL-TO-RAIL CURRENT-STARVED DELAY CELL

[1,2]Jakrawat Budboonchu and [2]Apinunt Thanachayanont

[1]Faculty of Engineering, Rajamangala University of Technology Isan, Khon-Kaen Campus, Khon-Kaen, Thailand 40000
[2]Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand 10520
E-mail: jakrawat_bud@hotmail.com, ktapinun@kmitl.ac.th

ABSTRACT

In this paper, a new current-starved delay cell with enhanced rail-to-rail voltage swing is proposed to improve phase noise performance of a CMOS ring oscillator. A 3-stage ring oscillator was designed as a test vehicle of the proposed delay cell. Simulation results with process parameters from a 0.18 μm CMOS technology showed that the ring oscillator realized with the proposed delay cell exhibited 2-3 dB phase noise improvement with no extra power dissipation.

***Index Terms*—**voltage controlled oscillator (VCO), starved inverter

1. INTRODUCTION

Voltage-controlled oscillator (VCO) is a critical building block in high-speed phase-locked loops used for many communication systems. VCO can be implemented by using LC resonant circuit, ring structures or relaxation circuit. LC VCO inherently has the best phase noise performance due to high quality factor of the LC resonant circuit. However, fully-integrated LC VCO is costly and difficult to implement due to the complexity of on-chip inductor realization and its frequency tuning range is relatively narrow. In contrast, ring oscillator can have wider frequency tuning range and smaller die area, at the expense of higher phase noise. Thus ring oscillator is often used in applications where phase noise requirement is less stringent.

It has been demonstrated that phase noise of a ring oscillator can be reduced by either ensuring rising and falling edges symmetry or increasing signal swing [1]. A practical approach to achieve the waveform symmetry is to employ linear loads such as passive resistors or linearized MOS active resistors [2]. It has also been analyzed that differential ring oscillator will have higher phase noise than its singled-end counterpart [3] under identical number of stages, power dissipation and oscillator frequency. Single-ended ring oscillator is not necessarily worse than its fully-differential counterpart in terms of substrate and supply rejection [3]. Thus single-ended ring oscillator is preferred in our work.

This paper proposes a new current-starved delay inverter with enhanced rail-to-rail voltage swing to reduce phase noise of a ring oscillator. Section 2 describes the circuit of proposed delay cell and section 3 reports the simulated results of a 3-stage CMOS ring oscillator realized with the proposed delay cell. Conclusion is given in section 4.

2. PROPOSED CURRENT-STARVED DELAY CELL

The basic current-starved delay cell is shown in Fig. 1(a), where transistors M1 and M2 form a CMOS inverter and transistors Mn and Mp realize the current-limiting devices. Both Mn and Mp can be designed to operate in either the saturation or the triode region. If Mn and Mp are biased to operate in the saturation region, they act as current sources to limit the current available to charge of discharge the output capacitor. If Mn and Mp are biased in the triode region, they act as voltage-controlled resistor and the available charging and discharging currents are decided by their gate overdrive voltages and aspect ratios. In this case, signal swing is limited by their gate overdrive voltage and it can be quite small at high frequencies. Biasing Mn and Mp in the saturation region, rather than in the triode region, can achieve larger signal swing and better phase noise. In both biasing conditions, signal swing of the basic current-starved delay is limited by the gate overdrive voltage of the current-limiting transistors. It has been pointed out in [3] that, for a given bias current and oscillation frequency, the phase noise can only be reduced by improving the current switching efficiency, which can only be achieved by increasing the signal swing.

This paper proposes a new current-starved delay cell as shown in Fig. 1(c) with enhanced signal swing to improve phase noise performance of ring oscillator. The proposed circuit is simply the basic current-starved delay cell with two additional pull-up and pull-down transistors, Mps and Mns.

The gates of Mps and Mns are connected to the input of the inverter. When Vin is high and the output voltage is being pulled down by M1, Mns is turned on to short the source of M1 to ground. This eliminates the headroom voltage required by Mn. The same explanation can be offered when Vin is low and the output voltage is pulled up. Therefore the signal swing is enhanced and exhibits a rail-to-rail characteristic, similar to a simple CMOS inverter delay cell.

Fig. 1(b) shows a current-starved delay cell with symmetric load transistors, M3 and M4, to provide a more linear load and achieve better waveform symmetry. Signal swing of the circuit in Fig. 1(b) is also somewhat limited by the headroom voltages required by M3 and M4.

Fig. 2 shows the simulated time delay of the circuits in Fig. 1. It can be seen that the time delay tuning characteristic of the proposed delay cell in Fig. 1(c) is relatively more linear than those of the circuits in Fig. 1(a) and Fig. 1(b). However, the circuit in Fig. 1(a) exhibited the widest time delay tuning range.

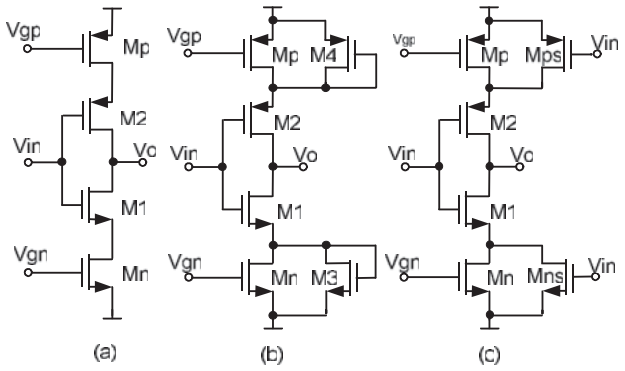


Fig. 1: (a) Basic current-starved delay cell (b) Current-starved delay cell with symmetric load and (c) Proposed current-starved delay cell with enhanced signal swing.

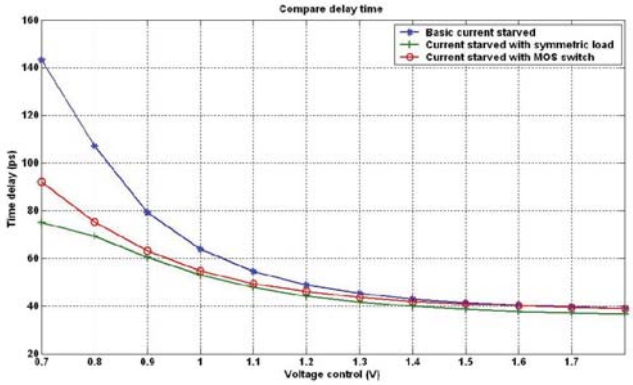


Fig. 2 Simulated time delay tuning characteristic of the delay cells in Fig. 1.(a) ,Fig(b) and Fig(c).

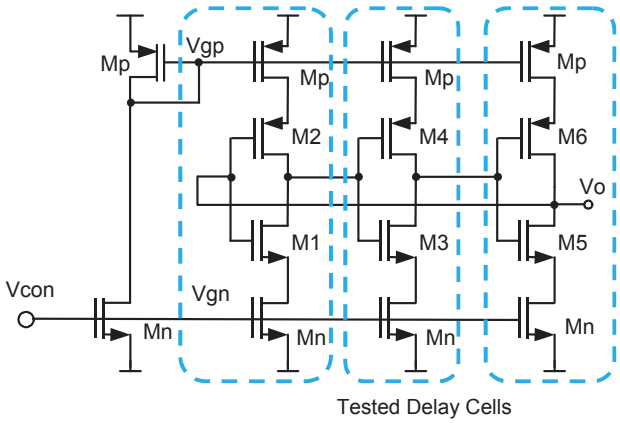


Fig. 3 Three-stage voltage-controlled ring oscillator

3. SIMULATION RESULTS

A 3-stage ring oscillator, shown in Fig. 3, was used as a test vehicle to demonstrate the performance of the delay cells in Fig. 1. The oscillator circuits were designed to oscillate at a nominal center frequency of 2.5 GHz and identical power dissipation. All circuits were designed to operate with a single 1.8-V power supply voltage and all simulation results were obtained by using Cadence Spectre with process parameters from a standard 0.18-µm CMOS technology.

Fig. 4 shows the simulated frequency tuning characteristics of the oscillators, under the same power dissipation. The oscillator with the basic current-starved delay cell (Fig. 1(a)) exhibited a frequency tuning range from 391 MHz to 3.29 GHz when the control voltage was varied from 0.6 V to 1.8 V. The oscillator with the delay cell in Fig. 1(b) showed a tuning range from 1.72 GHz to 3.85 GHz when the control voltage was varied from 0.7 V to 1.8 V. Using the delay cell in Fig. 1(c), the oscillator showed a tuning range from 1 GHz to 3.6 GHz when the control voltage was varied from 0.6 V to 1.8 V. It could be seen that the oscillator with the basic current-starved delay cell exhibited the widest frequency tuning range.

Fig. 5 shows the signal swing of the oscillators when the control voltage is varied from 0.7 V to 1.8V (i.e. tuning the oscillation frequencies). It can be seen that the signal swing of the oscillator using the proposed delay cell in Fig. 1(c) was virtually constant at 1.7 V while the other oscillators showed variable signal swings.

Fig. 6 showed the simulated phase noise of the oscillators at 1-MHz offset from 2.5-GHz carrier frequency. The phase noise of the oscillator using the proposed delay cell showed 2-3 dB improvement over the other oscillators, under the same power dissipation. Table 1 summarizes and compares the simulated performance of the 3-stage oscillator realized with different delay cells.

Fig. 7 compares the phase noise of the three oscillator at 1-MHz offset from the carrier frequency. It can be seen that the oscillator with the proposed delay cell can achieve better phase noise over a wide range of carrier frequencies. Table 1 summarizes and compares the simulated performance of the 3-stage oscillator realized with different delay cells.

Table 1: Simulated performance of the 3-stage ring oscillator realized with the delay cells in Fig. 1.

Performance	VCO with Fig. 1(a)	VCO with Fig. 1(b)	VCO with Fig. 1(c)
Pdiss (mW)	0.2-2	0.4-2	0.2-2
Frequency tuning range (GHz)	0.39-3.68	1.7-3.85	0.7-3.57
KVCO (GHz/V)	3.1	2.7	2.5
Phase noise (dBc/Hz @ 1MHz offset from 2.5 GHz carrier)	-76.5	-76.7	-78.8

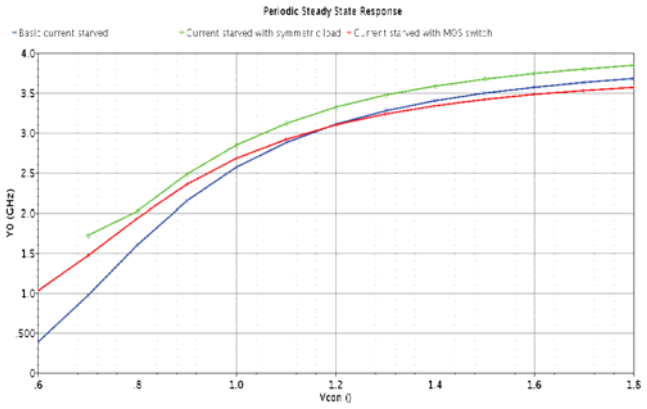


Fig. 4 Simulated frequency tuning characteristics of the oscillators using the delay cells in Fig.1(a), Fig.1(b) and Fig.1(c).

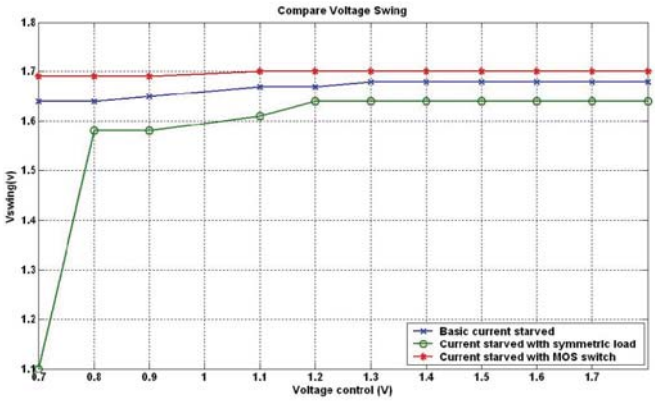


Fig. 5 Simulated signal swings of the oscillators in Fig. 1(a),Fig.1(b) and Fig.1(c).

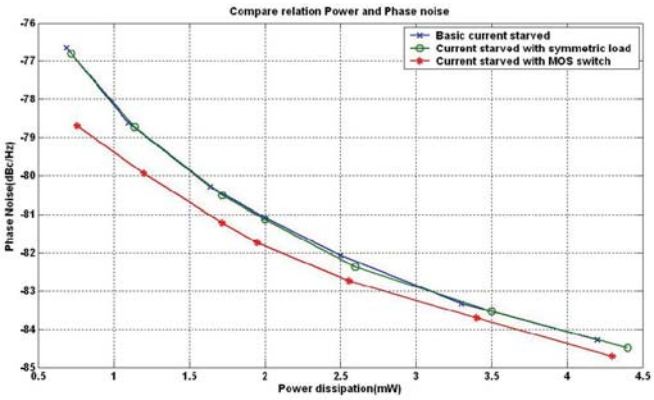


Fig. 6 Simulated Phase noise of the ring oscillators in Fig. 1.(a),Fig.1(b) and Fig.1(c).

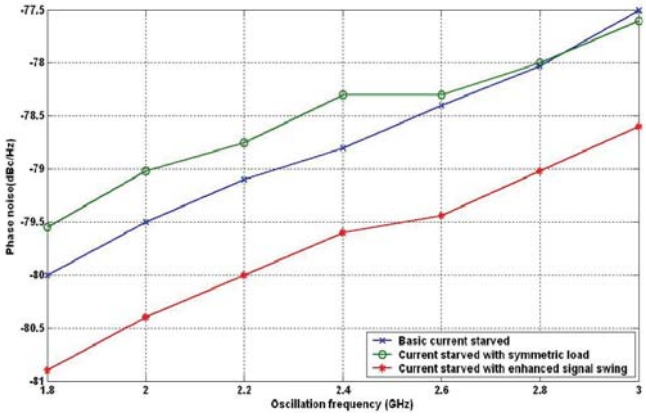


Fig. 7 Comparison of phase noise values at 1-MHz offset from the carrier.

4. CONCLUSION

A new current-starved delay cell is proposed to enhance signal swing and phase noise performance of a ring oscillator. A 3-stage ring oscillator was designed to test the performance of the proposed delay cell, compared with two existing delay cells. Simulation results of a 2.5-GHz oscillator showed that the proposed delay cell was able to provide a larger and more constant signal swing over the frequency tuning range. A 2-3 dB phase noise improvement was achieved with the oscillator using the proposed delay cell, under the same power dissipation and oscillation frequency. Therefore the proposed delay cell can be used to improve phase noise performance with no extra cost.

5. REFERENCES

[1] A. Hajimiri and T. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of solid-state circuits*, vol. 33, 1998, p. 179–194.

[2] A. Hajimiri, S. Limotyrakis, and T. Lee, "Jitter and phase noise in ring oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, 1999, p. 790–804.

[3] L. Dai and R. Harjani, "Comparison and analysis of phase noise in ring oscillators," *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*, 2000, pp. 3-6.

ACKNOWLEDGEMENT

This work is partly supported by the scholarship fund from Rajamangala University of Technology Isan, Khon Kaen campus.

0.8-μW CMOS Bulk-Driven Linear Operational Transconductance Amplifier in 0.35-μm Technology

Apiradee Yodtean[#1,*], Pasin Isarasena[#] and Apinunt Thanachayanont[*2]

[#]*National Electronics and Computer Technology Center, National Science and Technology Development Agency, Thailand*

[1]apiradee.yodtean@nectec.or.th

[*]*Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang Bangkok 10520,Thailand*

[2]ktapinun@kmitl.ac.th

Abstract—**This paper proposes a low-voltage linear operational transconductance amplifier (OTA) in a 0.35-μm CMOS process. The proposed OTA employs a bulk-driven differential input stage with resistive source degeneration and the flipped-voltage follower topology to achieve high linearity under low power supply voltage. The proposed OTA dissipates 0.8 μW from a single 0.8-V power supply voltage. Simulation results with showed that a linear differential input voltage range of 470 mV was achieved with less than 1% total harmonic distortion.**

Keywords—**operational transconductance amplifier, bulk-driven, flipped voltage follower, source degeneration**

I. Introduction

Low-power linear operational transconductance amplifier (OTA) with small transconductance values is demanded for biomedical and neural network integrated circuits and systems [1]. To allow low-cost and full integration with digital circuits, OTA should be realized with modern CMOS technologies and thus it should be capable of operating under low power supply voltage as mandated by modern deep sub-micron CMOS technologies. Like other analog integrated circuits, realizing a low-power OTA with high linearity and wide signal swing under low power supply voltage is a real challenge.

Low power, low voltage OTA with small transconductance can be achieved by using subthreshold MOSFETs [2], bulk-driven [3], [4] and current-division techniques [5]. To improve the input linear range of OTA under low power supply voltage, several circuit techniques, such as source degeneration [5]-[7], adaptive biasing [6], triode MOSFETs [8], input level shifting [9], can be used. Among the abovementioned techniques, bulk-driven and subthreshold MOSFETs are probably the simplest and most effective solution for realisation of low-voltage and low-power OTA [9].

Bulk-driven differential pair has successfully been used as the input stage of transconductance amplifier to allow a wide input linear range under low power supply voltage operation. In contrast to the conventional gate-driven counterpart, the bulk-driven input stage allows the DC input common-mode voltage to be in the middle of the supply voltage and a larger input voltage range at the cost of lower transconductance value and higher input-referred noise [9]. Linearity of bulk-driven input OTA has been improved by using resistive source degeneration [7], gate degeneration [2], bump linearization, and parallel connection of input differential pairs [10].

This paper proposes a new low-voltage low-power CMOS OTA with wide input linear range. The proposed OTA employs the bulk-driven flipped voltage follower [11] with resistive source degeneration as the input differential stage to achieve high linearity under low power supply voltage. This paper is organized as follows. Section II describes the circuit implementation of the proposed OTA. Simulation results and conclusion are given in sections III and IV, respectively.

II. Circuit Implementaion of The Proposed OTA

Fig. 1(a) shows the basic source-degenerated OTA with bulk-driven differential input transistors. The differential input voltage is applied to the bulk terminals of M_1 and M_2. This allows the input DC common-mode voltage to be set to the middle of the power supply voltage. The differential transconductance of the circuit can be written as in (1), where g_{m1} and g_{mb1} are the small-signal gate transconductance and body transconductance of M_1, respectively. For good linearity, (2) should be applied and the effective transconductance is reduced to (3), where $g_{mb1} = \eta g_{m1}$ and η is about 0.1 to 0.3. Therefore the effective transconductance of the bulk-driven source-degenerated amplifier is η times smaller than its gate-driven counterpart.

$$G_{md} \approx \frac{g_{mb1}}{1+(g_{m1}+g_{mb1})R_S} \tag{1}$$

$$R_S \gg \frac{1}{g_{m1}+g_{mb1}} \tag{2}$$

$$G_{md} \approx \frac{g_{mb1}}{g_{m1}+g_{mb1}} \cdot \frac{1}{R_S} = \frac{\eta}{\eta+1} \cdot \frac{1}{R_S} \tag{3}$$

978-1-4244-7456-1/10/$26.00 ©2010 IEEE

Fig 1(b) shows the source-degenerated OTA with bulk-driven flipped voltage follower input differential pair. Transistors M_3 and M_4 realize the flipped voltage follower structure which provides a negative feedback to lower the impedance at the source terminals of M_1 and M_2. Neglecting the drain-to-source conductance (g_{ds}) of M_5 and M_6, the differential transconductance of the circuit in Fig. 1(b) is also approximately given by (3). However, there is no restricted condition for R_S as for the circuit in Fig. 1(a).

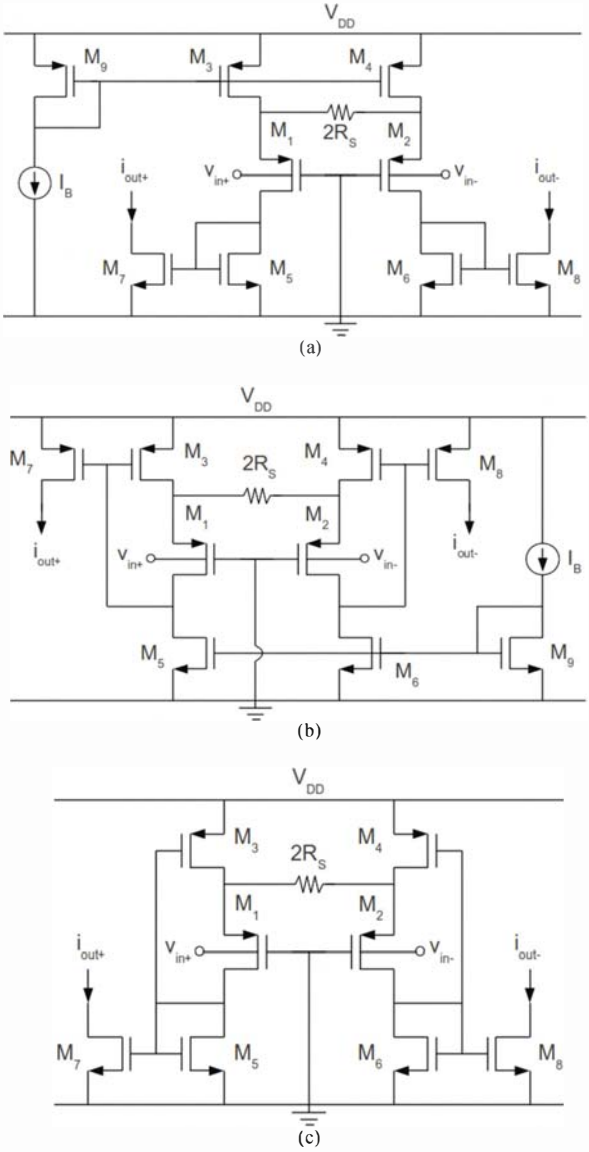


Fig. 1 (a) Basic source-degenerated bulk-driven OTA, (b) Source-degenerated OTA with bulk-driven flipped-voltage follower input stage, (c) the proposed OTA.

Fig. 1(c) shows the simplified circuit diagram of the proposed OTA. The circuit is similar to that of Fig. 1(b) except that, instead of providing a DC current source, the transistors M_5 and M_6 are connected in the diode-connected configuration to provide an active resistive load of $1/g_{m5,6}$. Therefore the DC quiescent current of the circuit is determined by the aspect ratios of M_3 (M_4) and M_5 (M_6). In this work, all transistors were biased in the subthreshold region. The small-signal differential transconductance of the circuit in Fig. 1(c) can be derived as shown in (4). Assuming that (5) is applied, the transconductance can be simplified as given by (6).

$$G_{md} \approx \frac{g_{mb1}}{1+(g_{m1}+g_{mb1})R_S(1+g_{m3}/g_{m5})} \tag{4}$$

$$R_S \gg \frac{1}{(g_{m1}+g_{mb1})(1+g_{m3}/g_{m5})} \tag{5}$$

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1}+g_{mb1})R_S(1+g_{m3}/g_{m5})} = \frac{\eta}{\eta+1}\cdot\frac{1}{R_S(1+g_{m3}/g_{m5})} \tag{6}$$

III. Simulation Results

The circuits in Fig. 1(a)-(c) have been designed and simulated using Cadence Spectre with process parameters from a standard 0.35-μm CMOS technology. The nominal threshold voltages of NMOS and PMOS transistors are approximately +0.6V and -0.7V, respectively. For a fair comparison, all circuits have been designed to have identical sizes of transistors and operate with a 0.8-V power supply voltage. All transistors were biased to operate in the subthreshold region with identical quiescent bias current of 200 nA, yielding the total power supply current of 1-μA. All transistors have equal width and length of 940 μm and 1 μm, respectively. Unless stated otherwise, the circuits were simulated with R_S = 200 KΩ. The DC common-mode input voltage of the circuits was set to the middle of the power supply voltage. The bulk-source junctions of the input transistors were weakly forward-biased with about 60 mV to reduce the threshold voltages slightly.

Fig. 2 shows the simulated differential output currents of the amplifiers in Fig. 1(a)-(c) when the differential input voltage was varied from -0.8 V to +0.8 V. Linearity errors of the output currents are plotted in Fig. 3. It can be seen that the proposed OTA in Fig. 1(c) exhibits the best linearity with the smallest maximum error of +/- 22.5 nA, while the circuits in Fig. 1(a) and Fig. 1(b) have the maximum current errors of +/- 118 nA and +/- 368 nA, respectively. (The linearity error of

the proposed OTA in Fig. 1(c) is less than +/- 0.24 nA (i.e. about +/-1%) for the differential input voltage of +/-0.3 V.

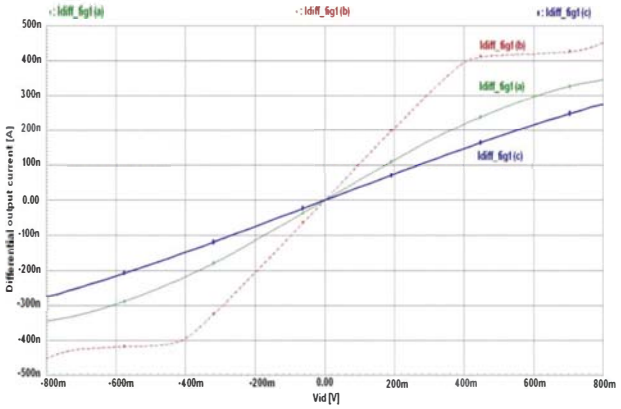


Fig. 2 Simulated differential Iout vs. Vid of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).

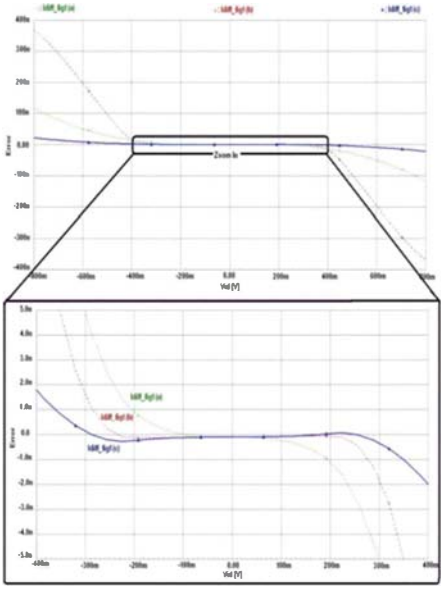


Fig. 3 Simulated linearity error of the differential output current of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).

Fig. 4 shows the simulated transconductance values of the three OTAs against the differential input voltage. The quiescent transconductance values of the circuits in Fig. 1(a)-(c) are 0.578 μA/V, 1 μA/V, and 0.373 μA/V, respectively. It can be seen that the proposed OTA in achieves the smallest variation of transconductance value over a wide range of differential input amplitude. However, this is achieved at the cost of transconductance reduction. Fig. 5(a) and fig. 5(b), respectively, show the differential output currents and the transconductance values of the proposed OTA when Rs is varied linearly from 50 KΩ to 500 KΩ. It can be seen that the transconductance could be tuned from 0.1 μA/V to 0.9 μA/V without noticeable changes in the input linear range.

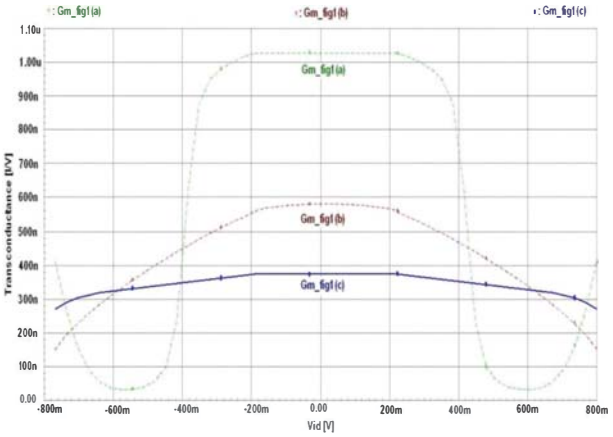
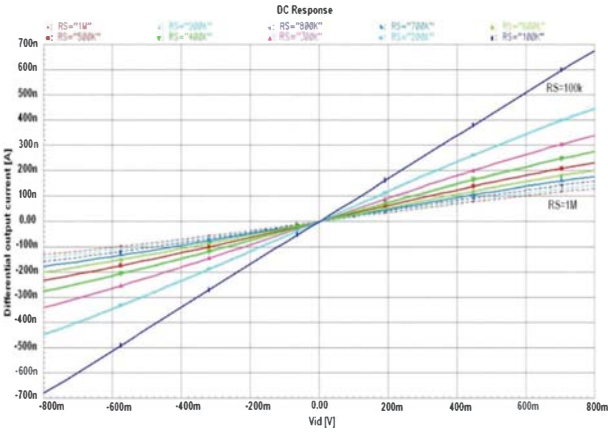
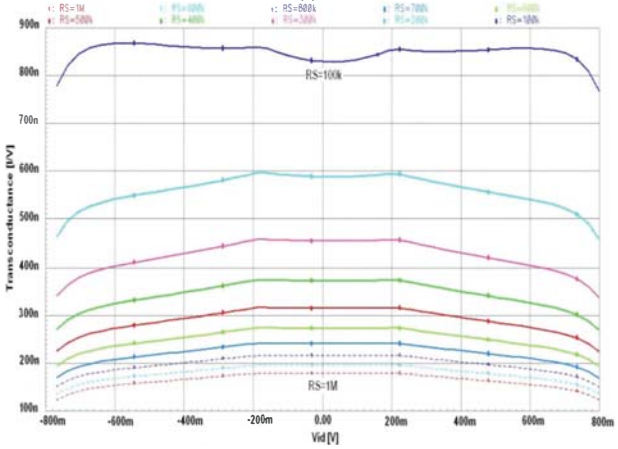


Fig. 4 Simulated transconductance of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).



(a)



(b)

Fig. 5 Transconductance tuning of the proposed OTA.

Fig. 6 plots the simulated output total harmonic distortion (THD) versus the amplitude of the differential input voltage at different input frequencies. For input frequencies up to 10 kHz, the maximum differential input amplitude of 470 mV can be applied while keeping the output THD below 1%. Fig. 7 show a small-signal noise analysis with 10-kHz bandwidth showed the total integrated input-referred noise voltage of 148 μV. Therefore the calculated input signal dynamic range is about 70 dB.

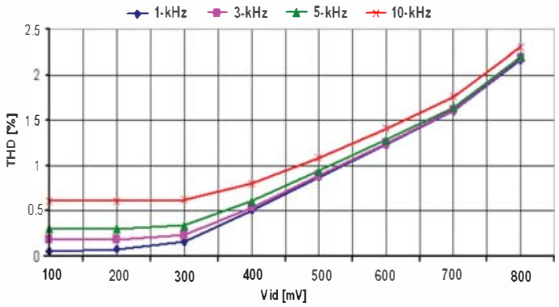


Fig. 6 Output total harmonic distortion vs. Differential input voltage at different signal frequencies

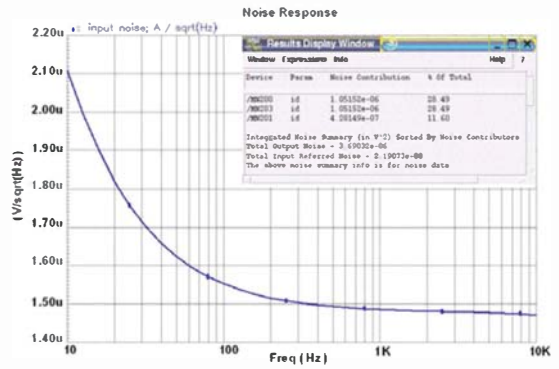


Fig. 7 Noise Response simulation

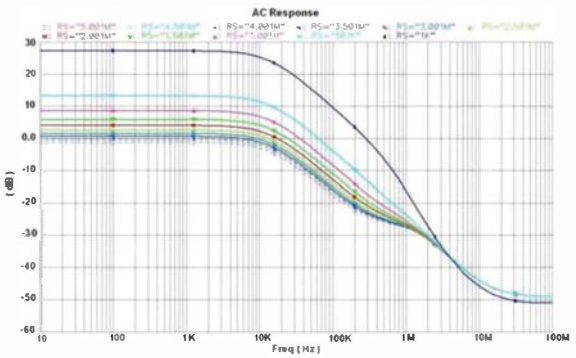


Fig. 8 Frequency Response simulation expressed in dB gain

The circuit of Fig. 1(c) was applied for VGA circuit with bandwidth less than 10-KHz frequency, when Rs was varied linearly from 1 KΩ to 5 MΩ. It can be seen that the circuit could be tuned from 1.5 dB to 27 dB in Fig. 8. Using transistors were optimized sizes of M1 and M2 with 100/0.35 μm, while M3 and M4 with 1000/0.35 μm ratios for constant current source. M5, M6, M7 and M8 were design for current mirror with sizes 400/1μm. M9 and M10 were added for the single output signal with 400/1μm. The proposed VGA dissipates 0.951 μW from a single 0.8-V power supply voltage.

IV. Conclusions

A low-power low-voltage CMOS linear OTA was proposed. The proposed OTA employs bulk-driven input stage with source-degeneration and flipped-voltage follower techniques to achieve wide linear range under low power supply voltage. The proposed is suitable for implementation of low-frequency integrated filters and variable gain amplifiers for biomedical and neural network applications.

Acknowledgment

Financial support from the Thailand Graduate Institute of Science and Technology (TG-44-22-49-091D) is gratefully acknowledged.

References

[1] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez, "Transconductance amplifier structures with very small transconductances: a comparative design approach," *IEEE Journal of Solid-State Circuits*, vol. 37, 2002, pp. 770-775.

[2] R. Sarpeshkar, R.F. Lyon, and C. Mead, "A low-power wide-linear-range transconductance amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 13, 1997, pp. 123-151.

[3] I. Grech, J. Micallef, G. Azzopardi, and C.J. Debono, "A low-voltage wide-input-range bulk-input CMOS OTA," *Analog Integrated Circuits and Signal Processing*, vol, 2005, pp127-136.

[4] S. Chatterjee, Y. Tsividis, and P. Kinget, "0.5-V analog circuit techniques and their application in OTA and filter design," *IEEE Journal of Solid-State Circuits*, vol. 40, 2005, pp. 2373-2387.

[5] A. Arnaud and C. Galup-Montoro, "Pico-A/V range CMOS transconductors using series-parallel current division," *Electronics Letters*, vol. 39, 2003, p. 18.

[6] K. Kuo and A. Leuciuc, "A linear MOS transconductor using source degeneration and adaptive biasing," *IEEE Transactions on Circuits and Systems II*, vol. 48, 2001, pp. 937-943.

[7] J.M. Carrillo, J.F. Duque-Carrillo, and G. Torelli, "1-V continuously tunable CMOS bulk-driven transconductor for Gm-C filters," *2008 IEEE International Symposium on Circuits and Systems*, 2008, pp. 896-899.

[8] L. Zhang, "A Low-Voltage High Linear Body-Driven Operational Transconductance Amplifier and Its Applications," *2007 Canadian Conference on Electrical and Computer Engineering*, 2007, pp. 534-537.

[9] C.J. Fayomi, M. Sawan, and G.W. Roberts, "Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Tutorial," *Analog Integrated Circuits and Signal Processing, Vol. 39, No.*, vol. 1, pp. 21-38.

[10] C. Popa and D. Coada, "A new linearization technique for a CMOS differential amplifier using bulk-driven weak inversion MOS transistors," *2003 IEEE Int. Symp. in Circuits and Systems, (ISCAS 2003)*, 2003, pp. 589-592.

[11] Y. Haga and I. Kale, "Bulk-driven flipped voltage follower," *2009 IEEE Int. Symp. in Circuits and Systems, (ISCAS 2009)*, 2009, pp. pp. 434-442.