

frequencies as a result. This thus implies bandwidth degradation in both the lossy SH and HS networks due to the Q reduction.

Similar to the analysis in Section III, the peaking and bandwidth performance of the lossy SH and HS networks can be determined from the transresistance, $H'(j\omega)$, of the reference network in Fig. 11(a) and this is given by (9), shown at the bottom of the page, where the quality factors in the equation are defined as $Q_{Ls} = \omega L_S / R_S$, $Q_{C1,2} = 1 / \omega r_{1,2} C_{1,2}$ and $Q' = Q_{Ls} Q_{C1} Q_{C2}$. With the use of (9), the passband-edge peaking of the lossy reference network G'_p can be approximated at ω_2 of the ideal reference network of Fig. 5(b) [see (2)] and this is expressed as $G'_p = \delta G_p$ where δ is given by (10), shown at the bottom of the page. Note that Q_{Ls} , $Q_{C1,2}$ and Q' in (10) are also defined at ω_2 of the ideal network. By using (10), the surface plot of the peaking level G'_p versus the Q s is shown in Fig. 12(a) for the SH network at $C_d/C_g = 0.6$, and in Fig. 12(b) for the HS network at $C_d/C_g = 1.0$. Due to higher losses, the peaking continuously drops at smaller Q s. For a particular case of interest at $Q_{Ls} = Q_{Cg} = 8$, the SH network exhibits about 1.26-dB peaking—a drop by as much as 7 dB from the ideal response in Fig. 10(b). For the HS network, the peaking disappears and there is attenuation at about -1.87 dB [see (9) and (10)].

Also based upon the transfer function in (9), the resulting BWER and absolute bandwidth that include the effect of the parasitic resistances can be computed numerically. The BWER dependences against the ratio C_d/C_g are given in Fig. 13(a) for a set of $Q_{Ls} = Q_{Cg} = 4, 8, 16$, and ∞ at ω_2 . Whereas the plots indicate the degradation of the BWER with the Q reduction as implied by the triple resonance movement in Fig. 11(b), it is noticed that the impact on HS peaking is more pronounced. Another important observation can be made from the plots of the corresponding absolute bandwidth in Fig. 13(b) for the normalized networks with $R = 1/g_m = 1$ and $C_g = 1$. When compared to the ideal case in Fig. 8(b), in the presence of the parasitics, the optimum bandwidth of HS peaking occurs at a larger C_d/C_g , i.e., approaching $C_d/C_g = 1$, with a consequent requirement of a larger C'_d . Also, from the phase plots versus the normalized frequency ω/ω_B of Fig. 13(c), as compared to Fig. 8(c), the lossy SH network exhibits considerably less steep phase characteristics, particularly at a small C_d/C_g .

The surface plots of the BWER versus Q_{Ls} and Q_{Cg} at ω_2 are given in Fig. 14(a) for lossy SH peaking at $C_d/C_g = 0.6$, and in Fig. 14(b) for the optimum lossy HS peaking at $C_d/C_g = 1.0$. At $Q_{Ls} = Q_{Cg} = 8$, the BWER drops from 3.7 to 3.5 (5.4% reduction) for SH, and from 3.54 to 3.25 (8% reduction) for HS peaking. This suggests that, although the parasitic effect is included, SH peaking still maintains a bandwidth advantage.

As a verification, simulated magnitude and phase responses for the lossy SH and HS peaking networks are given where two cases are considered, i.e., at: 1) $C_d/C_g = 1.0$ for the normalized

HS network [Fig. 15(a)], and 2) $C_d/C_g = 0.6$ for the normalized SH network [Fig. 15(b)]. Also included in Fig. 15(a) and (b) for comparison are the simulated responses based on the distributed RC gate model at $N = 32$ [see Fig. 11(c)] where close matching with the responses based on the single $r_g - C_g$ gate model is observed. From the magnitude plots, the HS network exhibits a BWER of 3.25 and an attenuation at -1.87 dB whereas the simulated responses for SH indicate the BWER at 3.5 and peaking at 1.28 dB, in good agreement with the plots of Fig. 12(a) and (b) and Fig. 14(a) and (b). The phase plots indicate similar phase characteristics between the two networks with respect to their corresponding bandwidths. It should be noted that, due to such changes of both peaking and bandwidth of a practical CA, some adjustments on L_H and L_S from the design equations in (4) and (6) are necessary to maintain a flat response at midband frequencies.

C. Noise Characteristics

Due to the multiplicative noise characteristic of a CA, its noise performance is inferior to a classical DA. By considering only thermal noise, the noise factor F of a CA with identical stages for frequencies up to near the passband edge can be expressed by

$$F = 2 + 4 \frac{R}{R_o} \left(\left(\frac{1}{(g_m)^{2n} R^{2n-1} R_o} - 1 \right) + \left(1 + \frac{\gamma}{g_m R} \right) \sum_{i=0}^{n-1} \frac{1}{(g_m R)^{2i}} \right) \quad (11)$$

where R_o represents both the input source and output load impedances, and γ denotes the excess noise coefficient. Note that the noise figure equation omits thermal noise from the bulk resistance of the gate material, and the gate-induced noise that is only significant when the operating frequency approaches the transition frequency f_T of the transistors [13]. Since a CA typically exhibits bandwidth somewhat less than f_T , only the drain current thermal noise appears as the dominant transistor noise source over the entire bandwidth of the amplifier. To assist the following design procedure in Section V, (11) may be expressed in terms of the overall amplifier parameters, with all variables related to devices and components removed, as

$$F = 2 + \left(\frac{1}{G_{\text{tot}}^2} - 4\rho \right) + \left(4\gamma \left(\frac{\rho^{2(n-1)}}{4G_{\text{tot}}^2} \right)^{1/2n} + 4\rho \right) \sum_{i=0}^{n-1} \left(\frac{1}{4\rho^2 G_{\text{tot}}^2} \right)^{i/n} \quad (12)$$

where $\rho = R/R_o$, $G_{\text{tot}} = (g_m R)^n / 2\rho = G_i^n / 2\rho$ [8], [9]. It should be noted from (12) that F increases with both n and ρ .

$$H'(j\omega) = \frac{R \left[\left(1 + j\omega m \left(\frac{\tau_2^2}{\tau_4} \right) \right) (-Q_{Ls}(Q_{C1} + Q_{C2}) + j(Q' - Q_{Ls})) \right]}{j \left[\omega^4 (\tau_1 \tau_2)^2 Q_{C1} Q_{C2} + \omega^3 \tau_2^2 \tau_3 Q' + \omega^2 (\tau_2^2 (Q_{Ls} Q_{C2} (1+m) - Q_{C1} Q_{C2}) + \tau_1^2 Q_{Ls} Q_{C1}) - \omega Q' (\tau_3 + \tau_4) + Q_{Ls} (1 - (Q_{C1} + Q_{C2})) \right] + j \left[\omega^4 (\tau_1 \tau_2)^2 Q' - \omega^3 \tau_2^2 \tau_3 Q_{C1} Q_{C2} - \omega^2 (\tau_2^2 (Q' (1+m) + Q_{C2}) + \tau_1^2 Q') - \omega Q_{Ls} (\tau_3 Q_{C1} + \tau_4 Q_{C2}) + Q' - Q_{Ls} \right]} \quad (9)$$

$$\delta = \frac{m \sqrt{(Q_{Ls}(Q_{C1} + Q_{C2}))^2 + (Q' - Q_{Ls})^2}}{\sqrt{\left[(\omega_2 \tau_1)^4 Q_{C1} Q_{C2} + \omega_2^3 \tau_1^2 \tau_3 Q' + \omega_2^2 \tau_1^2 (Q_{Ls} (Q_{C2} + m(\alpha Q_{C1} + Q_{C2})) - Q_{C1} Q_{C2}) - \omega_2 (\tau_3 + \tau_4) m \alpha Q' + m \alpha Q_{Ls} (1 - (Q_{C1} + Q_{C2})) \right]^2 + \left[(\omega_2 \tau_1)^4 Q' - \omega_2^3 \tau_1^2 \tau_3 Q_{C1} Q_{C2} - \omega_2^2 \tau_1^2 (Q' (1+m(1+\alpha)) + Q_{C2}) - \omega_2 (\tau_3 Q_{C1} + \tau_4 Q_{C2}) m \alpha Q_{Ls} + m \alpha (Q' - Q_{Ls}) \right]^2}} \quad (10)$$

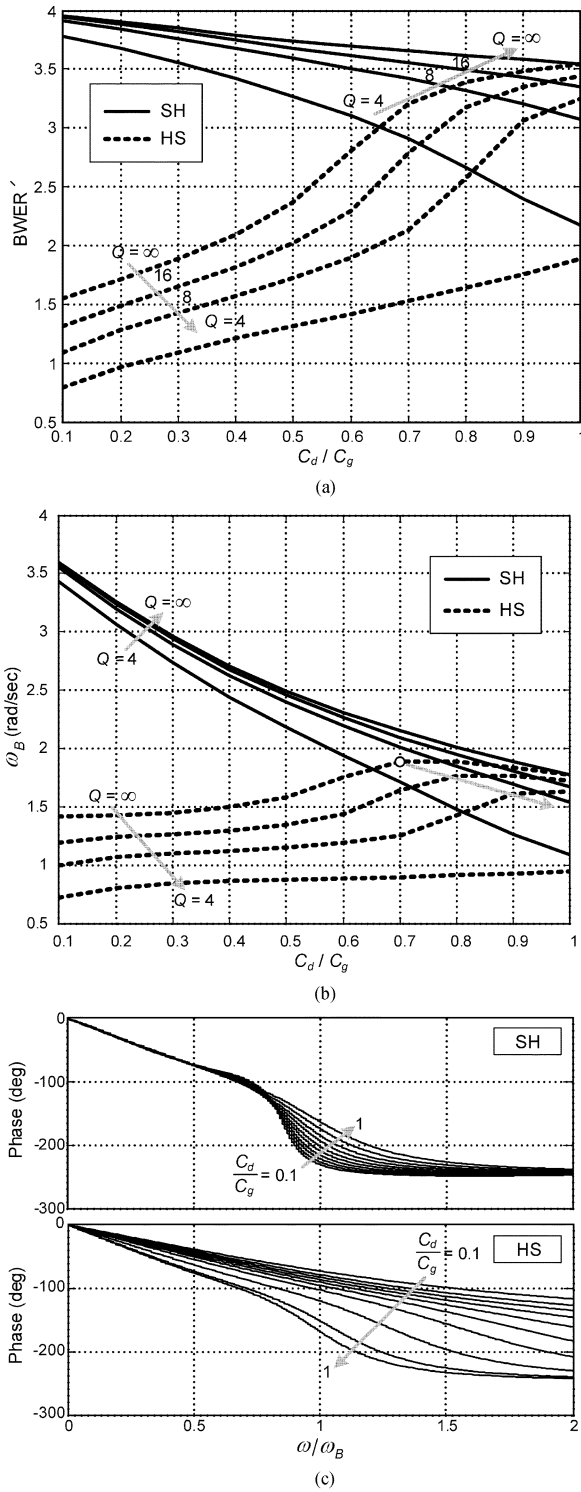


Fig. 13. Effect of parasitic resistances (via the Q factors $Q_{Ls} = Q_{Cg} = Q$) on (a) BWER, (b) normalized bandwidth and (c) phase responses at $Q = 8$.

At a larger n , a lower gain per stage, particularly in the first few stages, leads to more noise contribution of subsequent stages and hence a higher F results. At a higher ρ , although the stage transconductance g_m is reduced, more stage noise ($\propto g_m R^2 = g_m \rho^2 R_o^2$) is effectively generated due to higher interstage resistance. From the described characteristic, it follows that, given

CA specifications, both n and ρ should be minimized for a low noise design.

V. DESIGN EXAMPLES

A. Initial Design Calculation

Based on the developed equations in the previous sections, a flow of initial parameters' calculation that can be equally applied to both SHCA and HSCA is outlined as follows. The design may start from a selection of the number of stages n which should be kept small. For most typical applications with low to moderate noise requirement, n is lower than five stages [11]. From the total gain and noise factor specifications, G_{tot} and F , the resistor ratio ρ is determined at the selected n using (12) and this yields the interstage resistance $R = \rho R_o$. Next, the interstage gain G_i can be decomposed from G_{tot} at

$$G_i = \sqrt[n]{2 \frac{R}{R_o} G_{tot}} = \sqrt[n]{2 \rho G_{tot}} \quad (13)$$

and the required transconductance g_m for the transistor at each stage is at $g_m = G_i/R$. For the CA to exhibit gain advantage over the DA, it requires that $G_i > n^{(1/n-1)}$ [8]. If this is not the case, n should be reduced until the condition is satisfied. From the total bandwidth specification BW_{tot} , since both SH and HS peaking are fourth-order networks, the interstage bandwidth BW_i may be calculated by [12]

$$BW_i = \frac{BW_{tot}}{\left(\sqrt[k]{2^{1/n} - 1} \right)} \quad (14)$$

where k is equal to 8. By combining (13)–(14) and the BWER definition, the total gate capacitance at each of the transistor amplifiers is determined at

$$C_g = \frac{BWER'}{(1 + \alpha)} \cdot \frac{g_m}{G_i 2\pi BW_i}. \quad (15)$$

The equation requires estimation of the parameters $\alpha = C_d/C_g$ and $BWER'$ which can be obtained from the plot similar to Fig. 14(a) and (b) where the effect of the parasitic resistances is included via the estimated parameters Q_{Ls} and Q_{Cg} . With another estimation on the parasitic capacitances that contribute to C_g and C_d , the intrinsic gate-source capacitances C_{gs} and hence the amplifier transistor's width W at the minimum feature length L_{min} can be computed. Continuing the design, by using the short-channel MOS transistor model equations (see [13] for an example), the transistor gate-overdrive $V_{od}(= V_{gs} - V_t)$ and the drain current consumption I_d are obtained. Subsequently, the inductances L_H and L_S are determined using (4) and (6) where $C_1 = C_g$ and $C_2 = C_d$ for SHCA and *vice versa* for HSCA. For optimum bandwidth in HSCA, an additional capacitance may be required to make the ratio $C_d/C_g = 1.0$ as indicated by the theoretical plot in Fig. 13(b). At this stage, the estimation of the parasitic capacitances and resistances in the amplifier transistors and

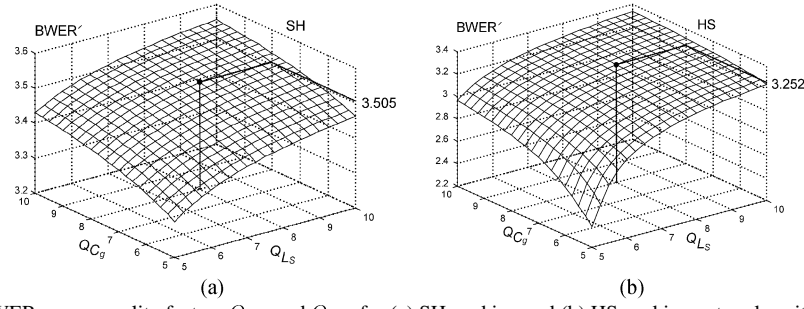


Fig. 14. Calculated plots of BWER versus quality factors Q_{Ls} and Q_{Cg} for (a) SH peaking and (b) HS peaking networks with parasitic resistances.

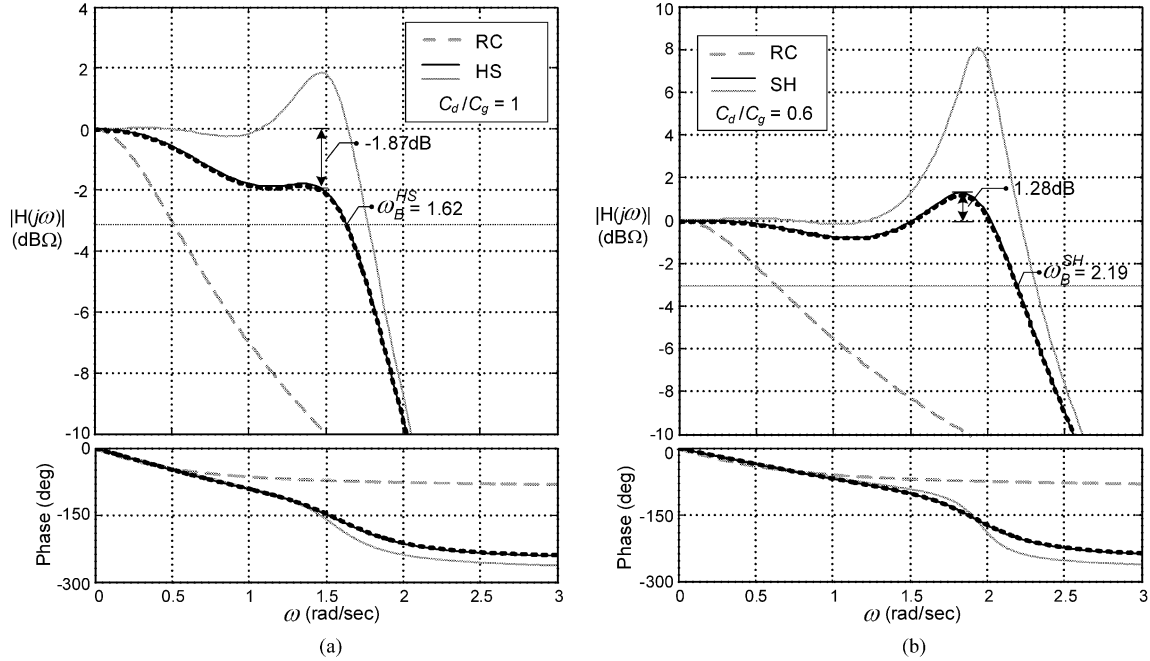


Fig. 15. Simulated frequency responses based on distributed RC model (dark dotted curves) and single RC equivalent model (dark solid curves) at $Q_{Ls} = Q_{Cg} = 8.0$ for (a) HS peaking at $C_d/C_g = 1.0$ and (b) SH peaking network at $C_d/C_g = 0.6$.

inductors can be made more accurate with the help of simulation using practical electrical RF models and layouts. This also enables selection of the dimensions of the inductors L_H and L_S for the desired Qs via the plot similar to Fig. 12 so that the passband-edge peaking of the CA can be controlled. By putting back the simulated parasitics into (15), the parameters W , V_{od} and I_d can be re-calculated with improved precision. Finally, given the simulated total capacitances C_g and C_d , the input and output matching inductances of the CA can be obtained based on the traditional T-network design.

B. Simulation Results

To demonstrate the integrity of the analysis and design, the SHCA has been designed, laid out and simulated using a 0.18- μm 1.8 V 6-Metal RF CMOS process. The amplifier's total gain was specified at $G_{tot} \geq 15$ dB and the bandwidth at $BW_{tot} \geq 12.5$ GHz. The specified noise factor is at $F \leq 10$ (or ≤ 10 dB). The input source and output load impedances are selected at $R_o = 50 \Omega$. For implementation of the amplifier stages, the cascoded transistor configuration was employed.

For realistic simulation, practical RF MOS device and passive component models provided by the process design kit were employed. The interconnect parasitics were characterized via electromagnetic (EM) simulation and these were subsequently included in SpectreRF circuit simulation. Following the outlined

TABLE I
SUMMARY OF DESIGN PARAMETERS FOR THE SHCA

Specifications		
$G_{tot} \geq 15\text{dB}$		
$BW_{tot} \geq 12.5\text{GHz}$		
$F \leq 10$		
Amplifier parameters		
$n = 4$		
$G_i = 2.027$		
$g_m = 27.03\text{mS}$		
$R = 75\Omega$		
$BW_i = 15.4\text{GHz}$		
Component parameters		
Parameters	Initial values	Final values
C_g	300fF	255fF
C_{pg}^{Tr}	180fF	170fF
$C_p^I + C_p^L$	$0.4C_g$	$(0.137+0.196)C_g$
W	90 μm	85 μm
V_{od}	0.248V	0.32V
I_d	4.67mA	6.155mA
L_H	0.85nH	1.16nH
L_S	1.3nH	1.67nH
$\alpha = C_d/C_g$	0.6	0.63
Q_{Ls}/Q_{Cg}	8/8	7.7/6.7
$[\omega_2]$	$[@2\pi \cdot 13.16 \cdot 10^9 \text{ rad/sec}]$	$[@2\pi \cdot 12.4 \cdot 10^9 \text{ rad/sec}]$
R_S/r_g	13.43/5	NA

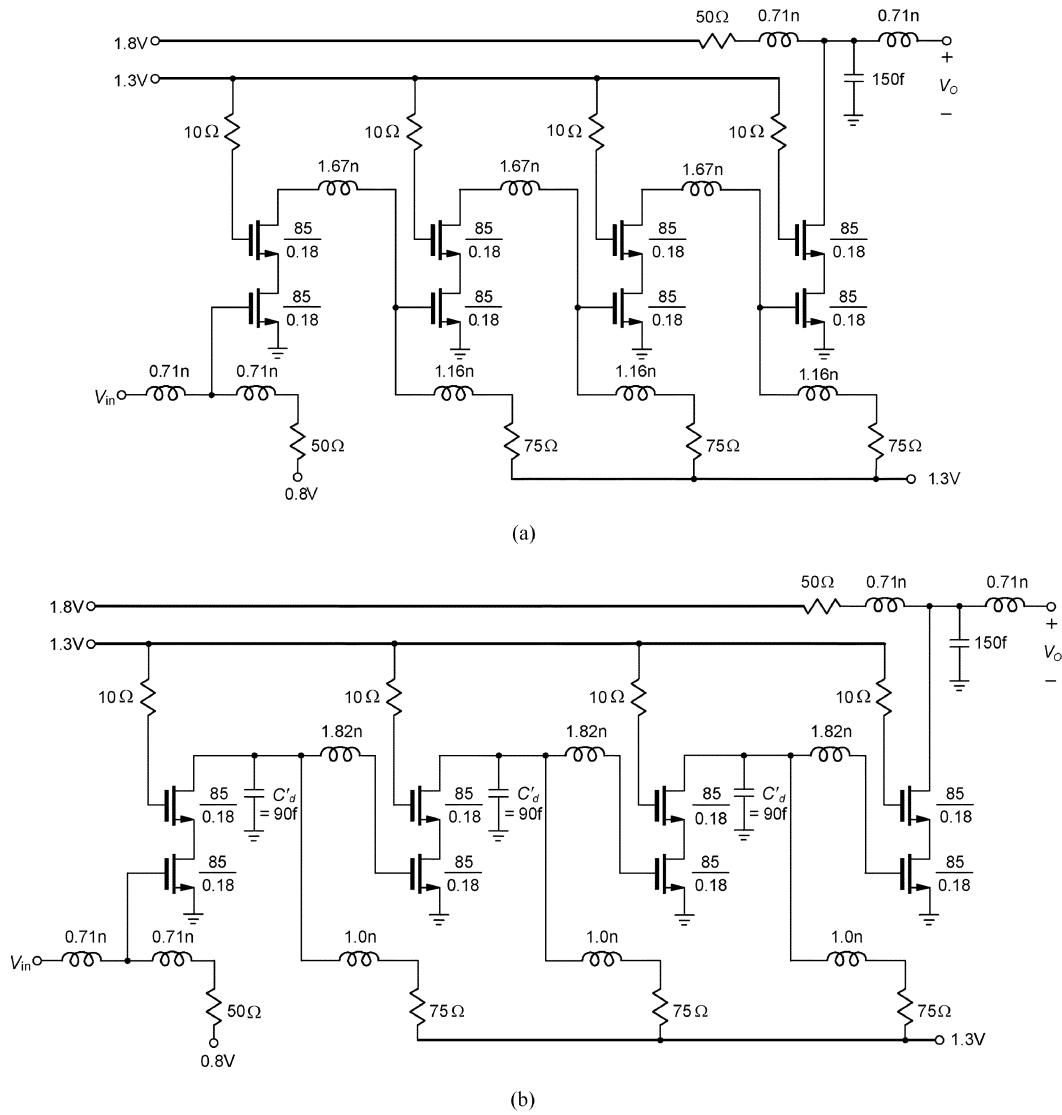


Fig. 16. Schematics of the designed SHCA and HSCA with four stages.

TABLE II
SUMMARY OF DESIGN PARAMETERS FOR THE HSCA

Parameters	Initial values	Final values
C_g	300fF	215fF
C_{pg}^{Tr}	180fF	170fF
$C_p^I + C_p^L$	$0.4C_g$	$(0.095+0.116)C_g$
L_H	0.85nH	1.0nH
L_S	1.64nH	1.82nH
C_d	72fF	90fF
Q_{Ls}/Q_{Cg}	8/8	7.7/8.3
$[\omega_2]$	$[\omega_2]$	$[\omega_2]$
R_S/r_g	13/6.5	NA

parameters' design at four stages, i.e., $n = 4$, the initial component values can be computed. Subsequently, these were adjusted manually via simulation for the final values. Table I summarizes the initial and final design parameters of the SHCA where close matching between the two parameters implies the efficiency of the design flow. In the table, the numbers in italic were estimated

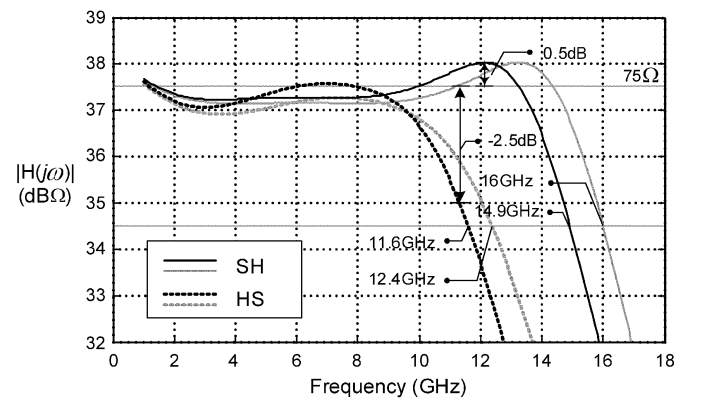


Fig. 17. Simulated interstage responses of the four-stage SHCA and HSCA without interconnection parasitics (gray lines) and with parasitics (dark lines).

values for calculation of the initial parameters. Also, the final inductances are larger than the initial design and this is mainly to account for the parasitic resistance effect.

TABLE III
INTER-STAGE BANDWIDTH PERFORMANCE UNDER EXTREME PROCESS AND TEMPERATURE CONDITIONS

Condition (°C)	Performance	BW _i ^{SH} (GHz)	BW _i ^{HS} (GHz)	BW _i Ratio
Slow	-40	15.14	11.51	1.31
	27	14.39	11.2	1.28
	100	13.48	10.85	1.24
Typical	-40	15.52	11.81	1.31
	27	14.9	11.6	1.28
	100	14.07	11.25	1.25
Fast	-40	15.24	11.72	1.30
	27	14.13	11.39	1.24
	100	13.02	11.03	1.18

Fig. 16(a) shows the schematic of the designed SHCA. A resistor (10 Ω) is inserted at the gate of each of the cascode transistors for good stability [4]. In the amplifier layout (not shown), the circular spiral using metal 6 was adopted for all the inductors. For comparison, the four-stage HSCA was also designed using the same transistor stage with $W/L_{\min}$, I_d and R identical to the final parameter assignment in Table I. This essentially yields the same gain and power consumption as those of the SHCA but the bandwidth is different. The amplifier schematic is shown in Fig. 16(b) with the additional C'_d , implemented by a MIM capacitor, included for optimum bandwidth. The final inductance and capacitance design values are listed in Table II for the optimum HSCA. From Tables I and II, since the resulting overall capacitance ratio at each of the SHCA transistor gain stages is $C_d/C_g = 0.63$, it is anticipated from the BWER plots in Fig. 14(a) and (b) under their corresponding final Q parameters that the SHCA should exhibit a bandwidth advantage over the HSCA, with C'_d added to yield $C_d/C_g = 1.0$, by about a factor of 1.3.

The simulated interstage frequency responses of the designed SHCA and HSCA with and without interconnect parasitic capacitances are shown in Fig. 17. It is seen that, for both of the CAs, a bandwidth reduction by about 7% results from the parasitics. For the SHCA, the interstage peaking near the passband edge frequency at $\omega_2 = 2\pi 12.4 \cdot 10^9$ rad/s is 0.5 dB. For the HSCA, there is -2.5 dB attenuation at its $\omega_2 = 2\pi 11.38 \cdot 10^9$ rad/s. The interstage bandwidth of the HSCA is at 11.6 GHz and that of the SHCA is larger by a factor of 1.28, i.e., at 14.9 GHz, close to the theoretical prediction. It should be noted that, as indicated by simulation under extreme process and temperature conditions, the relative bandwidth figures between the interstage responses of the SHCA and HSCA are only varied slightly, as summarized in Table III.

Fig. 18(a) shows the simulated overall frequency characteristics of the four-stage CAs. The responses indicate the SHCA bandwidth at 12.8 GHz and this is about 1.2 times more than the bandwidth of the optimum HSCA at 10.6 GHz. From the responses in Fig. 18(a), both the CAs exhibit a low-frequency gain at 15.7 dB and the return loss characteristics at the input and output ports are all kept below -10 dB within their corresponding bandwidth. Fig. 18(b) shows the simulated phase responses of the amplifiers. The simulated noise factor F (in decibels) of the amplifiers is almost identical at 10 dB [Fig. 18(c)] for frequencies up to their passband edges. Note that simulation also indicates a less than 4% contribution from gate noise. Finally, simulated output eye diagrams for a set of 12.5- and

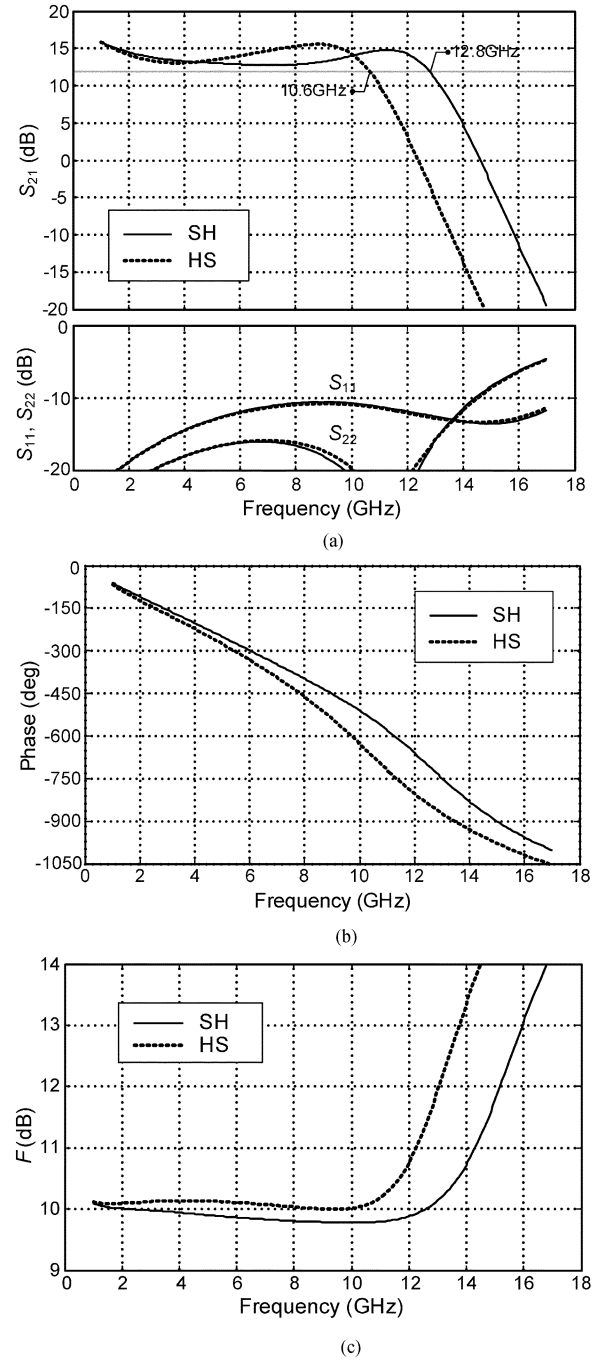


Fig. 18. Simulated CA performances (a) overall magnitude responses (b) phase responses (c) noise figure.

15-Gb/s input random data are given in Fig. 19(a) and (b) confirming the speed advantage in the SHCA.

VI. CONCLUSION

The triple-resonance bandwidth enhancement techniques based on SH and HS peaking for interstage networks of wide-band CAs have been investigated. From the qualitative time-domain operation, although both networks enable serial charging of the drain and gate capacitances, it has been shown that SH peaking inherently offers superior bandwidth enhancement due to less diversion of the gate charging current. By using the triple-resonance concept, the frequency-domain

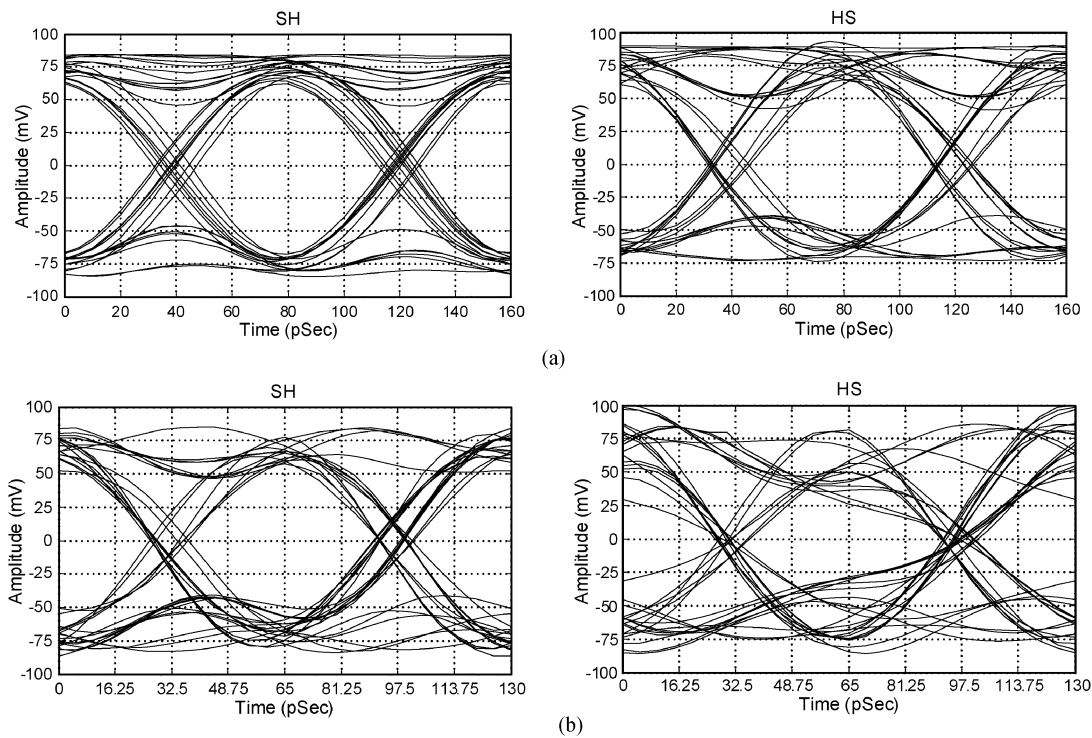


Fig. 19. Simulated eye diagrams at (a) 12.5 Gb/s and (b) 15 Gb/s.

characteristics of the networks were studied. Based upon this frequency-domain insight and also the reciprocal property between the SH and HS networks, analytical design equations that are equally applicable to both networks have been developed. Subsequently, the equations were employed for a quantitative bandwidth comparison. The frequency characteristics of both peaking networks against the capacitor ratio C_d/C_g were discussed through the relative locations of their three resonant frequencies. Specifically, it has been shown that SH peaking maintains a high BWER over a wide range of C_d/C_g ratios and, as the ratio converges to zero, its BWER approaches the theoretical limit of a bandwidth enhancement two-port network. On the other hand, HS peaking exhibits a considerably inferior BWER. Moreover, its BWER is degraded as the ratio C_d/C_g decreases and a certain C_d/C_g ratio is required to achieve optimum HS bandwidth. Peaking suppression and bandwidth reduction in the SH and HS networks as a result of the nonideal effects due to transistor's gate resistance and inductors' losses were analyzed in detail. The noise expression of a CA was given and calculation of the initial parameters was described. Verification of the analysis equations was provided via practical simulations where close agreement between the theoretical indications and simulation results was observed. Following the extensive theoretical analysis and verification, SH peaking has manifested itself as a superior technique for implementation of integrated wide-band CMOS CAs.

REFERENCES

- [1] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed amplification," *Proc. IRE*, vol. 36, pp. 956–969, Aug. 1948.
- [2] S. Kimura and Y. Imai, "0–40-GHz GaAs MESFET distributed base-band amplifier ICs for high-speed optical transmission," *IEEE Trans. Microw. Theory Tech.*, vol. 44, no. 11, pp. 2076–2082, Nov. 1996.
- [3] B. M. Ballweber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5–5.5-GHz CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 231–239, Feb. 2000.
- [4] R. C. Liu, C. S. K. Lin, L. Deng, and H. Wang, "Design and analysis of DC-to-14-GHz and 22-GHz CMOS cascode distributed amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1370–1374, Aug. 2004.
- [5] S. S. Mohan, M. M. Hershenson, S. P. Boyd, and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 346–355, Mar. 2000.
- [6] C. H. Wu, C. H. Lee, W. S. Chen, and S. I. Lui, "CMOS wide-band amplifiers using multiple inductive-series peaking technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 548–552, Feb. 2005.
- [7] B. Analui and A. Hajamiri, "Bandwidth enhancement for transimpedance amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1263–1270, Aug. 2004.
- [8] J. Y. Liang and C. S. Aitchison, "Gain performance of cascade of single stage distributed amplifiers," *Electron. Lett.*, vol. 31, no. 15, pp. 1260–1261, Jul. 1995.
- [9] A. Worapishet, S. Srisathit, and M. Chongcheawchamnan, "Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier," *Electron. Lett.*, vol. 38, no. 14, pp. 675–676, Jul. 2002.
- [10] M. D. Tsai, K. L. Deng, H. Wang, C. H. Chen, C. S. Chang, and J. G. J. Chern, "A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 12, pp. 554–556, Dec. 2004.
- [11] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18- μm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2389–2396, Dec. 2004.
- [12] R. P. Jindal, "Gigahertz-Band high-gain low-noise AGC amplifiers in fine-line NMOS," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 4, pp. 512–521, Aug. 1987.
- [13] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*. New York: Cambridge University Press, 1998.
- [14] C. A. Desoer and E. S. Kuh, *Basic Circuit Theory*. Berkeley: University of California, 1969.
- [15] B. Razavi, R. H. Yan, and K. F. Lee, "Impact of distributed gate resistance on the performance of MOS devices," *IEEE Trans. Circuits Syst. I, Fundam Theory Appl.*, vol. 41, no. 11, pp. 750–754, Nov. 1994.



Apisak Worapishet (M'00) received the B.Eng. degree from King Mongkut's Institute of Technology, Ladkrabang, Thailand, in 1990, the M.Eng.Sc. degree from the University of New South Wales, Sydney, Australia in 1995 both in electrical engineering, and the Ph.D. degree in electrical engineering from Imperial College of Science, Technology and Medicine, London, U.K., in 2001.

Since 1990, he has been with Mahanakorn University of Technology, Nong-Chok, Thailand, where he currently serves as the director of Mahanakorn Microelectronics Research Center (MMRC) and an Associate Professor at Telecommunication Department. His current research interest includes mixed-signal CMOS analog integrated circuits and RF CMOS circuits and systems. Dr. Apisak is also a member of the IEICE and the Analogue Signal Processing Technical Committee (ASPTC) of the IEEE Circuit and System Society (CAS).



Ittipat Roopkom was born in Bangkok, Thailand. He received the B.E. and M.E. degrees in telecommunication engineering from Mahanakorn University of Technology, Nong-Chok, Thailand, in 2002 and 2005, respectively. he is currently working toward the Ph.D. degree at King Mongkut's Institute of Technology, Ladkrabang, Thailand.

Since 2006, he has been with the Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology. His research focuses on broadband circuit for communication system.



Wanlop Surakampontorn (M'79–SM'04) was born in Bangkok, Thailand. He received the B.Eng. and M.Eng. degrees in electrical engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1976 and 1978, respectively, and the Ph.D. degree in electronics from the University of Kent, Canterbury, Kent, U.K., in 1983.

Since 1978, he has been a Member of the Department of Electronics, Faculty of Engineering, KMITL, where he is currently a Senior Professor of Electronic Engineering. His research interests are in the areas of analog and digital integrated circuit designs, real-time application of PC computers and microprocessors, digital signal processing, electronic instrumentation, and VLSI signal processing.

Dr. Surakampontorn received the Outstanding Scientist of Thailand Award in 1996 and The National Award for Distinguished Researcher, Thailand, in 1998. He is a member of the IEICE.

Efficient implementation of tunable ladder filters using multi-output current controlled conveyors

Amorn Jiraseree-amornkun*, Wanlop Surakamponorn

Faculty of Engineering and Research Center for Communications and Information Technology, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

Received 16 May 2006; accepted 22 January 2007

Abstract

A methodology to realize continuous-time current-mode tunable ladder filters of any order has been presented. This proposed technique individually simulates signal flow graph (SFG) of each branch element from passive filter prototype using only multi-output second generation current controlled conveyors (MCCCIIs) and grounded capacitors. This leads to simple structure, ease of design and suitability for IC fabrication. A third-order Butterworth low-pass filter, a third-order elliptic low-pass filter and a sixth-order Chebyshev band-pass filter are employed to demonstrate the proposed realization scheme. These simulated filters retain minimum requirement of passive and active elements and provide the filter corner frequency tunability. Moreover, the method allows an implementation of the elliptic filters by simply adding floating capacitors to all-pole filter structures.

© 2007 Elsevier GmbH. All rights reserved.

Keywords: Tunable ladder filter; Current-mode; Multi-output current controlled conveyors

1. Introduction

Although information processing is migrating continuously to digital domain, analog filters have still been found in wide range of applications as a medium connecting digital processors and analog signals often found in nature. This paper concentrates on functional emulation of high-order passive RLC ladder filters, which are well known for their low pass-band sensitivity to component variations and component spreads. There have been numerous developed methods to enjoy these benefits using Op-amp-RC and OTA-C circuits [1]. Among these methods, the signal flow graph (SFG) simulation has gained better popularity than the synthetic elements replacement as it shares the low sensitivity and low component spreads of the precedent RLC filters. Traditionally,

the SFG simulation is based on a modeling of the circuit characteristic using voltage signals. However, interests in current-mode signal processing are substantially expanding since it possesses a large number of good properties such as low internal nodes impedance, which gives a potential to achieve a large bandwidth. As signals are represented by current, a much lower voltage is required as compared with the voltage-mode signal processing. This makes the current-mode circuits suitable for low voltage designs. Furthermore, summation and subtraction of signal currents can be directly performed at circuit nodes, resulting in a simple structure. Consequently, many suggestions of the current-mode active ladder filters employing multiple output OTAs and CCIIs have been published [2–4]. However, most of them showed the realizations of the simulated transfer function in rather complicated ways and do not possess the optimal or efficient employment of active and passive elements. Furthermore, the realization may not have a direct connection to the prototype RLC filters. Thus, the sensitivity may not be

* Corresponding author.

E-mail address: amorn@ieee.org (A. Jiraseree-amornkun).

necessarily low. Recently, the linear transformation has been adopted to realize the active ladder filters with some good results [5,6]. But, complex synthesis equations as well as some external resistors are required. Moreover, the utilized frequency is fixed by their determined passive elements.

Rather than converting the whole network to a large SFG equivalent diagram, this paper shows an intuitive idea to divide the original ladder network into subsections, and then realize SFG of each subsection one by one. Hence the low sensitivity basis is guaranteed while reducing the complexity of a large SFG diagram. This proposed scheme possesses many advantages. First, the structure is very simple and easy to design including realization of the finite transmission zero. All capacitors are grounded and no external resistors are required, thereby saving chip area in IC implementation. In addition, each individual subsection SFG is simulated using the multi-output second generation current controlled conveyor (MCCCII), the tunable internal impedance of which can be utilized to electronically adjust the frequency characteristics of the filters. This will be useful to reconfigure the system or to compensate for component deviations using automatic tuning system in IC integration [7].

The next section briefly describes the current-mode ladder structure and the idea of individual component synthesis. An introduction to the multi-output current controlled conveyor and how to use it to implement each component of current-mode active filters using the proposed structure are discussed in Section 3. The circuit design of MCCCII is shown in Section 4. Section 5 explains some filter examples and their simulation results and Section 6 contains our conclusions.

2. Current-domain ladder component partitioning

The traditional SFG simulation technique emulates voltage–current relationships of all elements in the prototype ladder filters. For a large network, however, this appears to be a roundabout and impractical way [1]. In this paper, a new viewpoint has been proposed. The idea is based on a partitioning of a large network into individual basic sections. Consider a general doubly terminated lossless passive ladder network in Fig. 1. Such a network can be partitioned into two basic sections: shunt and series (as depicted in Figs. 2(a) and (b), respectively), the corresponding SFG equivalent block diagrams of which are shown in Figs. 2(c) and (d). The block diagram in Fig. 2(c) (and Fig. 2(d)) represents the output voltage (current) as a result of the product of the impedance (admittance) and the subtraction between corresponding current (voltage) of the previous and next stages. Therefore, the overall equivalent structure can be constructed by a proper cascading of these two equivalent branches. With these two basic operations, the branch relationships for the entire structure can be

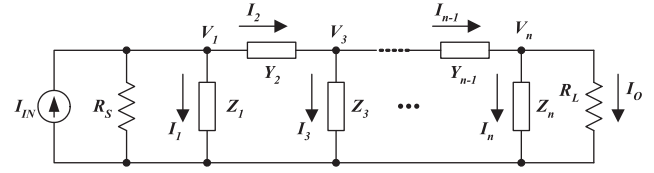


Fig. 1. General doubly terminated ladder network.

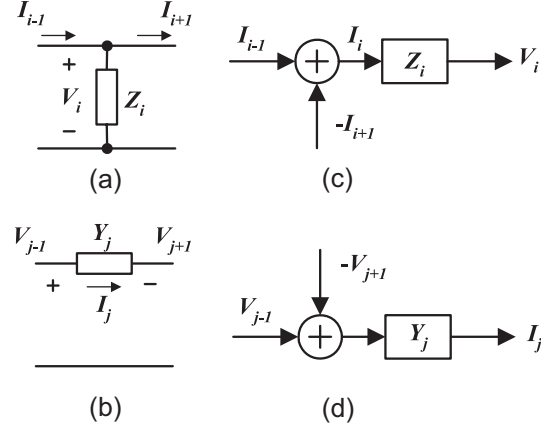


Fig. 2. Fundamental operations: (a) shunt branch, (b) equivalent shunt branch, (c) series branch, and (d) equivalent series branch.

rewritten in form of

$$\left. \begin{aligned} V_1 &= Z_1 \left(I_{IN} - I_2 - \frac{V_1}{R_S} \right), \\ I_2 &= Y_2 (V_1 - V_3), \\ V_3 &= Z_3 (I_2 - I_4), \\ &\vdots \\ V_n &= Z_n (I_{n-1} - I_o), \\ I_o &= \frac{V_n}{R_L}. \end{aligned} \right\} \quad (1)$$

Since the summation or subtraction of current signals can be implemented at circuit nodes, converting all variables into current forms will lead to design simplicity. The conversion is simply performed by either normalizing or scaling the equations with resistance R_p . All relations in Eq. (1) are then transformed into their corresponding current transfer functions as

$$\left. \begin{aligned} \frac{V_1}{R_p} &= \frac{Z_1}{R_p} \left(I_{IN} - I_2 - \frac{V_1}{R_S} \right), \\ I_2 &= Y_2 R_p \left(\frac{V_1}{R_p} - \frac{V_3}{R_p} \right), \\ \frac{V_3}{R_p} &= \frac{Z_3}{R_p} (I_2 - I_4), \\ &\vdots \\ \frac{V_n}{R_p} &= \frac{Z_n}{R_p} (I_{n-1} - I_o), \\ I_o &= \frac{R_p}{R_L} \frac{V_n}{R_p}. \end{aligned} \right\} \quad (2)$$

3. Synthesis of branch elements using MCCCII

After the separated shunt and series portions have been created for the prototype ladder network, they will be subsequently implemented using the MCCCII. Each block of them has two outputs: a positive output for the forward path and a negative output for the feedback path. Finally, cascading every portion of branches back together with proper connections of the feed forward and feedback paths will result in the complete equivalent circuit. This method is as easy as the synthetic element replacement, yet maintaining the benefit of low sensitivity of the ladder structure.

3.1. Characteristic of MCCCII

Typically, current conveyor has only one output current terminal, whose signal is available only once for each feedback path. Therefore, in multi-loop feedback topologies, which require several duplicated signals, multi-output configuration will gain more advantages. The equivalent circuit of MCCCII is shown in Fig. 3 and its port relations can be described by the following matrix equation:

$$\begin{bmatrix} I_Y \\ V_X \\ I_{+Z} \\ I_{-Z} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & R_X & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & -1 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_{+Z} \\ V_{-Z} \end{bmatrix}, \quad (3)$$

where R_X is an intrinsic resistance of the current input port X and it is possible to be controlled by varying the external bias current [8]. The equivalent MCCCII-based components for simulating the two fundamental operations in Fig. 2 and the use of R_X as a tunable parameter fall into 3 categories namely (1) single passive element, (2) single passive element with source or load resistor, and (3) double passive elements, details of which will be described in the following sections.

3.2. Simulation of single passive element

The first two basic single passive element frames: a shunt capacitor branch and a series inductor branch, are shown in Figs. 4(a) and (b), respectively. With all voltage signals transformed into their current counterparts by a scaling resistance R_p as mentioned in Section 2, their voltage and current relations in form of current transfer functions can be shown as

$$\frac{V_i}{R_p} = \frac{1}{sC_i R_p} (I_{i-1} - I_{i+1}), \quad (4a)$$

$$I_j = \frac{R_p}{sL_j} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right). \quad (4b)$$

Obviously, both equations represent an integrating function. Hence, they can be simulated by an equivalent MCCCII

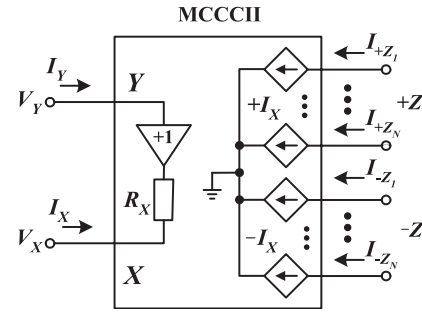


Fig. 3. Equivalent circuit of MCCCII.

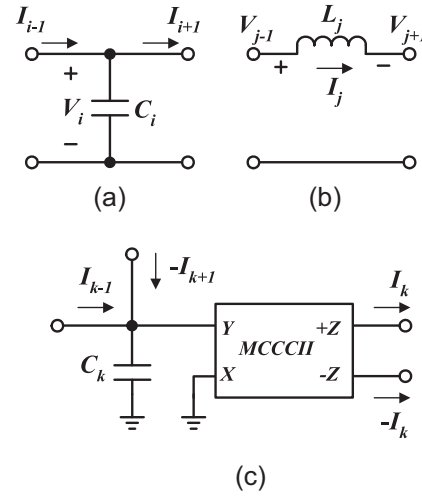


Fig. 4. Single element: (a) shunt C, (b) series L, (c) equivalent MCCCII structure.

integrator in Fig. 4(c), which has the current transfer function of

$$I_k = \frac{1}{sC_k R_X} (I_{k-1} - I_{k+1}). \quad (5)$$

Mapping the equivalent circuit to the shunt capacitor by letting $I_k = V_i/R_p$, $I_{k-1} = I_{i-1}$ and $I_{k+1} = I_{i+1}$ results in the design parameter $C_k = (C_i R_p)/R_X$. Similarly, the design parameter for the series inductor branch is $C_k = L_j/(R_p R_X)$, which is deduced from mapping the circuit variables $I_k = I_j$, $I_{k-1} = V_{j-1}/R_p$ and $I_{k+1} = V_{j+1}/R_p$. Since after the transformation, all variables are related to R_X , the adjustment of R_X will tune the corner frequency of the filters.

The shunt inductor and the series capacitor can be treated in the same way. For ease of reference, all single passive element syntheses are summarized and listed in Table 1.

3.3. Simulation of single passive element with source or load resistor

By using the same concept as in Section 3.2, all single passive element syntheses with a source resistor are summarized in Table 2. Notice that similar current transfer

Table 1. Single passive element syntheses

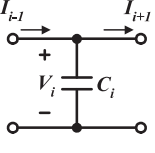
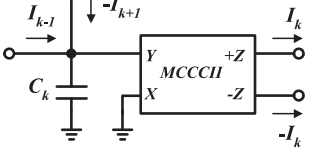
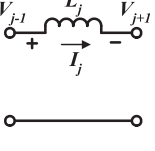
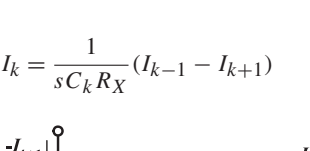
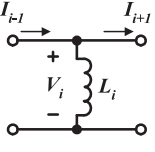
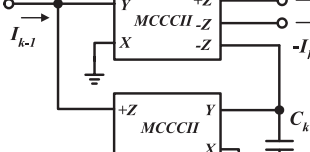
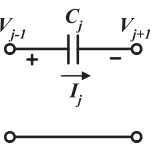
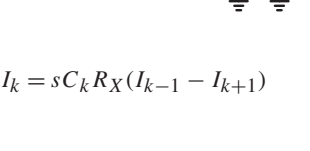
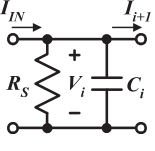
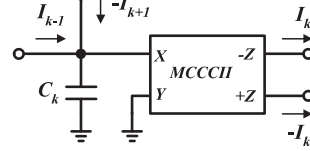
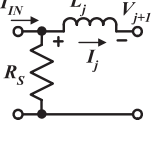
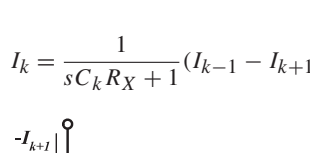
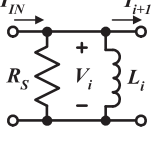
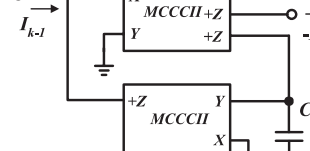
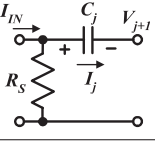
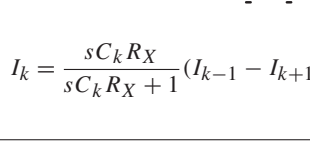
Passive elements	Voltage–current relations	MCCCH-based circuits	
	$\frac{V_i}{R_p} = \frac{1}{sC_i R_p} (I_{i-1} - I_{i+1})$		$C_k = (C_i R_p) / R_X$ for shunt C
	$I_j = \frac{R_p}{sL_j} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$		$C_k = L_j / (R_p R_X)$ for series L
	$\frac{V_i}{R_p} = \frac{sL_i}{R_p} (I_{i-1} - I_{i+1})$		$C_k = L_i / (R_p R_X)$ for shunt L
	$I_j = sC_j R_p \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$		$C_k = (C_j R_p) / R_X$ for series C

Table 2. Single passive element syntheses with source or load resistor

Passive elements	Voltage–current relations	MCCCH-based circuits	
	$\frac{V_i}{R_S} = \frac{1}{sC_i R_S + 1} (I_{IN} - I_{i+1})$		$C_k = (C_i R_S) / R_X$ for shunt C
	$I_j = \frac{1}{s \frac{L_j}{R_S} + 1} \left(I_{IN} - \frac{V_{j+1}}{R_S} \right)$		$C_k = L_j / (R_S R_X)$ for series L
	$\frac{V_i}{R_S} = \frac{s \frac{L_i}{R_S}}{s \frac{L_i}{R_S} + 1} (I_{IN} - I_{i+1})$		$C_k = L_i / (R_S R_X)$ for shunt L
	$I_j = \frac{sC_j R_S}{sC_j R_S + 1} \left(I_{IN} - \frac{V_{j+1}}{R_S} \right)$		$C_k = (C_j R_S) / R_X$ for series C

equations as in the single passive element can be obtained when choosing $R_S = R_P$. Again, mapping I_k , I_{k-1} and I_{k+1} of the MCCCII equivalent circuits to the passive branch elements result in the same design parameters $C_k = (C_i R_S)/R_X$ for the shunt capacitor and $C_k = L_j/(R_S R_X)$ for the series inductor. Note that it is also possible to realize these functions using an additional MCCCII connected as a resistor together with the circuits in Section 3.2 [9,10], but this will unnecessarily require some extra MCCCIs. Comparing the circuits in Tables 1 and 2, the single passive elements with and without *source* resistor have nearly identical equivalent MCCCII circuits, except for a few different port arrangements of MCCCIs. This is because we directly use R_X to simulate the *source* resistor and employ the potential of the multi-output structure.

Furthermore, it can be shown that single passive elements with a *load* resistor also share the same structures. However, we have to consider the input signals coming into the right-hand side of the passive RC/RL instead and the current I_{IN} is absent since load devices are considered. The equivalent MCCCII circuit remains unchanged, so does the design parameter C_k . This is also true for the rest of passive elements with either *source* or *load* resistor. Filter designs in Section 5 will clearly illustrate their usages in actual applications.

3.4. Simulation of double passive elements

Double LC passive elements, both with and without *source/load* resistor(s), can also be considered in a similar way as in the case of the single passive elements. Their results are shown in Table 3.

4. MCCCII implementation

4.1. Circuit description

The implementation of a current conveyor based on a complementary push–pull class-AB has gained popularity in many applications since its structure is as simple as a basic OTA but consumes less power [8]. Although the bipolar technologies provide higher gain, greater linearity and wider frequency bandwidth, CMOS technologies have been in wide spread use in almost all areas of applications when low power consumption, low cost and suitability for mixed analog/digital implementations, are of major concerns. A circuit schematic of a CMOS push–pull MCCCII is shown in Fig. 5. All transistors are biased to operate in saturation region. The multi-output topology can be easily implemented by appending additional output transistors to the current mirrors at port +Z and –Z as required.

4.2. Nonlinearity consideration

From the proposed MCCCII-based filter topology, there are two major circuit functions: voltage-to-current con-

verter and current buffer. Nevertheless, both the Y-terminal-voltage-induced current and the input current that directly flows into the X-terminal have been nonlinearly divided into two paths flowing through the output NMOS and PMOS current mirrors, before they are duplicated and summed up again at the +Z and –Z outputs. Their transfer linearities can be shown in term of R_X . First, consider an input voltage applying to Y-terminal. This voltage will induce a current at the X-terminal, which in turn flow into the upper and lower transistors, M_2 and M_4 , respectively. Assuming $K_1 = K_2 = K_N$, $K_3 = K_4 = K_P$, $V_{T1} = V_{T2} = V_{TN}$ and $V_{T3} = V_{T4} = V_{TP}$, we can write the following current relations:

$$i_{D2} = \begin{cases} I_B + 2v_Y \sqrt{K_N I_B} + K_N v_Y^2 & \text{for } v_Y > -\sqrt{\frac{I_B}{K_N}}, \\ 0 & \text{for } v_Y < -\sqrt{\frac{I_B}{K_N}}, \end{cases} \quad (6a)$$

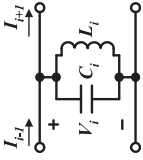
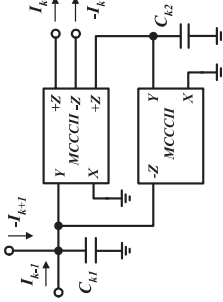
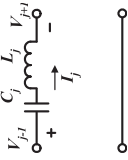
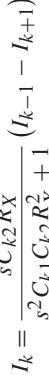
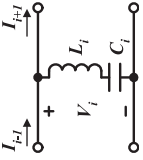
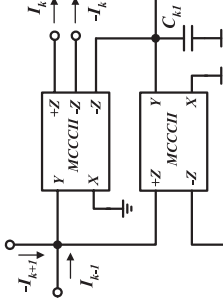
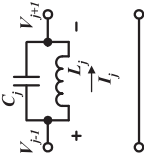
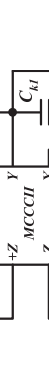
$$i_{D4} = \begin{cases} I_B - 2v_Y \sqrt{K_P I_B} + K_P v_Y^2 & \text{for } v_Y < +\sqrt{\frac{I_B}{K_P}}, \\ 0 & \text{for } v_Y > +\sqrt{\frac{I_B}{K_P}}, \end{cases} \quad (6b)$$

where I_B is the bias current and MOSFET parameter $K_{N(P)} = \mu_{N(P)} C_{OX}(W/L)/2$. Combining these two branch currents in Eqs. (6a) and (6b) results in the total current flowing out of the X-terminal as

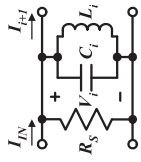
$$i_X = i_{D2} - i_{D4} \\ = 2\sqrt{I_B}(\sqrt{K_N} + \sqrt{K_P})v_Y + (K_N - K_P)v_Y^2. \quad (7)$$

Note that the short transition to weak inversion before the complete transistor turn-off is neglected, as this current does not normally contribute to a large error in the total current in the X-terminal if the bias current I_B is sufficiently large. Then the X-terminal current could be a linear function of the Y-input voltage and we can consider R_X as a linear resistor of $1/4\sqrt{K I_B} \Omega$, as long as $K_N = K_P = K$ and $|i_X| < 4I_B$ are assumed [11]. This also implies that all transistors in the push–pull current conveyor will remain in saturation region until X-current signal is almost four times larger than the bias current I_B . Thus, its class-A operation range is nearly four times greater than a typical class-A current conveyor. This is also true for the input current directly flowing into the X-terminal in the current buffering operation. Eq. (7) is still valid with v_X replacing v_Y and the last parenthesis becomes $(K_P - K_N)$. The wide swing cascode current mirror has been chosen in order to minimize the current transfer error and raise the output impedance. The cascode transistor M_{P-cas} and M_{N-cas} help control the drain-source voltage,

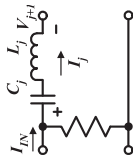
Table 3. Double passive element syntheses

Passive elements	Voltage–current relations	MCCCH-based circuits
<i>Double passive elements</i>		
	$\frac{V_i}{R_p} = \frac{s \frac{L_i}{R_p}}{s^2 C_i R_p \frac{L_i}{R_p} + 1} (I_{i-1} - I_{i+1})$	 $C_{k1} = (C_i R_p) / R_X$ $C_{k2} = L_i / (R_p R_X) \text{ for shunt parallel LC}$
	$I_j = \frac{s C_j R_p}{s^2 C_j R_p \frac{L_j}{R_p} + 1} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$	 $I_k = \frac{s C_{k2} R_X}{s^2 C_{k1} C_{k2} R_X^2 + 1} (I_{k-1} - I_{k+1})$ $C_{k1} = L_j / (R_p R_X)$ $C_{k2} = (C_j R_p) / R_X \text{ for series series LC}$
	$\frac{V_i}{R_p} = \frac{s^2 C_i R_p \frac{L_i}{R_p} + 1}{s C_i R_p} (I_{i-1} - I_{i+1})$	 $C_{k1} = L_i / (R_p R_X)$ $C_{k2} = (C_i R_p) / R_X \text{ for shunt series LC}$
	$I_j = \frac{s^2 C_j R_p \frac{L_j}{R_p} + 1}{s \frac{L_j}{R_p}} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$	 $I_k = \frac{s^2 C_{k1} C_{k2} R_X^2 + 1}{s C_{k2} R_X} (I_{k-1} - I_{k+1})$ $C_{k1} = (C_j R_p) / R_X$ $C_{k2} = L_j / (R_p R_X) \text{ for series parallel LC}$

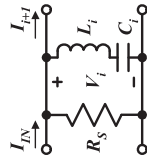
Double passive elements with source or load resistor



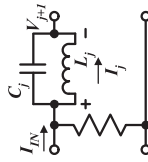
$$\frac{V_i}{R_S} = \frac{\frac{L_i}{R_S} \cdot (I_{iN} - I_{i+1})}{s^2 C_i R_S \frac{L_i}{R_S} + 1}$$



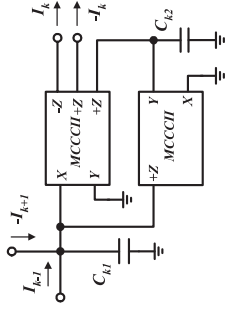
$$I_j = \frac{s C_j R_S \cdot \left(I_{iN} - \frac{V_{j+1}}{R_S} \right)}{s^2 C_j R_S \frac{L_j}{R_S} + s C_j R_S + 1}$$



$$\frac{V_i}{R_S} = \frac{\left(s^2 C_i R_S \frac{L_i}{R_S} + 1 \right) \cdot (I_{iN} - I_{i+1})}{s^2 C_i R_S \frac{L_i}{R_S} + s C_i R_S + 1}$$



$$I_j = \frac{\left(s^2 C_j R_S \frac{L_j}{R_S} + 1 \right) \cdot \left(I_{iN} - \frac{V_{j+1}}{R_S} \right)}{s^2 C_j R_S \frac{L_j}{R_S} + s \frac{L_j}{R_S} + 1}$$



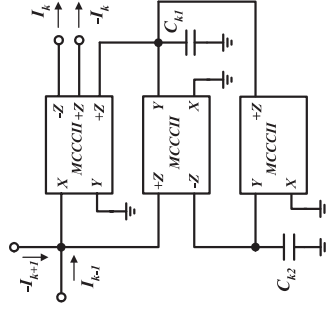
$$C_{k1} = (C_i R_S) / R_X$$

$$C_{k2} = L_i / (R_S R_X) \text{ for shunt parallel LC}$$

$$I_k = \frac{s C_{k2} R_X \cdot (I_{k-1} - I_{k+1})}{s^2 C_{k1} C_{k2} R_X^2 + s C_{k2} R_X + 1}$$

$$C_{k1} = L_j / (R_S R_X)$$

$$C_{k2} = (C_j R_S) / R_X \text{ for series series LC}$$



$$C_{k1} = L_i / (R_S R_X)$$

$$C_{k2} = (C_i R_S) / R_X \text{ for shunt series LC}$$

$$I_k = \frac{(s^2 C_{k1} C_{k2} R_X^2 + 1) \cdot (I_{k-1} - I_{k+1})}{s^2 C_{k1} C_{k2} R_X^2 + s C_{k2} R_X + 1}$$

$$C_{k1} = (C_j R_S) / R_X$$

$$C_{k2} = L_j / (R_S R_X) \text{ for series parallel LC}$$

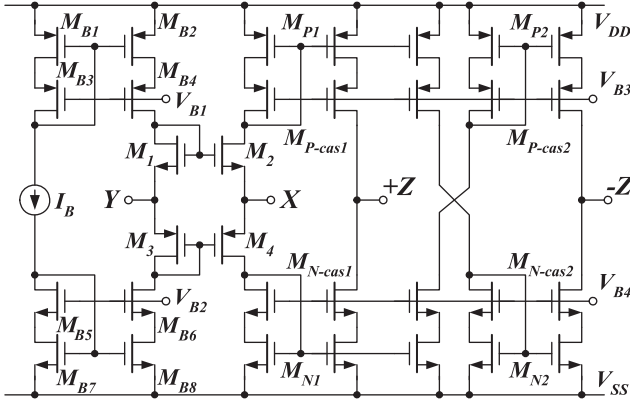


Fig. 5. Circuit schematic of a CMOS MCCCII.

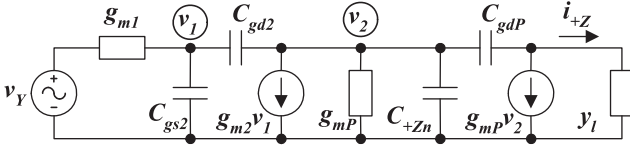


Fig. 6. Small-signal equivalent circuit of the upper half of MCCCII.

v_{DS} , between transistors within the current mirrors M_P and M_N . The difference of drain-source voltages between the mirror transistors is in the order of a few millivolts for a proper design, hence the distortion from the channel length modulation effect is insignificant.

4.3. Frequency limitation

The small-signal equivalent circuit of the upper half from Y-terminal to +Z-terminal of the MCCCII is presented in Fig. 6, assuming that the transistor output conductance g_{ds} is much smaller than the transconductance g_m and the conductance g_1 in the load admittance $y_1 = g_1 + sC_1$. For simplicity, all current mirrors are considered as simple MOS current mirrors since the cascode transistors barely contribute to the overall frequency response limitation. The capacitance C_{+Zn} consists of the gate-source capacitances C_{gsP} of the mirror transistors M_P and all other parasitic capacitances at node v_2 , excluding the gate-drain capacitances C_{gd2} and C_{gdP} . Typically, the current mirror transistors usually have relatively large gate areas in order to minimize the current transfer error. Therefore, the gate-source capacitances are dominant and consequently the approximated C_{+Zn} can be determined as

$$C_{+Zn} \approx (n+2)C_{gsP} = (n+2)\frac{2}{3}C_{ox}W_P L_P, \quad (8)$$

where n is the number of output +Z ports and all mirror transistors have the same size. Note that the number $n+2$ in the parenthesis will become $n+1$ if there is no -Z-terminal.

Suppose that the gate-drain capacitances C_{gd} are far smaller than the capacitances C_{+Zn} and C_1 , therefore the upper half v_Y -to- i_{+Z} transconductance function can be determined as

$$\left. \frac{i_{+Z}}{v_Y} \right|_{\text{upper half}} = g_{m2} \frac{\left(s \frac{C_{gd2}}{g_{m2}} - 1 \right) \left(s \frac{C_{gdP}}{g_{mP}} - 1 \right)}{\left(s \frac{C_{gs2}}{g_{m1}} + 1 \right) \left(s \frac{C_{+Zn}}{g_{mP}} + 1 \right)}. \quad (9)$$

The transfer function has two poles and two right half-plane (RHP) zeros. The first pole is the product of NMOS parameters that usually results in a much higher frequency than the second pole, which is originated from PMOS current mirror M_{P1} especially for the multi-output circuits. The RHP zeros do not contribute a great deal to the amplitude response near the corner frequency. Furthermore, the relatively insignificant Miller effect of C_{gd} can be reduced even further by incorporating the cascode transistors into the current-mirrors. Accordingly, we can assume the second pole as the dominant pole that limits the frequency response of the upper half circuit. Therefore, the corner frequency can be expressed as a function of device dimensions, number of +Z ports and bias current in form of

$$\omega_0 = \frac{3}{n+2} \sqrt{\frac{\mu_P I_B}{2C_{ox} W_P L_P^3}}. \quad (10)$$

The above equation shows a trade-off between bandwidth and number of ports. Therefore, the port numbers must be minimized in order to use in higher frequency applications. As the corner frequency strongly depends on the channel length, there is also a strong trade-off between bandwidth and gain accuracy as well as bandwidth and distortion.

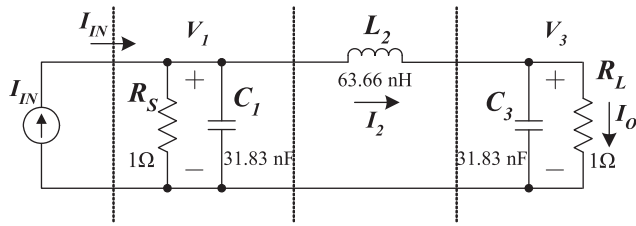
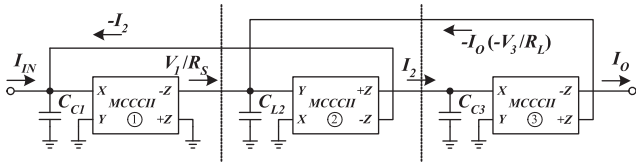
The lower half circuit of +Z-terminal can be similarly derived. This will show a dominant pole at the current mirror M_{N1} . However, such a pole frequency is almost three times larger due to the greater mobility of NMOS over PMOS. The frequency response of the -Z-terminal will have the additional poles and RHP zeros due to the current mirrors M_{P2} and M_{N2} . Therefore, the number of -Z ports must be reduced as much as possible in order to prevent further limitation on the operating frequency.

5. Filter designs and simulation results

The performance of filters designed by using the proposed methodology has been examined through HSPICE circuit simulator using AMIS 0.5- μm level 49 CMOS model. For the MCCCII circuit in Fig. 5, the aspect ratio of all transistors are listed in Table 4. The bias current I_B is set to 50 μA under the voltage supply of $V_{\text{sup}} = \pm 2.0\text{V}$. The simulated open-loop transconductance gain (g_m) and 3-dB cutoff bandwidth are 0.53 mA/V and 183 MHz, respectively, when using the dual output MCCCII as a transconductance cell.

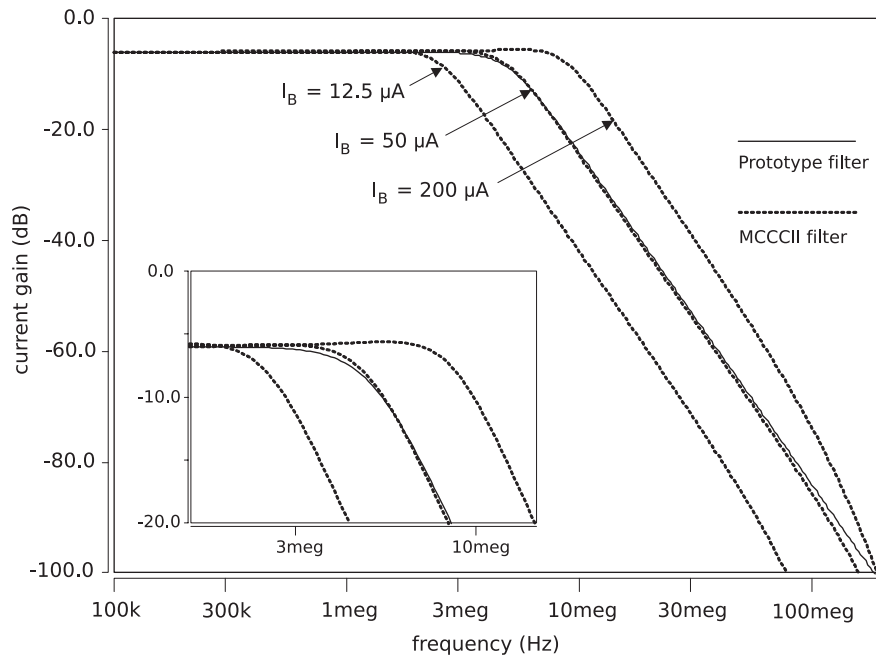
Table 4. W/L area of MOS in MCCCII circuit

Transistors	W/L	Transistors	W/L
M_1, M_2	5/0.5	M_3, M_4	18.5/0.5
M_{B1}, M_{B2}	90/2	M_{B3}, M_{B4}	90/0.5
M_{B5}, M_{B6}	30/2	M_{B7}, M_{B8}	30/0.5
M_P	60/1	M_{P-cas}	100/1
M_N	60/1	M_{N-cas}	50/1

**Fig. 7.** Prototype current-mode 3rd-order Butterworth low-pass RLC ladder filter.**Fig. 8.** MCCCII-based current-mode 3rd-order Butterworth low-pass filter.

A current-mode third-order Butterworth low-pass ladder filter in Fig. 7 is adopted as the first design example. From the prototype passive filter, we can easily divide it into three sections of branch elements, comprising with the first shunt capacitor with the source resistor, the second series inductor and the third shunt capacitor with the load resistor. Refer to Table 2 for implementing the shunt capacitor with source and load resistors and Table 1 for the series inductor. The final equivalent MCCCII-based circuit is shown in Fig. 8. Obviously, only three MCCCII and three grounded capacitors are needed for realizing the third-order filter. It can be concluded that merely n MCCCII and n capacitors are required for the n th-order all-pole low-pass filters implementation with no requirement of external resistors. Therefore, this structure delivers a truly minimum requirement of active and passive components.

To picture out the feasibility of the proposed technique, the filter has been designed with the cutoff frequency $f_{-3\text{ dB}}$ of 5 MHz. Refer to Tables 1 and 2 for the design parameters C_k . Let $R_p = R_S = 1\Omega$ for simplicity and MCCCII $R_X(1/g_m)$ of 1887Ω , the capacitor values become $C_{C1} = C_{C3} = 17.506\text{ pF}$ and $C_{L2} = 35.013\text{ pF}$. The simulated frequency responses of the designed circuit and the prototype RLC filter are shown together in Fig. 9. The tuning ability is performed by varying bias current to 12.5 and 200 μA . The corner frequencies are 2.65, 5.09 and 9.34 MHz relating to the calculated frequencies of 2.5, 5 and 10 MHz, respectively. The frequency accuracy is within about 6%. The proposed structure shows almost identical characteristic with the passive prototype filter before the signals begin to deviate at frequency beyond 100 MHz due to the frequency limitation of the MCCCII.

**Fig. 9.** Simulated frequency response of the 3rd-order Butterworth low-pass filter.

Filters including transmission zeroes like a third-order elliptic low-pass filter in Fig. 10 is also possible to be separated into three sections. By using the circuits in Table 3 for implementing the middle parallel LC elements while the first and the last blocks are, again, adopted from Table 2, the complete equivalent filter using only MCCCII and grounded capacitors is shown in Fig. 11. The prototype

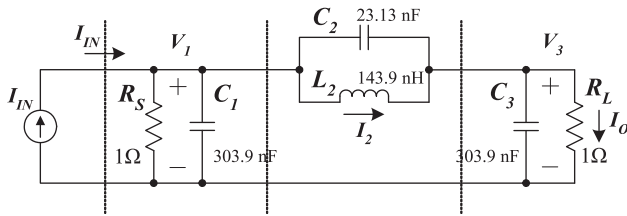


Fig. 10. Prototype current-mode 3rd-order elliptic low-pass RLC ladder filter.

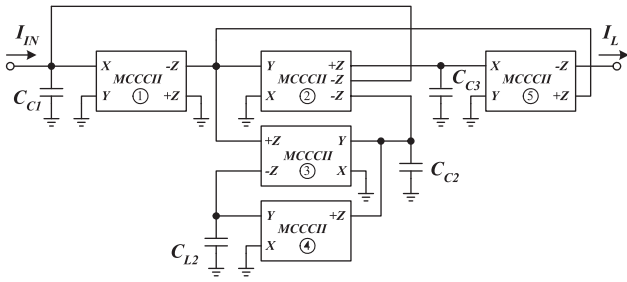


Fig. 11. MCCCII and only grounded capacitor current-mode 3rd-order elliptic low-pass filter.

corner frequency has been selected to be 1 MHz with 1 dB pass band ripple and 40 dB stop band attenuation. The simulated frequency responses are depicted in Fig. 12. The large variation of MCCCII-filter in high frequencies is noticed. This comes from the frequency restriction of the multi-output current controlled conveyor especially the second current conveyor with three output ports, as predicted in Section 4.3. Note that the notch position is not as deep as in the prototype filter due to the limitation of quality factor of simulated LC components.

Because this proposed technique derives each element with one-by-one replacement concept, it is possible to separate the floating capacitor C_2 from the passive filter in Fig. 10 and then realize the canonical MCCCII-based all-pole low-pass ladder filter first. After that, adding the scaled capacitor C_2 to the synthesized circuit at the corresponding node will result in a circuit shown in Fig. 13. Simulated frequency responses of the floating capacitor MCCCII-based filter is shown in Fig. 14. It is clearly seen that a better performance than the previous circuit using only grounded

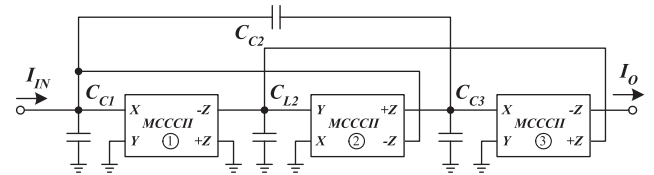


Fig. 13. MCCCII and floating capacitor current-mode 3rd-order elliptic low-pass filter.

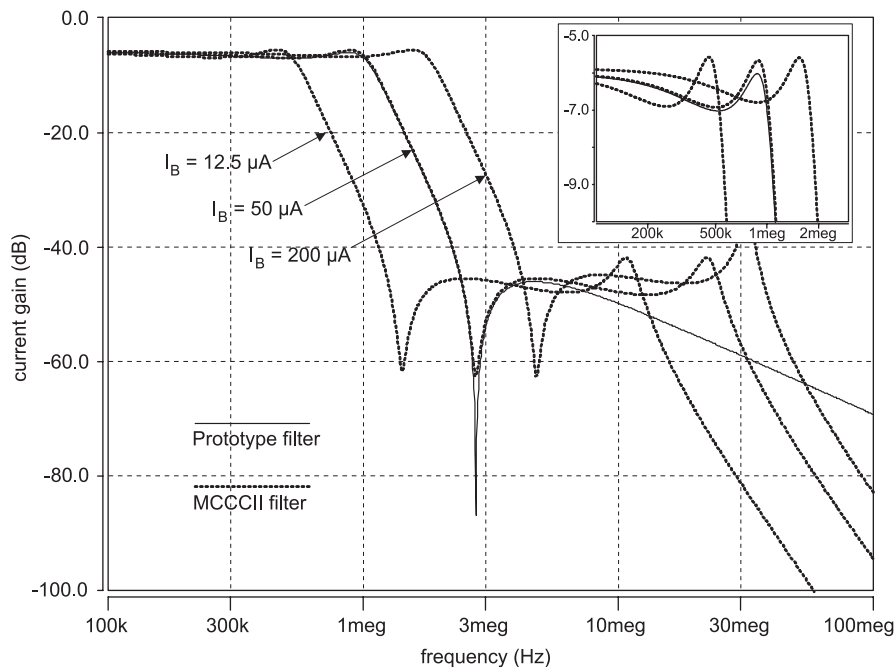


Fig. 12. Simulated frequency response of the grounded capacitor elliptic low-pass filter.

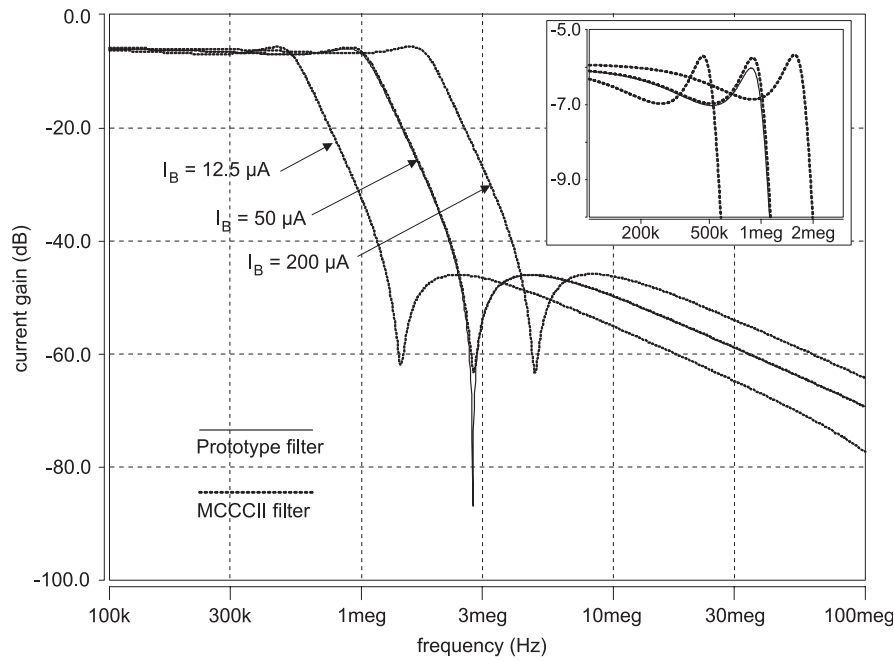


Fig. 14. Simulated frequency response of the floating capacitor elliptic low-pass filter.

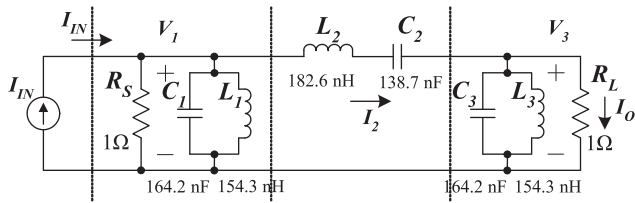


Fig. 15. Prototype current-mode 6th-order Chebyshev band-pass RLC ladder filter.

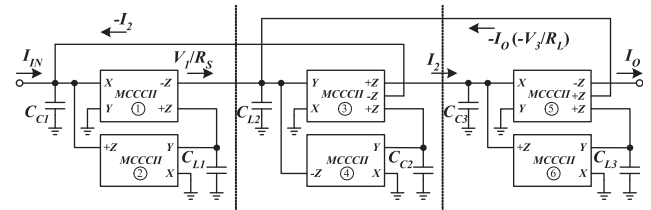


Fig. 16. MCCCII and only grounded capacitor current-mode 6th-order Chebyshev band-pass filter.

capacitors is achieved. It is worth noting that the peaking magnitude at the corner frequency due to phase lag is also smaller by 0.2 dB comparing to Fig. 12. This is because the use of low frequency three output ports MCCCII is avoided. Furthermore, this structure has the filter capacitances presented at all nodes and is suitable for high frequency operation. Therefore, this solution is preferable for realizing the elliptic filters when the floating capacitor is permitted.

The last example is a sixth-order Chebyshev band-pass filter shown in Fig. 15 with 1 MHz center frequency and 1 MHz bandwidth. Its three branch sections are all listed in Table 3. The complete MCCCII-based band-pass filter appearing in Fig. 16 has the frequency response as shown in Fig. 17. There is a noticeable peaking due to the Q -enhancement effect. Since every separated section can be tuned electronically, incorporating a suitable Q -control circuit will help adjust the filter to the desired center frequency [7].

6. Conclusions

The current-mode ladder filter synthesis using multi-output current controlled conveyors has been proposed. The design method is very simple and covers all types of precedent passive LC ladder filters. This technique requires the minimum number for both passive and active components. There are only n MCCCII needed for realizing the n th-order all-pole filter and elliptic low-pass filter with an absence of the external resistor provided that floating capacitors are permitted. However, $2n - 1$ and $2n - 2$ MCCCII are required to achieve odd and even n th-order elliptic filters, respectively, when implementing with only grounded capacitors. The characteristic frequency can be tuned electronically by controlling the bias current of MCCCII. Third-order Butterworth and elliptic low-pass filter and sixth Chebyshev band-pass filter were chosen as design examples. HSPICE simulation results yield good agreement with the theoretical expectation.

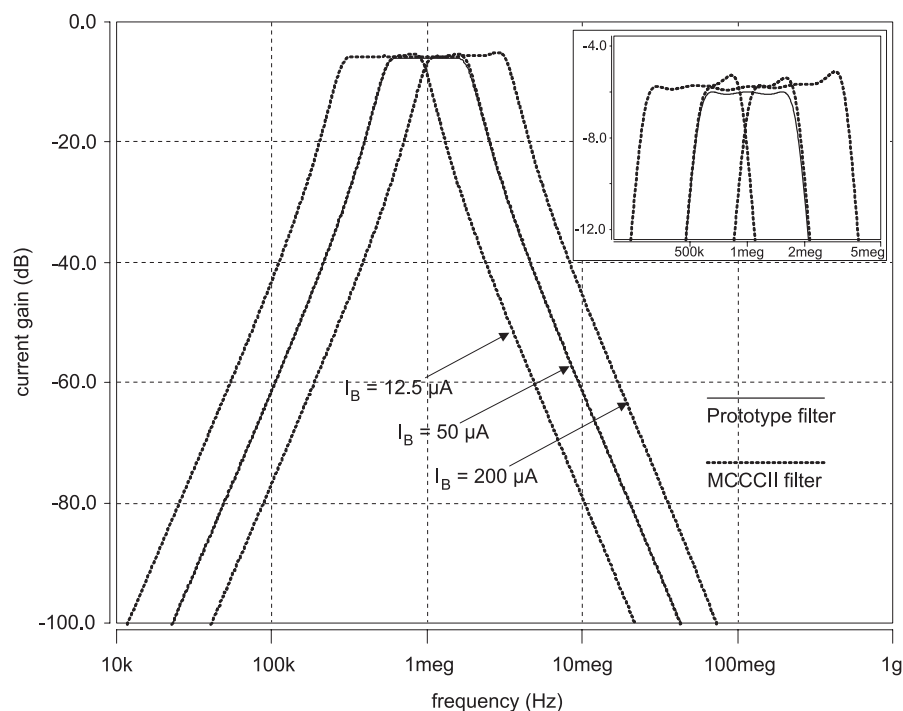


Fig. 17. Simulated frequency response of the Chebyshev band-pass filter.

Acknowledgement

This work was funded by the Thailand Research Fund (TRF) through the Royal Golden Jubilee Ph.D. Program (Grant No. PHD/0039/2545) to Mr. Amorn Jiraseree-amornkun and Prof. Dr. Wanlop Surakampontrorn and financial support from the Thailand Research Fund under the Senior Research Scholar Program, Grant No. RTA4680003, is also acknowledged. The authors would like to thank Assoc. Prof. Dr. Apisak Worapishet for his valuable comments and discussions.

References

- [1] Schaumann R, Van Valkenberg M. Design of analog filters. New York: Oxford University Press; 2001.
- [2] Ramírez-Angulo J, Sánchez-Sinencio E. High frequency compensated current-mode ladder filters using multiple output opas. IEEE Trans Circ Syst II 1994;41:581–6.
- [3] Wu J, El-Masry E. Design of current-mode ladder filters using coupled-biquads. IEEE Trans Circ Syst II 1998;45:1445–54.
- [4] Wu J, El-Masry E. Current-mode ladder filters using multiple output current conveyors. IEE Proc G Circ Dev Syst 1996;143:218–22.
- [5] Hwang Y, Hung P, Chen W, Liu S. Ccii-based linear transformation elliptic filters. Int J Electron 2002;89:123–33.
- [6] Hwang Y, Hung P, Chen W, Liu S. Systematic generation of current-mode linear transformation filters based on multiple output ccis. Analog Integrated Circuit Sig Process 2002;32:123–34.
- [7] Gopinathan V, Tsividis Y, Tan K, Hester R. Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video. IEEE J Solid State Circ 1990;25:1368–78.
- [8] Fabre A, Saaïd O, Wiest F, Boucheron C. High-frequency high-q bimos current-mode bandpass filters and mobile communication application. IEEE J Solid State Circ 1998;33:614–25.
- [9] Jiraseree-amornkun A, Fujii N, Surakampontrorn W. Realization of electronically tunable ladder filters using multi-output current controlled conveyor. Proceedings of the IEEE international symposium of circuits and systems, Bangkok, 2003. p. I-541–4.
- [10] Jiraseree-amornkun A, Tangsrirat W, Surakampontrorn W. Tunable elliptic filters using multi-output current controlled conveyors. Proceedings of the IEEE Region 10 Conference, Chiang Mai, 2004. p. 229–32.
- [11] Koli K, Halonen K. Cmos current amplifiers: speed versus nonlinearity. Boston: Kluwer Academic Publishers; 2002.



Amorn Jiraseree-amornkun was born in Phuket, Thailand 1977. He received the B.Eng. (Honors) degree in Electronic Engineering and the M.Eng. degree in Electrical Engineering from the King Mongkut's Institute of Technology Ladkrabang (KMUTL), Bangkok, Thailand, in 1998 and 2001, respectively. He is currently working toward the D.Eng. degree in Electrical Engineering at the same institute. His current research interests include CMOS amplifiers and analog baseband filter design.



Wanlop Surakampontrorn was born in Bangkok, Thailand. He received his B.Eng. and M.Eng. degrees in Electrical Engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1976 and 1978, respectively, and his Ph.D. degree in Electronics from the University of Kent at Canterbury, Kent, UK, in 1983. Since 1978, he has been a Member of the Department of Electronics, Faculty of Engineering, KMITL,

where he is currently a Senior Professor of Electronic Engineering. His research interests are in the areas of analog and digital integrated circuit designs, real-time application of PC computers and microprocessors, digital signal processing, electronic instrumentation, and VLSI signal processing.

Dr. Surakampontrorn received the Outstanding Scientist of Thailand Award in 1996 and The National Award for Distinguished Researcher, Thailand, in 1998. He is a Senior Member of the IEEE and is a Member of the IEICE.

Low-Voltage Wide-Band NMOS-Based Current Differencing Buffered Amplifier

W. Tangsrirat¹, Member, K. Klahan¹,
K. Kaewdang¹, Non-members, and W. Surakampontorn¹, Member

¹Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok 10520, Thailand

E-mail : ktworapo@kmitl.ac.th , kswanlop@kmitl.ac.th

ABSTRACT

An integratable circuit technique to realize a low-voltage current differencing buffered amplifier (CDBA) is introduced. The realization scheme is through the modification of a low-input resistance CCII+ and the proposed CDBA can operate with the minimum supply voltage of $\pm 1.25\text{V}$. In order that the signal path consists of only NMOS transistors, a negative current mirror using NMOS transistors is employed. With standard $0.5\text{-}\mu\text{m}$ CMOS process parameters, PSPICE simulation results show that the proposed CDBA provides the terminal resistances of $r_n = r_p = 32\Omega$, $r_z = 144\text{k}\Omega$, $r_w = 9\Omega$, and the -3dB bandwidth of about 400 MHz. An universal CDBA-based filter is also proposed to demonstrate the usefulness of the CDBA

Keywords: current differencing buffered amplifier (CDBA), CMOS transistor, current-mode circuit.

1. INTRODUCTION

Recently, an active circuit element called as a current differencing buffered amplifier (CDBA) has been introduced [1]. The CDBA provides the advantages, particularly in the realization of continuous-time filters, in that it simplifies the implementation, being free from parasitic capacitances, quite suitable for current mode operation and can operate in the frequency range of more than tens of MHz [1]-[3]. The CDBA is also useful for oscillator design [4]. To realize the CDBA, two commercially available current feedback amplifiers (CFAs), AD844, can usually be used, where the CFAs are formed as second generation current conveyors (CCII) and voltage buffers [1,4]. However, the CDBA characteristic is dominated by the property of the CFA. Recently, a CDBA in integrated circuit form has been proposed, but it is only suitable for implemented in bipolar technology [3]. For CMOS technology, so far there are two implementation schemes that have been reported in the literatures [2,5]. However, the terminal resistances of the CMOS based CDBA are quite high,

in the order of several hundred ohms, and its voltage gain is much less than one, i.e., $\cong 0.7$. Thus, the application of the CDBAs is limited and, in practical application, methods to compensate these effects should be included [6]. In addition, most of the existed CDBAs are operated at high supply voltages. The advance in integrated circuit technology makes the devices in an IC form so small and the power supply voltage of the circuits must restricted to a low value. Furthermore, with the increasing demands for battery-operated portable equipments, single battery operation equipment is now most essential. Thus, a CDBA with very low input terminal resistances and can be operated in low supply voltage operation is more preferable.

Usually, a current differencing function can be achieved through negative current mirror using PMOS transistors. For a typical n-well CMOS process, the unity gain frequency f_t of NMOS device is approximately two times higher than the f_t of PMOS devices, due to electrons have a higher saturation velocity compared to holes [7]. In addition, to realize the same transconductance with transistors of the same gate length, a PMOS gate length must be 3 times wider than a NMOS. This is because the junction capacitance per unit area is approximately 2 times larger for PMOS than for NMOS [8]. Therefore, in order to avoid the limitation of the high frequency operation effecting from PMOS transistors, the CDBA should be designed so that signals pass through only NMOS transistors.

The major goal of this paper is to propose a simple low-voltage NMOS-based CDBA, which has a low resistance at both the current-input terminals (p , n) and at the output-voltage terminal (w). The realization method is based on the modification of a low impedance current conveyor (CCII+) to function as a current differencing circuit and a voltage buffer circuit [9]. To achieve a maximum high frequency response, the CDBA is designed such that the signal has an all NMOS signal path, where a negative current mirror using only NMOS transistors is proposed. Moreover, three-input and single-output current-mode universal biquadratic filter using CD-

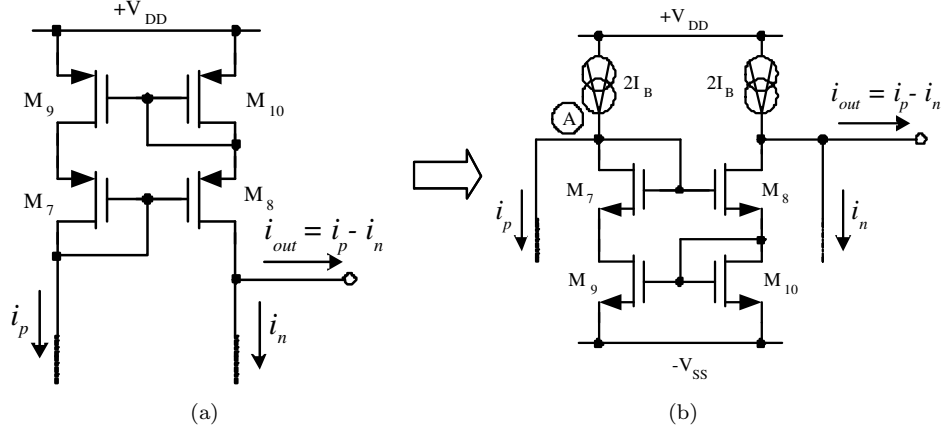


Fig.4: (a) conventional negative current mirror (b) proposed NMOS-based negative current mirror

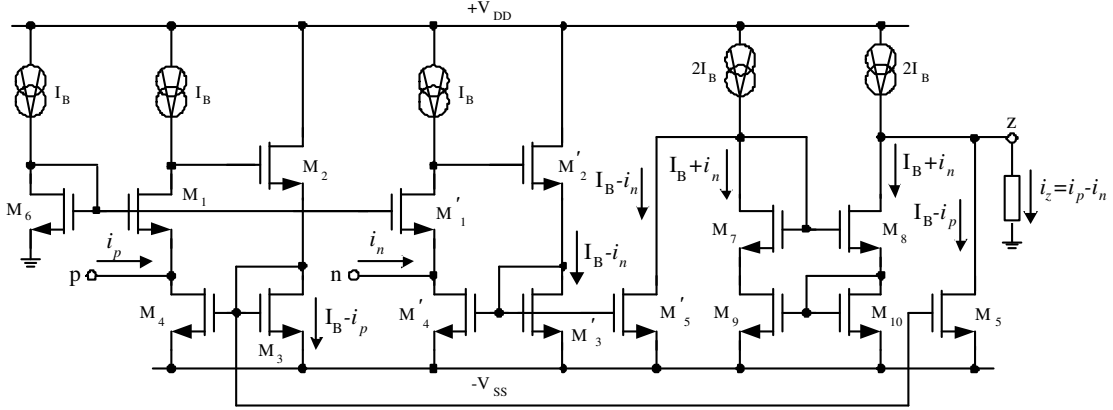


Fig.5: Proposed NMOS-based current differencing circuit

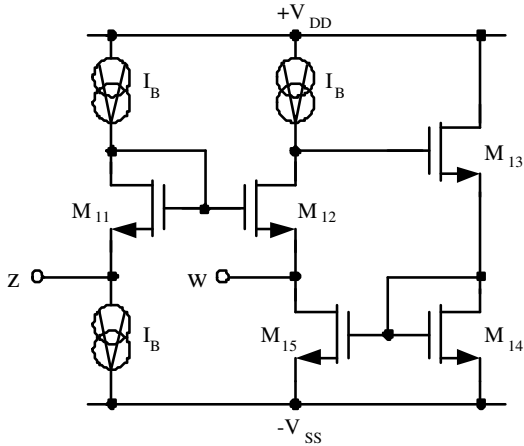


Fig.6: Buffered voltage amplifier

Fig.4(a). As the reasons mentioned previously, the negative current mirror would be the major high frequency limitation. To increase the circuit bandwidth, an unity-gain NMOS-based negative current mirror shown in Fig.4(b) is proposed, where M7-M10 form

as a positive current mirror. Since the NMOS transistors provide the basic current mirror action, thus its performance is equivalent to NMOS positive current mirror. Note that the voltage at point A must be high such that all devices are in the on state. If we assume that all transistors are well matched, then an output current i_{out} of this circuit is approximately equal to an input current i_{in} (or $i_{out} \cong i_{in}$).

Fig.5 shows the proposed NMOS-based current differencing circuit. The current source I_B and transistor M6 are used to bias the terminals p and n at ground potential. Groups of transistor (M1-M5) and (M1'-M5') form two unity-gain current amplifiers that produce the currents $(I_B - i_p)$ and $(I_B - i_n)$ at the drains of M5 and M5', respectively. Due to the negative current mirror M7-M10, the drain current of M8 is equal to $(I_B + i_n)$. Therefore, the signal current i_z of the terminal z can be expressed as

$$i_z = 2I_B - [(I_B - i_p) + (I_B + i_n)] = i_p - i_n. \quad (5)$$

In order to account for the non-ideal performance, let α_p and α_n are the current gains for the inputs from the terminals p and n , respectively. From routine circuit analysis, the output current i_z can be given

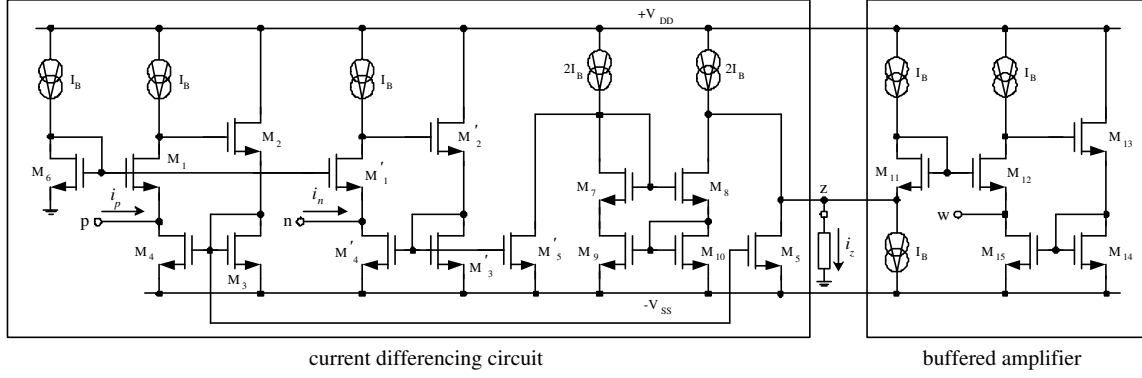


Fig.7: Proposed low-voltage NMOS-based CDBA

by

$$i_z = \alpha_p i_p - \alpha_n i_n \quad (6) \quad \text{where}$$

where

$$\alpha_p = \left(\frac{F_p}{1 + F_p} \right)$$

$$\alpha_p = \left(\frac{g_{m7}g_{m8}}{g_{m9}g_{m10}} \right) \left(\frac{F_n}{1 + F_n} \right)$$

$$F_p = \left(\frac{g_{m2}g_{m4}r_{oB}}{g_{m2} + g_{m3}} \right)$$

and

$$F_n = \left(\frac{g_{m2}g_{m4}r_{oB}}{g_{m2} + g_{m3}} \right)$$

Then as long as $F_p \gg 1$, $F_n \gg 1$, and $g_{m7} \cong g_{m8} \cong g_{m9} \cong g_{m10}$, the current gains $\alpha_p \cong \alpha_n \cong 1$. The input resistances of the terminals p and n can also be expressed as

$$r_p = \left(\frac{1}{g_{m1}} \right) \left(\frac{1}{1 + F_p} \right) \quad (7)$$

and

$$r_n = \left(\frac{1}{g_{m1}} \right) \left(\frac{1}{1 + F_n} \right) \quad (8)$$

We can notice that, the input resistances r_p and r_n are very low due to the factors from the feedback $(1 + F_p)$ and $(1 + F_n)$, respectively.

2.3 Buffered voltage amplifier

From Fig.6, transistors M_{11} - M_{15} function as a buffered voltage amplifier, where the transistor M_{11} and the two bias current sources I_B are connected as voltage level shift. The relationship of the voltages at the terminals w and z (or v_w and v_z) can be expressed by :

$$v_w = \beta_v \cdot v_z \quad (9)$$

$$\beta_v = \left(\frac{g_{m11}r_{oB}}{1 + g_{m11}r_{oB}} \right) \left[\frac{g_{m12} \left(1 + \frac{g_{m15}r_{oB}}{2} \right)}{g_w + g_{m12} \left(1 + \frac{g_{m15}r_{oB}}{2} \right)} \right],$$

$g_w = 1/R_w$ and R_w is the resistor connected at the terminal w . If $g_{m11}r_{oB} \gg 1$ and $g_{m12} \left(1 + \frac{g_{m15}r_{oB}}{2} \right)$, then $v_w \cong v_z$. Similar to the equation (2), since M_{12} - M_{15} are connected as a low-input resistance input stage, the output resistance of the terminal w becomes quite low and is equal to

$$r_w = \left(\frac{1}{g_{m12}} \right) \left(\frac{1}{1 + F_w} \right) \quad (10)$$

where

$$F_w = \left(\frac{g_{m13}g_{m15}r_{oB}}{g_{m13} + g_{m14}} \right).$$

If $r_{oB} \gg 1/g_{m11}$, the input resistance looking into the terminal z becomes a high value and is approximated to

$$r_z = \frac{r_{oB}}{2} \quad (11)$$

2.4 Proposed low-voltage wide-band NMOS-based CDBA

Fig.7 shows the proposed low-voltage NMOS-based CDBA, which is based on the use of the proposed current differencing (M_1 - M_{10} , M'_1 - M'_5), and the buffered voltage amplifier (M_{11} - M_{15}) circuits. From the circuit diagram, it can be considered from the positive to the negative supply voltages that the proposed circuit uses only two NMOS transistors and one PMOS transistor (or one bias current source). Therefore, the circuit can operate at a low power supply voltage of $(2V_{DSi} + V_{IB})$, where V_{DSi} and V_{IB} are the drain-to-source voltage of the transistor M_i and the voltage drop at the bias current source I_B , respectively. As an example, for the standard 0.5- μm CMOS process parameters, the threshold voltages V_{TN} and $-V_{TP}$ of the NMOS and PMOS transistors

are about 0.64V and 0.91V, respectively. If the bias current sources I_B are realized by the basic current mirrors, as a result, the minimum supply voltage is about $[2(0.64V) + (0.91V)] = 2.19V$ or $\pm 1.095V$.

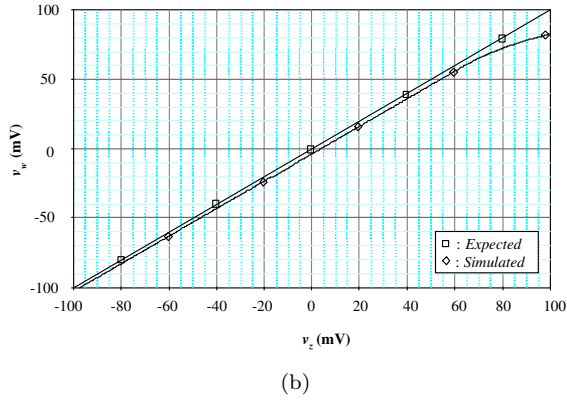
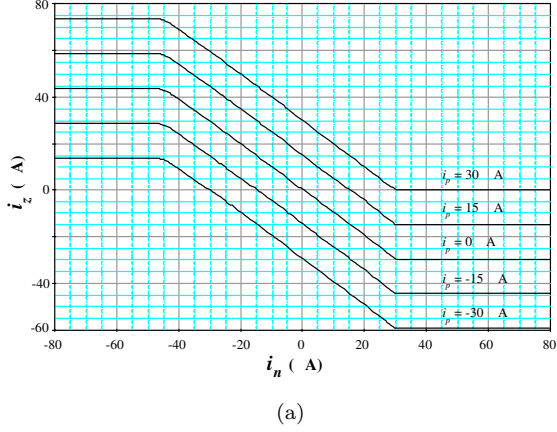


Fig.8: dc transfer characteristics of the CDAB

(a) current transfer characteristics

(b) voltage transfer characteristic

3. SIMULATION RESULTS AND APPLICATION

3.1 Proposed CDAB characteristics

The characteristics of the proposed CDAB of Fig.7 have been studied through PSPICE using the 0.5- μm CMOS LEVEL3 SCN05H technology supplied by MOSIS (vender : HP-NID) [10]. The aspect ratios of the transistors used are as follows : $W/L = 20$ for the NMOS M_1 - M_5 , M_1 - M_5 , and $W/L = 40$ for the NMOS M_7 - M_{15} . The supply voltages used are $+V_{DD} = -V_{SS} = 1.25V$, and the bias currents are $I_B = 30\mu\text{A}$. Grounded resistors $R_z = 1\text{ k}\Omega$ and $R_w = 10\text{ k}\Omega$ are connected at the terminals z and w , respectively.

Fig.8 shows the dc transfer characteristics of the output current $i_z = i_p - i_n$ against the input current i_n , Fig.8(a), and the output voltage v_w against v_z , for different values of the input current i_p , Fig.8(b). It is evident that the CDAB can convert the differential input current into the output voltage with high accuracy and linearity over the entire dynamic range (I_B

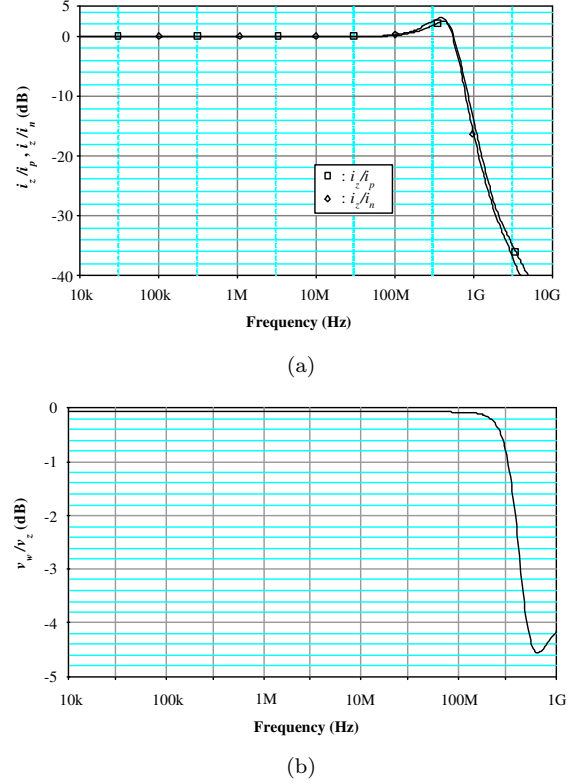


Fig.9: ac transfer characteristics of the CDAB

(a) current transfer characteristics

(b) voltage transfer characteristic

$= 30\mu\text{A}$). From Fig.8(a), the maximum offset currents from the terminals p and n to the terminal z is equal to $1.2\mu\text{A}$, which is mainly due to the influence of the current transfer errors from the mismatched mirroring transistors. In Fig.8(b), the offset voltage from terminals z to w appears to be about 3.5mV , owing to mismatch in the current scale factor between M_{11} and M_{12} . From the simulation, it is found from that deviation from its ideal curve is less than 12 % within the range -100mV to $+100\text{mV}$. Also from the simulations, the circuit power consumption for $i_p = i_n = 0$ is 0.98mW and for $i_p = i_n = 30\mu\text{A}$ is 1.22mW , and the resistances of the terminals p , n , z and w (r_p , r_n , r_z and r_w) are equal to 32Ω , 32Ω , $144\text{k}\Omega$ and 9Ω , respectively.

Fig.9 shows the ac transfer characteristics of the proposed CDAB. The current and voltage gains α_p , α_n and βv are found to be 0.992, 0.983 and 0.991, which corresponding to the errors of 0.8%, 1.7% and 0.9%, respectively. The -3dB bandwidths of the current gains i_z/i_p and i_z/i_n , and the voltage gain v_w/v_z , are respectively located at 628MHz, 642MHz and 432MHz. As shown in the figures, the proposed realization leads to high accuracy and high frequency range extending beyond 432MHz. Note that the major high-frequency limitation of the circuit is due to

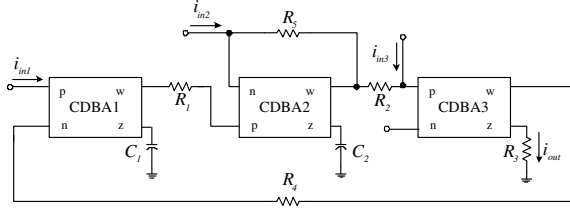


Fig.10: Universal current-mode biquadratic filter using CDBAs

the pole P_w at the terminal w , which is directly proportional to R_w and can be given by

$$P_w \cong - \left[\frac{g_{m12} R_w \left(1 + \frac{g_{m15} r_{ob}}{2} \right)}{(1 + g_{m12} R_w) r_{oB} C_{gs13}} \right] \quad (12)$$

where C_{gs13} is the gate-to-source capacitance of the transistor M_{13} . This pole frequency can be extended by increasing the value of R_w , for example, for $R_w = 20 \text{ k}\Omega$, the pole frequency P_w is located at 510 MHz.

3.2 Current-mode biquadratic filter using CDBAs

In this section, an universal current-mode multi-function biquadratic filter as shown in Fig.10 has been proposed. From routine circuit analysis, the current transfer function is as follows.

$$I_{out} = \left[s^2 \left(1 + \frac{1}{s R_5 C_2} I_{in3} \right) - s \left(\frac{1}{R_2 C_2} I_{in2} + \left(\frac{1}{R_1 R_2 C_1 C_2} I_{in1} \right) \right] / D(s). \quad (13)$$

where

$$D(s) = s^2 + s \left(\frac{1}{R_5 C_2} \right) + \left(\frac{R_3}{R_1 R_2 R_4 C_1 C_2} \right).$$

The parameters ω_0 and Q of the filter can be expressed as :

$$\omega_o = \sqrt{\frac{R_3}{R_1 R_2 R_4 C_1 C_2}} \quad (14)$$

and

$$Q = R_5 \sqrt{\frac{R_3 C_2}{R_1 R_2 R_4 C_1}} \quad (15)$$

The sensitivities with respect to the circuit passive parameters can be written as :

$$S_{R_1, R_2, R_4, C_1, C_2}^{\omega_0} = -S_{R_3}^{\omega_0} = -\frac{1}{2} \quad (16)$$

$$S_{R_5}^{\omega_0} = 0 \quad (17)$$

$$S_{R_1, R_2, R_4, C_1}^Q = -S_{R_3, C_2}^Q = -\frac{1}{2} \quad (18)$$

$$S_{R_5}^Q = 1 \quad (19)$$

All the filter passive sensitivities are within unity in magnitude. Furthermore, if setting $R_j (j = 1, 2, \dots, 4) = R$ and $C_1 = C_2 = C$, then the circuit parameters ω_o and Q -factor can be rewritten as :

$$\omega_0 = \frac{1}{RC} \quad (20)$$

and

$$Q = \frac{R_5}{R} \quad (21)$$

It is interesting to note that the Q -factor parameter can independently be controlled by adjusting R_5/R without taking an effect to the ω_o , which is adjusted by R and/or C . Moreover, the highpass (HP), low-pass (LP), bandpass (BP), bandstop (BS) and allpass (AP) output currents will be obtained by selecting input currents appropriately from these specifications:

1. HP filter where $I_{in2} = I_{in3}$ are input currents and $I_{in1} = 0$.
2. LP filter where I_{in1} is an input current and $I_{in2} = I_{in3} = 0$.
3. BP filter where I_{in2} is an input current and $I_{in1} = I_{in3} = 0$.
4. BS filter where $I_{in1} = I_{in2} = I_{in3}$ are input currents and $R_5 = R$.
5. AP filter where $I_{in1} = I_{in2} = I_{in3}$ are input currents and $R_5 = 2R$.

By taking into consideration the non-idealities of the CDBA on the frequency performance, the current-voltage relations in equation (1) can be expressed as : $i_{zi} = \alpha_{pi} i_{pi} - \alpha_{ni} i_{ni}$ and $v_{wi} = \beta_i v_{zi}$, where $\alpha_{pi} = 1 - \epsilon_{pi} (|\epsilon_{pi}| \ll 1)$, $\alpha_{ni} = 1 - \alpha_{ni} (|\epsilon_{ni}| \ll 1)$, and $\beta_i = 1 - \epsilon_{vi} (|\epsilon_{vi}| \ll 1)$, and ϵ_{pi} and ϵ_{ni} are the current tracking errors from the terminal p and from the terminal n to the terminal z , and ϵ_{vi} is the voltage tracking error from the terminal z to the terminal w of the i -th CDBA, respectively. In this case, reanalysis the proposed filter configuration of Fig.10 yields the non-ideal natural angular frequency ω'_o and quality factor $\dot{Q}$ as :

$$\omega'_o = \sqrt{\frac{\alpha_{p1} \alpha_{p2} \alpha_{p3} \alpha_{n1} \beta_1 \beta_2 \beta_3 R_3}{R_1 R_2 R_4 C_1 C_2}} \quad (22)$$

and

$$\dot{Q} = \frac{R_5}{\alpha_{n2}} \sqrt{\frac{\alpha_{p1} \alpha_{p2} \alpha_{p3} \alpha_{n1} \beta_1 \beta_3 R_3 C_2}{\beta_2 R_1 R_2 R_4 C_1}} \quad (23)$$

For this case, all active sensitivities of the ω'_o and $\dot{Q}$ with respect to α_{ni} , α_{pi} and β_i are less than unity.

Fig.11 shows the simulated frequency responses of the filter using the proposed CDBAs, when $R_j = 1 \text{ k}\Omega$, excepted in AP case the resistor $R_5 = 2 \text{ k}\Omega$, and $C_1 = C_2 = 0.159 \text{ nF}$. These values are selected to

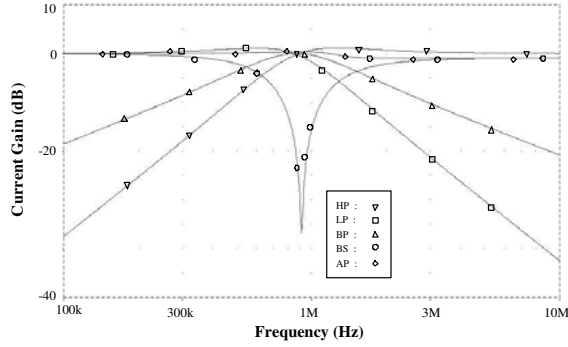


Fig.11: Simulated frequency responses of the proposed filter of Fig.11

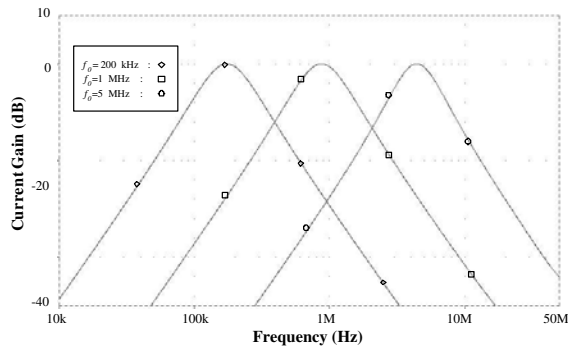


Fig.12: Simulated frequency responses of the BP output when f_0 is varied.

obtain Q -factor = 1 at a natural frequency f_o ($\omega_o/2\pi$) = 1 MHz. The corresponding f_o for the HP, LP, BP, BS, and AP responses measured from the simulations are found to be 0.72 MHz, 1.14 MHz, 0.90 MHz, 0.94 MHz, and 0.91 MHz, which differ from the predicted value of about 28%, 14%, 6.35%, 5.45% and 9.38%, respectively. This confirms that the filter can simultaneously realize all standard filtering functions in the same configuration by properly choosing input currents.

To demonstrate the independent adjustable of the f_o without effecting the Q -factor, Fig.12 shows the BP current responses when the f_o is respectively set to 200 kHz, 1 MHz and 5 MHz through changing resistors R_j to 5 k Ω , 1 k Ω , and 200 Ω , respectively, while the Q -factor in this case is set to constant at $Q=1$. It should be noted from the simulated results that the various values of the f_o can be adjusted by varying R_j without disturbing the Q -factor.

For the controllability of Q -factor by adjusting the ratio of R_5/R , the simulated frequency responses of the BP filter, when Q -factor is respectively adjusted to 1, 5 and 10 while keeping f_o constant at 1 MHz, are shown in Fig.13. The Q -factor that calculated from the simulation response are 1, 4.87 and 11.06, respectively, which are close agreement with the desired value.

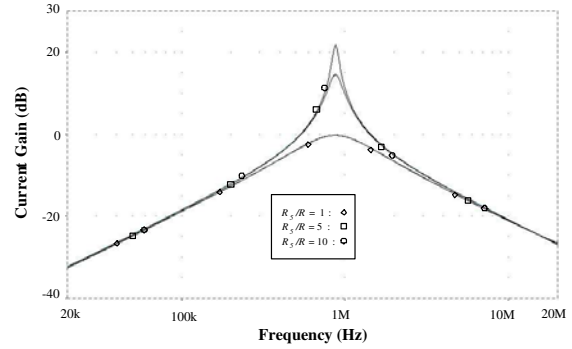


Fig.13: Simulated frequency responses of the BP output when Q -factor is varied.

4. CONCLUSION

A circuit configuration for realizing low-voltage current differencing buffered amplifier (CDBA) in MOS technology has been described. The proposed circuit can be operated at low power supply voltage ($\pm 1.25V$) and can easily be implemented in monolithic integrated circuit. The simulated responses with PSPICE have been quite good over the frequency range of about 400MHz, with low-power consumption. Owing to the dominant pole P_w , the improvement of the frequency performance of the buffered voltage amplifier is our further investigated. We also demonstrate that a current-mode universal biquadratic filter using the proposed CDBA as active elements provides the response closed to the theoretical prediction.

5. ACKNOWLEDGEMENT

This work is funded by the Thailand Research Fund (TRF) under the Senior Research Scholar Program, grant number RTA4680003.

References

- [1] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", *Microelectronics Journal*, vol.30, pp.157-160, 1999.
- [2] S. Ozoguz, A.Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", *Electronic Letters*, vol.35, no.2, pp.97-98, 1999.
- [3] W. Tangsrirat, W. Surakampontrorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", *IEICE Trans. Fundamental.*, vol.E86-A, no.2, pp.318-326, 2003.
- [4] J.W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", *IEICE Trans. Fundamental.*, vol.E85-A, no.2, pp.1416-1419, 2002.
- [5] N. Tarim and H. Kuntman, "A high performance

current differencing buffered amplifier”, *Proceeding of International Conference on Microelectronics*, pp.153-156, 2001.

- [6] A.Toker, S. Ozoguz and C. Acar, “Current-mode KHN-equivalent biquad using CDBAs”, *Electronic Letters*, vol.35, no.20, pp.1682-1683, 1999.
- [7] E. Abou-Allam, T. Manku, M. Ting. and M.S. Obrecht, “Impact of technology scaling on CMOS RF devices and circuits”, *IEEE 2000 Custom Integrated Circuits Conference*, pp.361-364, 2000.
- [8] M. Steyaert, W. Dehaene, J. Craninckx, M. Walsh and P. Real, “A CMOS rectifier-integrator for amplitude detection in hard disk servo loops”, *IEEE J. Solid-state Circuits*, vol.30, no.7, pp.743-751, 1995.
- [9] O. Oliaei and J. Porte, “Compound current conveyor (CCII+ and CCII-)”, *Electronic Letters*, vol.33, no.4, pp.253-254, 1997.
- [10] E. Ibaragi, A. Hyogo and K. Sekine, “A phase compensation technique without capacitors for the CMOS circuit with a very low impedance terminal”, *IEICE Trans. Fundamental.*, vol.E83-A, no.2, pp.236-242, 2000.



Worapong Tangsrirat received the B.Ind.Tech. degree (Honors) in Electronics, the M.Eng., and the D.Eng. degrees in Electrical Engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1991, 1997 and 2003, respectively. He has joined the Faculty of Engineering, KMITL as a faculty member since 1995, and is presently an assistant professor in the Department of Control

Engineering. His research interests are mainly in analog integrated circuits and active filter design. He is a member of the ECTI and the IEEE.



Katesuda Klahan was born in 1977. She received B.Eng. degree in Electrical Engineering from Ubonratchathani University and M.Eng. degree in Electronics from King Mongkut's Institute of Technology Ladkrabang (KMITL), in 1999 and 2002 respectively. Now she is a doctoral degree student in Electrical Engineering at the KMITL. Her research area is Analog Integrated Circuit Design and Analog Signal Processing



egrated Circuit Design.

Khanittha Kaewdang received the B.Eng. degree in Electrical Engineering from Ubonratchathani University, Ubonratchathani, Thailand, in 1999 and the M.Eng. degree in Electronics from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2002. Currently, she is a doctoral degree student in Electrical Engineering at the KMITL. Her research interests are in the field of Analog Inte-



is currently a Senior Professor of Electronic Engineering. His research interests are in the areas of analog and digital integrated circuit designs, real-time application of PC computers and microprocessors, digital signal processing, electronic instrumentation, and VLSI signal processing. He is a member of the IEICE of Japan, a senior member of the IEEE and a member of the ECTI.

Wanlop Surakampontorn received the B.Eng. and M.Eng. degrees in Electrical Engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1976, and 1978, respectively, and the Ph.D. in Electronics from the University of Kent at Canterbury, Kent, U.K., in 1983. Since 1978, he has been a member of the Department of Electronics, Faculty of Engineering, KMITL, where he

Electronically Tunable Floating Inductance Simulation Based on Current-Controlled Current Differencing Buffered Amplifiers

Worapong Tangsirat and Wanlop Surakampontorn

Faculty of Engineering and

Research Center for Communication and Information Technology (ReCCIT),

King Mongkut's Institute of Technology Ladkrabang (KMITL),

Lat Krabang, Bangkok 10520, Thailand

E-mail : *ktworapo@kmitl.ac.th*

Abstract

A new bipolar-based realization of a current-controlled current differencing buffered amplifiers (CC-CDBAs) is introduced. It is a novel electronically tunable lossless floating inductance simulator. The proposed floating inductance circuit uses only three proposed CC-CDBAs and a grounded capacitor. Its equivalent inductance can linearly be tuned by means of the external bias current of the CC-CDBA. Without the employment of any external passive resistors, the proposed inductance simulation circuit is particularly attractive for integrated circuit (IC) implementation. PSPICE simulations of the proposed circuits give results that agree well with the theoretical analysis.

Keywords : current differencing buffered amplifier (CDBA), floating inductance (FI), electronically tunable, current-controlled, active filters.

1. Introduction

Owing to the desirability of building active filters without the employment of physical coils, much attention is focused on inductance simulation using various high-performance active building blocks, such as, current conveyor (CC), current feedback op-amp (CFOA) and four terminal floating nullor (FTFN). There are several applications of inductance simulators such as active filter design, oscillator design, and cancellation of parasitic elements. Early implementations of a simulated inductance have been reported in the literature [1]-[10]. However, all of these existing circuits suffer from one or more of the following disadvantages :

1. Require an excessive number of active elements [1], [2], [5], [9], [10].
2. Use different types of active elements [1], [3], [7], [8].
3. Lack electronic controllability [1],[2],[4], [5], [9], [10].
4. Require some external passive resistors [6], [9], [10].

For ease of monolithic IC fabrication processes, it is advantageous to realize an inductance simulation circuit by using only one type and a minimum number of active elements.

Recently, a current differencing buffered amplifier (CDBA), which is a new active circuit building block especially suitable for the realization of a class of continuous-time filters, has been proposed [11]. It can also offer advantageous features such as high-slew rate, freedom from parasitic capacitances, wide bandwidth and simple implementation [12]. Although CDBA-based floating inductance simulators have been recently reported in [13] and [14], they still require some additional MOS resistive circuits (MRCs) for providing an electronic tuning capability [15]. Moreover, their equivalent inductance value is dependent on the gate voltage of the MOSFETs in MRCs, which is a square function. This means that an electronic tuning property of the circuits is nonlinear. From a practical point of view, it is preferable for the mentioned circuits that their tuning ability is linearly tunable.

The focus of this study is to present a translinear-based current-controlled current differencing buffered amplifier (CC-CDBAs). Its parasitic input resistances can electronically be varied. We then propose a novel electronically tunable lossless floating inductance simulation circuit employing the proposed CC-CDBAs as active elements, whose equivalent inductance can linearly be tuned though adjusting the external bias currents of the CC-CDBAs. The proposed scheme uses only three CC-CDBAs and one grounded capacitor, which requires fewer active and passive components than most of the counterparts in the literature. Without external passive resistor requirements, the configuration has remarkable advantages in ease of IC fabrication processes [16],[17]. PSPICE simulation results are included to confirm the presented technique. Also, the performance of the proposed inductance simulator is demonstrated on a series RLC resonance circuit.

2. Circuit Description

2.1 CDBA

Basically, the CDBA is a four-terminal active element represented symbolically as shown in Fig.1. For ideal operation, its current and voltage relations can be described by the following equation [11]-[12].

$$\begin{bmatrix} v_p \\ v_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_z \\ i_p \\ i_n \end{bmatrix} \quad (1)$$

Equation (1) shows that the difference of the input currents i_p and i_n is $(i_p - i_n)$ and is conveyed into the output voltage v_w via an external impedance connected at the terminal z. The terminals z and w of the CDBA can be considered as the current and voltage outputs, respectively. Ideally, the input terminals p and n are internally grounded or $r_p = r_n \cong 0 \Omega$. However, the CDBA can be considered as a more flexible and versatile active circuit building block, if the values of r_p and r_n can be varied and controlled by electronic means. Therefore, a circuit configuration of a current-controlled CDBA (CC-CDBA) will be introduced in the next section. Then, it will be

used as an active element for realizing the proposed electronically tunable CC-CDBA-based lossless floating inductance simulation circuit which requires only a grounded capacitor as a passive element.

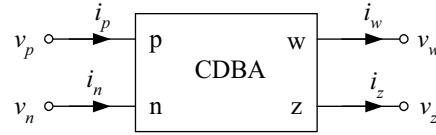


Fig.1 Symbol of the CDBA

2.2 Proposed CC-CDBA

The circuit diagram of the proposed CC-CDBA and its symbolic representation are shown in Fig.2. The input stage providing the difference current $(i_p - i_n)$ consists of transistors Q_1 - Q_{24} , where groups of transistors Q_1, Q_2, Q_3, Q_4 and Q_1, Q_3, Q_5, Q_6 constitute the input translinear loop [18]. In this case, the circuit presents the parasitic resistances r_p and r_n at the terminals p and n respectively, which can be given by :

$$r_p \cong r_n = R_x = \frac{V_T}{2I_A} \quad (2)$$

where $V_T = 26 \text{ mV}$ at 300°K is the thermal voltage. Therefore, it is possible to electronically tune the value of the resistance R_x by means of an external dc bias current I_A .

The input currents i_p and i_n are subtracted at the collectors of Q_7 and Q_8 , and flow from the terminal z into an external load by the current mirrors Q_{17} - Q_{20} and Q_{21} - Q_{24} . The voltage across the terminal z (v_z) is transferred to the terminal w (v_w) by a unity-gain voltage amplifier Q_{25} - Q_{28} . Here, transistors Q_{25}, Q_{27} and Q_{26}, Q_{28} are constructed as a cascade emitter follower. Let us assume that all transistors are well matched, the routine circuit analysis gives the equivalent input resistance at the terminal z (r_z) as:

$$r_z \cong \beta_n \beta_p \left(\frac{r_e}{2} + R_w \right) \quad (3)$$

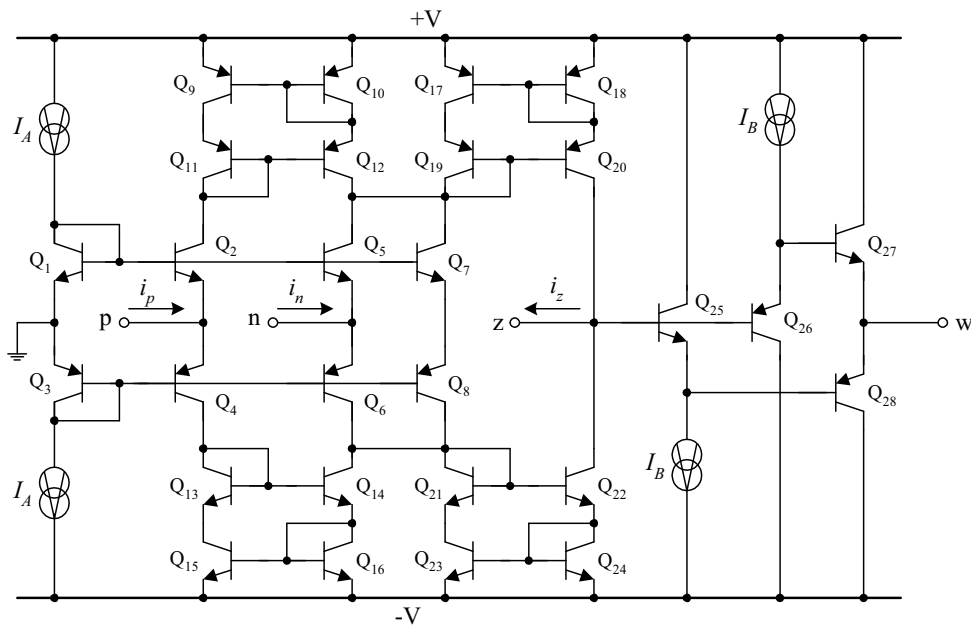
where $\beta_n = \beta_{25} \cong \beta_{27} \gg 1$, $\beta_p = \beta_{26} \cong \beta_{28} \gg 1$, $r_e = V_T/I_B = r_{e25} \cong r_{e26} \cong r_{e27} \cong r_{e28}$, and R_w is a load resistor connected at the terminal w. The parasitic resistance looking at terminal w (r_w) is low and given by :

$$r_w \cong \left(\frac{r_e}{2} + \frac{R_z}{\beta_n \beta_p} \right) \quad (4)$$

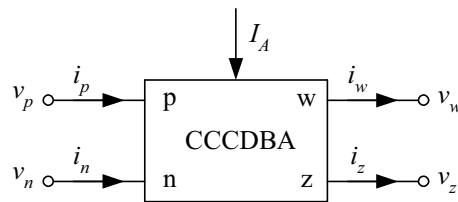
where R_z is a converting resistor connected to the terminal z. From the circuit operation, the current-voltage characteristics of the proposed

CC-CDBA can be summarized by the following matrix.

$$\begin{bmatrix} v_p \\ v_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & R_x & 0 \\ 0 & 0 & 0 & R_x \\ 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_z \\ i_p \\ i_n \end{bmatrix} \quad (5)$$



(a)



(b)

Fig.2: The proposed CC-CDBA
(a) circuit diagram (b) circuit symbol

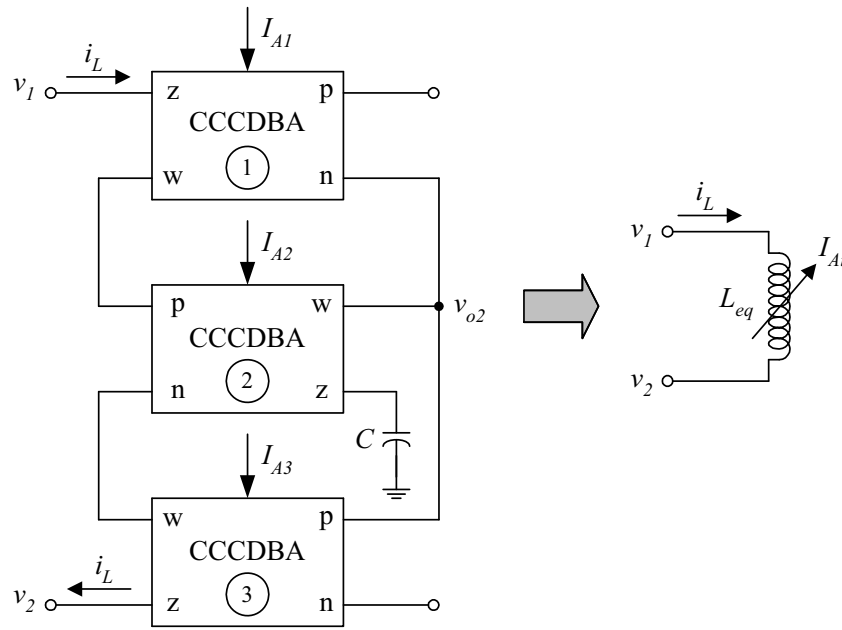


Fig.3 The proposed electronically tunable floating inductor using CC-CDBAs

3. Proposed Inductance Simulation Circuit

Fig.3 shows the proposed electronically tunable lossless floating inductor. It consists of only three CC-CDBAs and a grounded capacitor. According to the property of the CC-CDBA from equation (5), an input impedance Z_{in} can be written as :

$$Z_{in} = \frac{v_1 - v_2}{i_L} = s(R_{x1}R_{x2}C) \quad (6)$$

where R_{xi} is the parasitic resistance R_x of the i -th CC-CDBA ($i = 1, 2, 3$), and the resistances R_{x1} and R_{x3} are identical. From the above equation, the proposed inductance simulation circuit of Fig.3 provides inductive impedance with an equivalent inductance L_{eq} :

$$L_{eq} \cong R_{x1}R_{x2}C \quad (7).$$

Note that the L_{eq} value obtained from the proposed circuit has the same value as that proposed in [5], [9], [10], but the number of conveyors is reduced by one and it does not require any external passive resistors. In addition, the proposed circuit requires a

minimum number of active and passive elements as in [14], but without requiring any additional MRCs. Since all the resistance's R_{xi} directly depend on the bias current I_{Ai} of the CC-CDBAi, the L_{eq} value can also be linearly controllable by I_{Ai} . Although the value of R_{xi} is found to be sensitive to the temperature, a bias circuit with a current linearly proportional to temperature can be employed for the temperature compensation [19]. By using only a grounded capacitor in the circuit realization, the proposed floating inductor is particularly suitable for monolithic IC implementations [16],[17]. Furthermore, if the capacitor C of Fig.3 is replaced by an external passive resistor R , the proposed circuit performs as a resistance multiplier.

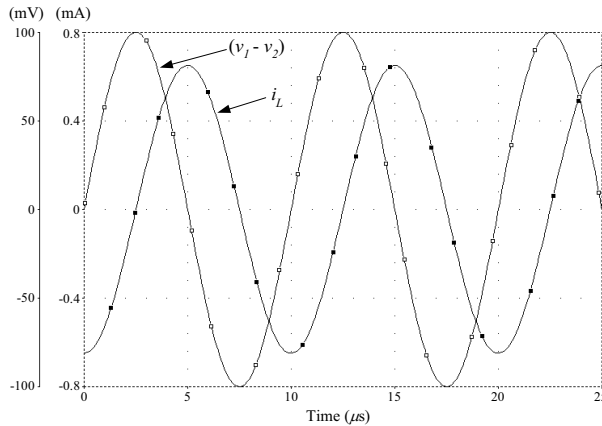
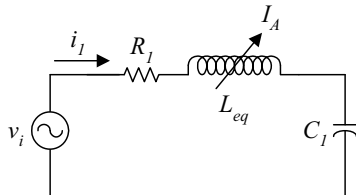
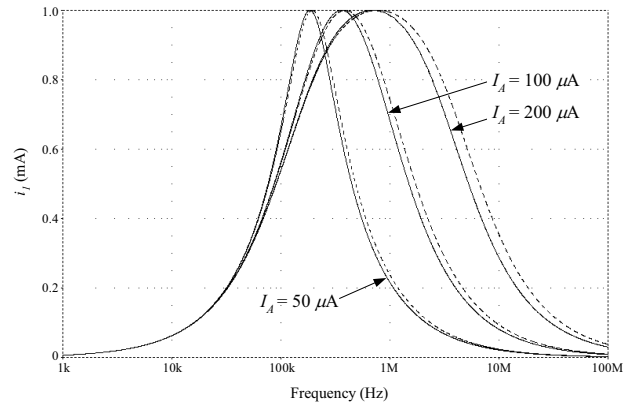
4. Simulation results

The proposed circuits were simulated by PSPICE using the AT&T ALA400-CBIC-R bipolar process parameters [20]. The power supply voltages were $\pm V = \pm 3$ V and all the bias currents I_B were set to be constant at 250 μ A. The simulated characteristics of the proposed CC-CDBA in Fig.2(a) are listed in Table 1, when $I_A = 100$ μ A, $R_z = 1$ k Ω and $R_w = 10$ k Ω .

Table 1: Characteristics of the proposed CC-CDBA

Parameters	Value	Unit
Total power dissipation	7.37	mW
-3dB bandwidth	40	MHz
Maximum offset current (from i_p and i_n to i_z)	2	μA
Maximum offset voltage (from v_z to v_w)	13	mV
r_p, r_n	140	Ω
r_z	650	$\text{k}\Omega$
r_w	53	Ω

The simulation result showing the typical waveforms of the voltage and current through the proposed floating inductor L_{eq} of Fig.3 is illustrated in Fig.4, when $I_A = 100 \mu\text{A}$ and $C = 10 \text{ nF}$. The deviation in the current response i_L from the ideal value is mainly caused by the non-idealities of the CC-CDBA, i.e., the error values of r_p and r_n from the calculation values, and the effects from the parasitic resistances at the terminals z and w.

**Fig.4** Typical waveforms of voltage and current of the proposed floating inductor L_{eq} **Fig.5** Series RLC resonance circuit**Fig.6:** Simulated current characteristics of the resonance circuit of Fig.5, when I_A is varied.

In order to demonstrate the performance of the proposed floating inductor of Fig.3, the basic series RLC resonance circuit shown in Fig.5 was built, where the physical coil L is replaced by the proposed L_{eq} . For $R_l = 1 \text{ k}\Omega$, $C_l = 1 \text{ nF}$ and three different values of I_A ($I_A = I_{A1} = I_{A2} = I_{A3}$), the simulated current characteristics of the resonance circuit are shown in Fig.6 as the solid lines. The dashed lines are the ideal results corresponding to calculations when $L = 0.676 \text{ mH}$, 0.169 mH and 0.042 mH , respectively. The simulation results show good agreement with the ideal calculation results.

5. Conclusion

A design of the current-controlled current differencing buffered amplifier (CC-CDBA) has been proposed. Based on the use of the proposed CC-CDBA as an active element, a novel current-controlled lossless floating inductance simulation circuit has also been proposed. The proposed inductance simulation circuit offers the following advantageous features, namely:

- (i) requires a minimum number of active components,
- (ii) linearly electronic control,
- (iii) only one grounded capacitor,
- (iiii) no external passive resistors.

PSPICE simulation and calculation results are in agreement and verify the usefulness of the proposed floating inductor for building active filter implementations.

6. Acknowledgment

This work is funded by the Thailand Research Fund (TRF) under the Senior Research Scholar Program, grant number RTA4680003.

7. References

- [1] K. Pal, Novel Floating Inductance Using Current Conveyors, *Electron. Lett.*, Vol.17, No.18, pp.638, 1981.
- [2] R. Senani, Generation of New Two-Amplifier Synthetic Floating Inductors, *Electron. Lett.*, Vol.23, No.22, pp.1202-1203, 1987.
- [3] M. Higashimura and Y. Fukui, Simulation of Lossless Floating Inductance Using Two Current Conveyors and an Operational Transconductance Amplifier, *Int. J. Electron.*, Vol.66, pp.633-638, 1989.
- [4] C.M. Chang, H.Y. Wang and C.C. Chien, Realization of Series Impedance Functions Using One CCII+, *Int. J. Electron.*, Vol.76, pp.83-85, 1994.
- [5] W. Kiranon, and P. Pawarangkoon, Floating Inductance Simulation Based on Current Conveyors, *Electron. Lett.*, Vol.33, No.21, pp.1748-1749, 1997.
- [6] O. Cicekoglul, Active Simulation of Grounded Inductors with CCII+ and Grounded Passive Elements, *Int. J. Electron.*, Vol.85, No.4, pp.455-462, 1998.
- [7] M.T. Abuelma'atti, M.H. Khan and H.A. Al-Zaher, Simulation of Active-Only Floating Inductance, *Frequenz*, Vol.52, pp.161-164, 1998.
- [8] S. Minaei, O. Cicekoglul, H. Kuntman, and S. Turkoz, Electronically Tunable Active-Only Floating Inductance Simulators, *Int. J. Electron.*, Vol.89, No.12, pp.905-912, 2002.
- [9] R. Senani, Novel Lossless Synthetic Floating Inductor Employing a Grounded Capacitor, *Electron. Lett.*, Vol.18, pp.413-414, 1982.
- [10] S.A. Al-Walaie, and M.A. Alturaigi, Current Mode Simulation of Lossless Floating Inductance, *Int. J. Electron.*, Vol.83, No.6, pp.825-829, 1997.
- [11] C. Acar and S. Ozoguz, A New Versatile Building Block: Current Differencing Buffered Amplifier Suitable for Analog Signal Processing Filters, *Microelectron. J.*, Vol. 30, No.2, pp. 157-160, 1999.
- [12] W. Tangsrirat, W. Surakampontrorn and N. Fujii, Realization of Leapfrog Filters Using Current Differential Buffered Amplifiers, *IEICE Trans. Fundamental.*, Vol.E86-A, No.2, pp.318-326, 2003.
- [13] A. Toker, S. Ozoguz, and C. Acar, CDBA-Based Fully Integrated Gyrator Circuit Suitable for Electronically Tunable Inductance Simulation, *AEU Int. J. Electronics and Communications*, Vol.54, No.5, pp.293-296, 2000.
- [14] A. U. Keskin and E. Hancioglu, CDBA-Based Synthetic Floating Inductance Circuits with Electronic Tuning Properties, *ETRI Journal*, Vol.27, No.2, pp.239-242, 2005.
- [15] S. Takagi, Z. Czarnul, T. Iida and N. Fujii, Generalization of MRC Circuits and Its Applications, *IEEE Trans. Circuits Syst. I*, Vol.44, No.9, pp.777-784, 1997.
- [16] M. Bhusan and R.W. Newcomb, Grounding of Capacitors in Integrated Circuits, *Electron. Lett.*, Vol.3, No.4, pp.148-149, 1967.
- [17] M.S. Abougabal, B.B. Battacharyya, and M.N.S. Swamy, An Optimal Design of RC Active Filters Using Grounded Capacitors, *Int. J. Circuit Theory and Applications*, Vol.6, pp.31-40, 1978.
- [18] A. Fabre, O. Saaid, F. Wiest and C. Boucheron, High Frequency Applications Based on a New Current Controlled Conveyor, *IEEE Trans. Circuits Syst. I*, Vol.43, No.2, pp.82-91, 1996.
- [19] W. Surakampontrorn, V. Riewruja, K. Kumwatchara and C. Fongsamut, Temperature Compensation of Translinear Current Conveyor and OTA, *Electron. Lett.*, Vol.34, pp.707-709, 1998.
- [20] D.R. Frey, Log-domain filter : an approach to current-mode filtering, *IEEE Proceedings*, Pt. G., Vol.140, pp.406-416, 1993.

โครงการสัมมนาวิชาการ

เรื่อง การวิจัยและพัฒนางจรรวมสำหรับการประมวลผลสัญญาณ

1. ชื่อโครงการ การสัมมนาวิชาการ เรื่อง “การวิจัยและพัฒนางจรรวมสำหรับการประมวลผลสัญญาณ”
2. หลักการและเหตุผล

จากการที่ ศาสตราจารย์ ดร.วัลลภ สุระกำพลธร สังกัดภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (สจล.) ได้รับทุนส่งเสริมกลุ่มวิจัย (เมธีวิจัยอาวุโส) ตามโครงการวิจัยเรื่อง “การวิจัยจรรวมสำหรับการประมวลผลสัญญาณ” จากสำนักงานกองทุนสนับสนุนการวิจัย (สกว.) เป็นเวลา 3 ปี คือ ในระหว่างช่วงเวลาวันที่ 15 สิงหาคม 2546 ถึงวันที่ 14 สิงหาคม 2549 เป็นจำนวนเงินประมาณ 7,500,000 บาท (เจ็ดล้านห้าแสนบาทถ้วน) โดยมีเป้าหมายหลักเพื่อจะผลิตนักวิจัย/นักศึกษาที่มีคุณภาพ โดยสถานที่วิจัยหลักคือ ห้องปฏิบัติการวิจัยระบบประมวลผลสัญญาณผสม (Mixed signal Processing Research Laboratory) ซึ่งอยู่ที่ ตึก B คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ห้องปฏิบัติการ การวิจัยระบบประมวลผลสัญญาณผสม ประกอบด้วยนักวิจัยหลายระดับ คือ นักวิจัย นักวิจัยผู้ช่วย นักศึกษาระดับปริญญาเอก นักศึกษาปริญญาเอกกาญจนาภิเษก (คปก.) นักศึกษาระดับปริญญาโท นักศึกษาระดับปริญญาตรี และมีหัวข้อการวิจัยที่แตกต่างและหลากหลาย เนื่องด้วยเวลาดำเนินการโครงการวิจัยจำกัด จำเป็นต้องเร่งรัดให้งานวิจัยประสบความสำเร็จอย่างมีประสิทธิภาพในเวลาที่กำหนด เพื่อให้งานวิจัยในห้องปฏิบัติการเป็นไปในแนวทางเดียวกัน และเพื่อเปิดโอกาสให้นักวิจัย/นักศึกษา ได้แลกเปลี่ยนความรู้ ความคิดเห็น ประสพการณ์ การซักถาม และการเสนอแนะต่างๆ ในการนี้ทางคณะผู้วิจัยจึงได้จัดให้มีการสัมมนาทางวิชาการขึ้นทุกวันอังคาร ในระหว่างเวลา 13.00 น. ถึง 17.00 น. โดยนอกจากเป็นการเสนอผลงานทางวิชาการของบุคลากรในห้องปฏิบัติการแล้ว ยังได้เชิญผู้ทรงคุณวุฒิในสาขาวิชามาบรรยาย เพื่อให้นักวิจัยได้มีความรู้เพิ่มเติมเกี่ยวกับงานวิจัยใหม่ และเรียนรู้ประสบการณ์วิจัยจากผู้ทรงคุณวุฒิด้วย

3. วัตถุประสงค์
 1. เพื่อให้ทราบถึงความก้าวหน้าของผลงานวิจัยในส่วนต่างๆ ของโครงการ
 2. เพื่อให้นักวิจัย/นักศึกษา ได้มีโอกาสนำเสนอผลงานวิจัย
 3. เพื่อเปิดโอกาสให้นักวิจัย/นักศึกษา ได้มีการแลกเปลี่ยนความรู้ ความคิดเห็น ประสพการณ์ และเกิดเครือข่ายการวิจัยมากยิ่งขึ้น
 4. เพื่อให้นักวิจัยได้เรียนรู้ถึงแนวโน้มของ การวิจัยและพัฒนางจรรวม ใหม่ๆ

4. การดำเนินการ

13.00 – 13.15 น. ลงทะเบียน

13.15 – 13.30 น. เปิดสัมมนาโดย ศ.ดร.วัลลภ สุระคำพลธร หัวหน้าโครงการ

13.30 – 15.00 น. ผู้ทรงคุณวุฒิ/นักวิจัย/นักศึกษา นำเสนองานวิจัย (ตามตารางแนบ)

15.00 – 15.30 น. พักทานอาหารว่าง

15.30 – 16.30 น. ชักถาม แลกเปลี่ยนความคิดเห็น

16.30 – 17.00 น. สรุป/ปิดการสัมมนาโดยหัวหน้าโครงการ

5. ผู้เข้าร่วมสัมมนา

หัวหน้าโครงการ	1 คน
นักวิจัย	3 คน
ผู้ช่วยนักวิจัย	1 คน
นักศึกษาระดับปริญญาเอก	5 คน
นักศึกษาระดับปริญญาโท	5 คน
เจ้าหน้าที่ประสานงาน/ดำเนินการ	1 คน
ผู้ร่วมสัมมนาอื่นๆ ที่สนใจ	10 คน

6. ระยะเวลา

เดือนกันยายน - ธันวาคม 2548

7. สถานที่

ห้องปฏิบัติการ Mixed Signal Processing ตึก B ชั้น 4 ห้อง 402 คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

8. แหล่งเงิน

ทุนส่งเสริมกลุ่มวิจัย (เมธีวิจัยอาวุโส) สำนักงานกองทุนสนับสนุนการวิจัย (สกว.)

9. งบประมาณ

จากหมวดค่าใช้สอย (สัมมนา) โครงการ : การวิจัยวงจรรวมสำหรับการประมวลผลสัญญาณ

- ค่าตอบแทนผู้ทรงคุณวุฒิ

- ค่าวัสดุ / อุปกรณ์ / เอกสารคู่มือ

- ค่าอาหารว่างพร้อมเครื่องดื่ม

- ค่าอาหารกลางวัน

10. ผู้ดำเนินการ

10.1 ที่ปรึกษา

1. ศ.ดร.วัลลภ สุระกำพลธร

หัวหน้าโครงการ

2. รศ.ดร.วรพงศ์ ตั้งศรีรัตน์

หัวหน้าห้องปฏิบัติการ MVLSI

10.2 ประธานงาน/ดำเนินการ

1. น.ส.ศุภนุช อุ๋นอบ

11. หน่วยงานที่รับผิดชอบ

โครงการ : การวิจัยวงจรรวมสำหรับการประมวลผลสัญญาณ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

12. ผลที่คาดว่าจะได้รับ

1. ได้ทราบถึงความก้าวหน้าของผลการวิจัยในส่วนต่างๆ
2. นักวิจัย/นักศึกษาได้มีโอกาสนำเสนอผลงานวิจัย
3. นักวิจัย/นักศึกษามีโอกาสแลกเปลี่ยนความรู้ ความคิดเห็น ประสบการณ์ และเกิดเครือข่ายการวิจัยมากขึ้น
4. นักวิจัยได้เรียนรู้ถึงแนวโน้มการวิจัยและพัฒนาวงจรรวมใหม่ๆ

ประวัติส่วนตัว

ศาสตราจารย์ ดร.วัลลภ สุระกำพลธร

- ชื่อ-นามสกุล (ภาษาไทย) นายวัลลภ สุระกำพลธร
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Wanlop Surakamponporn
- เพศ ชาย สถานะทางการสมรส สมรส
- วัน เดือน ปีเกิด 8 กุมภาพันธ์ 2497
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) ศาสตราจารย์ ระดับ 11
- ที่อยู่ (ที่ทำงาน) ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10520
โทรศัพท์ 0-2326-4224 โทรสาร 0-2739-2398
E-mail kswanlop@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 1614/82 เคหะชุมชนสมุทรปราการ
ตำบลท้ายบ้าน อำเภอเมือง
จังหวัด สมุทรปราการ รหัสไปรษณีย์ 10280
โทรศัพท์ 0-2395-4408 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ.(โทรคมนาคม) ปีที่จบ พ.ศ.2518
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วศ.ม.(ไฟฟ้า) ปีที่จบ พ.ศ.2521
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา Ph.D.(Electronics) ปีที่จบ พ.ศ.2527
สถาบัน/มหาวิทยาลัย University of Kent at Canterbury, Kent, England.
- รางวัล/ทุนที่เคยได้รับ รางวัลนักวิจัยดีเด่นแห่งชาติ ปี 2541 สาขาวิศวกรรมศาสตร์และอุตสาหกรรมวิจัย
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(ศาสตราจารย์ ดร.วัลลภ สุระกำพลธร)

ประวัติส่วนตัว

รองศาสตราจารย์ ดร.เกียรติศักดิ์ คมวัชระ

- ชื่อ-นามสกุล (ภาษาไทย) นายเกียรติศักดิ์ คมวัชระ
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Kiattisak Kumwachara
- เพศ ชาย สถานะทางการสมรส สมรส
- วัน เดือน ปีเกิด 5 มกราคม 2508
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) รองศาสตราจารย์
- ที่อยู่ (ทำงาน) ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10520
โทรศัพท์ 0-2326-9989 โทรสาร 0-2326-9989
E-mail kiatti@mvlsi.eng.kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 622 ถนนศรีจันทร์
อ.เมือง
จังหวัด ขอนแก่น รหัสไปรษณีย์ 40000
โทรศัพท์ - โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วท.บ.(ฟิสิกส์ประยุกต์) ปีที่จบ พ.ศ.2530
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วศ.ม.(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2534
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา วศ.ด.(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2540
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(รองศาสตราจารย์ ดร.เกียรติศักดิ์ คมวัชระ)

ประวัติส่วนตัว

ผู้ช่วยศาสตราจารย์ ดร.วรพงศ์ ตั้งศรีรัตน์

- ชื่อ-นามสกุล (ภาษาไทย) นายวรพงศ์ ตั้งศรีรัตน์
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Worapong Tangsirat
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 7 ตุลาคม 2511
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) ผู้ช่วยศาสตราจารย์ ระดับ 6
- ที่อยู่ (ทำงาน) ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนฉลองกรุง เขตลาดกระบัง
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10520
โทรศัพท์ 0-2326-9989 โทรสาร 0-2326-9989
E-mail ktworapo@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 1169/13 ซอยประชาราษฎร์ 39
ถนนกรุงเทพ-นนทบุรี เขตบางซื่อ
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10800
โทรศัพท์ - โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา อส.บ.(อิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2534
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วศ.ม.(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2540
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา วศ.ด.(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2546
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(ผู้ช่วยศาสตราจารย์ ดร.วรพงศ์ ตั้งศรีรัตน์)

ประวัติส่วนตัว

ผู้ช่วยศาสตราจารย์ ดร.อภิศักดิ์ วรพิเชฐ

- ชื่อ-นามสกุล (ภาษาไทย) นายอภิศักดิ์ วรพิเชฐ
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr. APISAK WORAPISHET
- เพศ ชาย สถานะทางการสมรส สมรส
- วัน เดือน ปีเกิด 10 สิงหาคม 2514
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) ผู้ช่วยศาสตราจารย์
- ที่อยู่ (ที่ทำงาน) ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
ถนนเชื่อมสัมพันธ์ เขตหนองจอก
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10530
โทรศัพท์ โทรสาร
E-mail apisak@mut.ac.th
- ที่อยู่ (ที่บ้าน) 64/71 หมู่บ้านดิเอมมอร์ลด์ โครงการ 4
ปากเกร็ด
จังหวัด นนทบุรี รหัสไปรษณีย์ 11120
โทรศัพท์ 02-988-3666 โทรสาร 02-988-4040
- ประวัติการศึกษา
 - ปริญญาตรีสาขา อิเล็กทรอนิกส์ (วศ.บ.) ปีที่จบ พ.ศ. 2534
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา ออกแบบวงจรรวม ปีที่จบ พ.ศ. 2538
สถาบัน/มหาวิทยาลัย University of New South Wales, Sydney, Australia
 - ปริญญาเอกสาขา ออกแบบวงจรรวม ปีที่จบ พ.ศ. 2543
สถาบัน/มหาวิทยาลัย Imperial College of Science, Technology and Medicine, London, England
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 16 กุมภาพันธ์ 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(ผู้ช่วยศาสตราจารย์ ดร.อภิศักดิ์ วรพิเชฐ)

ประวัติส่วนตัว

ผศ.ดร.คงศักดิ์ อนันทหิรัญรัตน์

- ชื่อ-นามสกุล (ภาษาไทย) _____ นายคงศักดิ์ อนันทหิรัญรัตน์
ชื่อ-นามสกุล (ภาษาอังกฤษ) _____ Mr.Kongsak Anuntahirunrat
- เพศ _____ ชาย _____ สถานะทางการสมรส _____ สมรส
- วัน เดือน ปีเกิด _____ 29 ตุลาคม 2503
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) _____ ผศ.
- ที่อยู่ (ทำงาน) _____ ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์
_____ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
_____ ถนนฉลองกรุง เขตลาดกระบัง
จังหวัด _____ กรุงเทพฯ _____ รหัสไปรษณีย์ _____ 10520
โทรศัพท์ _____ 0-2326-4221 _____ โทรสาร _____ 0-2326-4221
E-mail _____ kakongsa@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) _____ 112/30 หมู่ที่ 3 หมู่บ้านสินธร-อ่อนนุช
_____ แขวงลาดกระบัง เขตลาดกระบัง
จังหวัด _____ กรุงเทพฯ _____ รหัสไปรษณีย์ _____ 10520
โทรศัพท์ _____ 0-2326-8740 _____ โทรสาร _____ -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา _____ อส.บ.(เทคโนโลยีอิเล็กทรอนิกส์) _____ ปีที่จบ _____ พ.ศ.2530
สถาบัน/มหาวิทยาลัย _____ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา _____ วศ.ม.(วิศวกรรมไฟฟ้า) _____ ปีที่จบ _____ พ.ศ.2536
สถาบัน/มหาวิทยาลัย _____ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา _____ วศ.ด. (วิศวกรรมไฟฟ้า) _____ ปีที่จบ _____ พ.ศ.2544
สถาบัน/มหาวิทยาลัย _____ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- รางวัล/ทุนที่เคยได้รับ _____ -
- เริ่มปฏิบัติงานเมื่อ _____ 16 ตุลาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(ผศ.ดร.คงศักดิ์ อนันทหิรัญรัตน์)

ประวัติส่วนตัว

อ.ชัยวัฒน์ จงกุลสถิตชัย

- ชื่อ-นามสกุล (ภาษาไทย) นายชัยวัฒน์ จงกุลสถิตชัย
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Chaiwat Jongkunstidchai
- เพศ ชาย สถานะทางการสมรส สมรส
- วัน เดือน ปีเกิด 11 สิงหาคม 2502
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) อาจารย์ 2 ระดับ 7
- ที่อยู่ (ทำงาน) คณะวิชาไฟฟ้า
มหาวิทยาลัยเทคโนโลยีราชมงคลธัญบุรี วิทยาเขตศาลายา
96 หมู่ที่ 3 ตำบลศาลายา อำเภอพุทธมณฑล
จังหวัด นครปฐม รหัสไปรษณีย์ 73170
โทรศัพท์ 02-8894585 - 7 ต่อ โทรสาร 02-8895014
E-mail
- ที่อยู่ (ที่บ้าน) 631 ซอยจรัญสนิทวงศ์ 89
แขวงบางอ้อ เขตบางพลัด
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10700
โทรศัพท์ 0-2435-8769 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา อส.บ. (ไฟฟ้าสื่อสาร) ปีที่จบ พ.ศ.2526
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วศ.ม. (วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2542
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 16 กุมภาพันธ์ 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(อ.ชัยวัฒน์ จงกุลสถิตชัย)

ประวัติส่วนตัว

อาจารย์ บุญชัย บุญชู

- ชื่อ-นามสกุล (ภาษาไทย) _____ นายบุญชัย บุญชู
ชื่อ-นามสกุล (ภาษาอังกฤษ) _____ Mr.Boonchai Boonchu
- เพศ _____ ชาย _____ สถานะทางการสมรส _____ โสด
- วัน เดือน ปีเกิด _____ 16 กรกฎาคม 2512
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) _____ อาจารย์
- ที่อยู่ (ที่ทำงาน) _____ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
_____ มหาวิทยาลัยเทคโนโลยีมหานคร
_____ ถนนเชื่อมสัมพันธ์ เขตหนองจอก
จังหวัด _____ กรุงเทพมหานคร _____ รหัสไปรษณีย์ _____ 10530
โทรศัพท์ _____ 0-2988-3655 , 0-2988-3666 _____ โทรสาร _____ 0-2988-3655
E-mail _____ s4610008@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) _____ 75/50 หมู่บ้านศุภาลัย เลค 4 ถนนคู้มเกล้า
_____ แขวงแสนแสบ เขตมีนบุรี
จังหวัด _____ กรุงเทพฯ _____ รหัสไปรษณีย์ _____ 10510
โทรศัพท์ _____ 0-2914-9996 _____ โทรสาร _____ -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา _____ อส.บ. (อิเล็กทรอนิกส์) _____ ปีที่จบ _____ พ.ศ.2536
สถาบัน/มหาวิทยาลัย _____ มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาโทสาขา _____ วศ.ม. (วิศวกรรมไฟฟ้า) _____ ปีที่จบ _____ พ.ศ.2543
สถาบัน/มหาวิทยาลัย _____ มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาเอกสาขา _____ - _____ ปีที่จบ _____ -
สถาบัน/มหาวิทยาลัย _____ -
- รางวัล/ทุนที่เคยได้รับ _____ -
- เริ่มปฏิบัติงานเมื่อ _____ 16 ตุลาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(อาจารย์บุญชัย บุญชู)

ประวัติส่วนตัว

นายอมร จิรเสรีอมรกุล

- ชื่อ-นามสกุล (ภาษาไทย) นายอมร จิรเสรีอมรกุล
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Amorn Jiraseree-amornkun
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 6 ตุลาคม 2520
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาเอก
- ที่อยู่ (ปัจจุบัน) 164/5 หมู่ที่ 3 หอพักสุรนารี ห้อง 203
ซอยเก็กงาม 2
เขตลาดกระบัง
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10520
โทรศัพท์ 02-3269397 โทรสาร -
E-mail amorn@ieee.org
- ที่อยู่ (ที่บ้าน) 20/48 ถนนแม่หลวน
ตำบลตลาดเหนือ อำเภอเมือง
จังหวัด ภูเก็ต รหัสไปรษณีย์ 83000
โทรศัพท์ (076)234124 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ.(อิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2540
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วศ.ม.(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2543
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 1 มิถุนายน 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นายอมร จิรเสรีอมรกุล)

ประวัติส่วนตัว

นายเฉลิมภักดิ์ ฟองสมุทร

- ชื่อ-นามสกุล (ภาษาไทย) นายเฉลิมภักดิ์ ฟองสมุทร
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Chalermpan Fongsamut
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 13 พฤษภาคม 2515
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาเอก
- ที่อยู่ (ปัจจุบัน) 90 หมู่ที่ 1 ตำบลบางทราย
อำเภอเมือง
จังหวัด ชลบุรี รหัสไปรษณีย์ 20000
โทรศัพท์ (038) 284916 , 01-9883351 โทรสาร -
E-mail chalerm@mvlsi.eng.kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 90 หมู่ที่ 1 ตำบลบางทราย
อำเภอเมือง
จังหวัด ชลบุรี รหัสไปรษณีย์ 20000
โทรศัพท์ (038) 284916 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วิศวกรรม(อิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2539
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วิศวกรรม(วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2542
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นายเฉลิมภักดิ์ ฟองสมุทร)

ประวัติส่วนตัว

นางสาวขนิษฐา แก้วแดง

- ชื่อ-นามสกุล (ภาษาไทย) นางสาวขนิษฐา แก้วแดง
ชื่อ-นามสกุล (ภาษาอังกฤษ) Miss.Khanittha Kaewdang
- เพศ หญิง สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 30 กรกฎาคม 2519
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาเอก
- ที่อยู่ (ปัจจุบัน) 33/193 ซอยโชคชัย 4
ถนนลาดพร้าว เขตลาดพร้าว
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10230
โทรศัพท์ 0-2931-5664 , 01-4022886 โทรสาร -
E-mail s5160306@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 1299/17 ถนนราชการรถไฟ
ตำบลเมืองเหนือ อำเภอเมือง
จังหวัด ศรีสะเกษ รหัสไปรษณีย์ 33000
โทรศัพท์ (045)611338 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ. (วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2542
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยอุบลราชธานี
 - ปริญญาโทสาขา วศ.ม. (วิศวกรรมอิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2545
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นางสาวขนิษฐา แก้วแดง)

ประวัติส่วนตัว

นางสาวเกษสุดา กล้าหาญ

- ชื่อ-นามสกุล (ภาษาไทย) นางสาวเกษสุดา กล้าหาญ
ชื่อ-นามสกุล (ภาษาอังกฤษ) Miss.Katesuda Klahan
- เพศ หญิง สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 3 พฤษภาคม 2520
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาเอก
- ที่อยู่ (ปัจจุบัน) 13/38 หมู่ 3 หอพักกมล (ห้อง 2116)
ซอยเก็กงาม 2 แขวงลาดกระบัง
เขตลาดกระบัง
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10520
โทรศัพท์ 09-4446168 โทรสาร -
E-mail s5160307@kmitl.ac.th , kkatesuda@hotmail.com
- ที่อยู่ (ที่บ้าน) 324 ถนนบูรพาไน
ตำบลในเมือง อำเภอเมือง
จังหวัด อุบลราชธานี รหัสไปรษณีย์ 34000
โทรศัพท์ (045)264304 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ. (วิศวกรรมไฟฟ้า) ปีที่จบ พ.ศ.2542
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยอุบลราชธานี
 - ปริญญาโทสาขา วศ.ม. (วิศวกรรมอิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2545
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นางสาวเกษสุดา กล้าหาญ)

ประวัติส่วนตัว

นายมนูญ สันตะคุปต์

- ชื่อ-นามสกุล (ภาษาไทย) นายมนูญ สันตะคุปต์
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Manoon Santawakooop
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 28 พฤษภาคม 2522
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาโท
- ที่อยู่ (ปัจจุบัน) 1/8-9 ซอย 2 โรงเรียนเทศบาล 4
ถนนจ๊กกะพาก ตำบลปากน้ำ
อำเภอเมือง
จังหวัด สมุทรปราการ รหัสไปรษณีย์ 10280
โทรศัพท์ 0-2387-1710 , 06-9777039 โทรสาร -
E-mail jia_friendly@yahoo.com
- ที่อยู่ (ที่บ้าน) 1/8-9 ซอย 2 โรงเรียนเทศบาล 4
ถนนจ๊กกะพาก ตำบลปากน้ำ
อำเภอเมือง
จังหวัด สมุทรปราการ รหัสไปรษณีย์ 10280
โทรศัพท์ 0-2387-1710 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ.(วิศวกรรมอิเล็กทรอนิกส์) ปีที่จบ พ.ศ.2544
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นายมนูญ สันตะคุปต์)

ประวัติส่วนตัว

นางสาวภัทรา เพียรชอบ

- ชื่อ-นามสกุล (ภาษาไทย) _____ นางสาวภัทรา เพียรชอบ
ชื่อ-นามสกุล (ภาษาอังกฤษ) _____ Miss.Patra Pienchob
- เพศ _____ หญิง _____ สถานะทางการสมรส _____ โสด
- วัน เดือน ปีเกิด _____ 30 กรกฎาคม 2523
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) _____ นักศึกษาระดับปริญญาโท
- ที่อยู่ (ปัจจุบัน) _____ 65/4 หมู่ที่ 14 ตำบลตะพง
_____ อำเภอเมืองระยอง
จังหวัด _____ ระยอง รหัสไปรษณีย์ _____ 21000
โทรศัพท์ _____ 09-2519492 , 01-5562523 โทรสาร _____ -
E-mail _____ pat_rapi@yahoo.com
- ที่อยู่ (ที่บ้าน) _____ 65/4 หมู่ที่ 14 ตำบลตะพง
_____ อำเภอเมืองระยอง
จังหวัด _____ ระยอง รหัสไปรษณีย์ _____ 21000
โทรศัพท์ _____ 09-2519492 , 01-5562523 โทรสาร _____ -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา _____ วท.บ.(วิทยาศาสตร์ฟิสิกส์ประยุกต์) ปีที่จบ _____ 2544
สถาบัน/มหาวิทยาลัย _____ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา _____ - ปีที่จบ _____ -
สถาบัน/มหาวิทยาลัย _____ -
 - ปริญญาเอกสาขา _____ - ปีที่จบ _____ -
สถาบัน/มหาวิทยาลัย _____ -
- รางวัล/ทุนที่เคยได้รับ _____ -
- เริ่มปฏิบัติงานเมื่อ _____ 15 สิงหาคม 2546

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นางสาวภัทรา เพียรชอบ)

ประวัติส่วนตัว

นายธนวัฒน์ ปิยะทัต

- ชื่อ-นามสกุล (ภาษาไทย) นายธนวัฒน์ ปิยะทัต
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.Tanawat Piyathat
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 13 กันยายน 2525
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาโท
- ที่อยู่ (ปัจจุบัน) 113/1 ซอยเก็กงาม 1
ถนนฉลองกรุง
เขตลาดกระบัง
จังหวัด กรุงเทพมหานคร รหัสไปรษณีย์ 10520
โทรศัพท์ 01-6841194 โทรสาร -
E-mail s7060503@kmitl.ac.th
- ที่อยู่ (ที่บ้าน) 138/6 หมู่ที่ 2
ตำบลชะมาย
อำเภอทุ่งสง
จังหวัด นครศรีธรรมราช รหัสไปรษณีย์ 80110
โทรศัพท์ (075)411854 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา อ.บ. (เทคโนโลยีไฟฟ้าอุตสาหกรรม) ปีที่จบ 2546
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
 - ปริญญาโทสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 16 กุมภาพันธ์ 2547

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นายธนวัฒน์ ปิยะทัต)

ประวัติส่วนตัว

อาจารย์ทัตยา ปุคคะนันท์

- ชื่อ-นามสกุล (ภาษาไทย) นางสาวทัตยา ปุคคะนันท์
ชื่อ-นามสกุล (ภาษาอังกฤษ) MISS TATTAYA PUKKALANUN
- เพศ หญิง สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 23 สิงหาคม 2521
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) อาจารย์
- ที่อยู่ (ทำงาน) ภาควิชาเทคโนโลยีไฟฟ้าอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ
ตำบลเนินหอม อำเภอเมือง
จังหวัด ปราจีนบุรี รหัสไปรษณีย์ 25230
โทรศัพท์ 037-216500 - 4 ต่อ 7100 - 3 โทรสาร 037-215887
E-mail tatteam@hotmail.com
- ที่อยู่ (ที่บ้าน) 78/100 หมู่บ้านชัยพฤกษ์ 2 ถนนคุ้มเกล้า
แขวงแสนแสบ เขตมีนบุรี
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10510
โทรศัพท์ - โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วิศวกรรมระบบควบคุม (เกียรตินิยม) ปีที่จบ พ.ศ. 2541
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา วิศวกรรมไฟฟ้า ปีที่จบ พ.ศ. 2546
สถาบัน/มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 - ปริญญาโทสาขา MSC in Advanced Electronic Engineering ปีที่จบ พ.ศ. 2544
สถาบัน/มหาวิทยาลัย University of Warwick , UK
- รางวัล/ทุนที่เคยได้รับ ทุน ก.พ. จากรัฐบาลไทยเพื่อไปศึกษาต่อต่างประเทศ พ.ศ. 2543 - 2544
- เริ่มปฏิบัติงานเมื่อ 16 กุมภาพันธ์ 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(อาจารย์ทัตยา ปุคคะนันท์)

ประวัติส่วนตัว

นายอิทธิพัฒน์ รุปคม

- ชื่อ-นามสกุล (ภาษาไทย) นายอิทธิพัฒน์ รุปคม
ชื่อ-นามสกุล (ภาษาอังกฤษ) Mr.ITTIPAT ROOPKOM
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 7 กันยายน 2519
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) นักศึกษาระดับปริญญาโท
- ที่อยู่ (ที่ปัจจุบัน) 7/2 หมู่ที่ 8 ถนนรามอินทรา
แขวงท่าแร้ง
เขตบางเขน
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10230
โทรศัพท์ 09-1466410 โทรสาร -
E-mail
- ที่อยู่ (ตามบัตร) 7/5 หมู่ที่ 8
แขวงท่าแร้ง
เขตบางเขน
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10230
โทรศัพท์ - โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา โทรคอมมคม ปีที่จบ พ.ศ. 2545
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาโทสาขา โทรคอมมคม ปีที่จบ พ.ศ. 2547
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 16 กุมภาพันธ์ 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(นายอิทธิพัฒน์ รุปคม)

ประวัติส่วนตัว

อาจารย์กัณฑ์พงษ์ ศรีสัถิตย์

- ชื่อ-นามสกุล (ภาษาไทย) นายกัณฑ์พงษ์ ศรีสัถิตย์
ชื่อ-นามสกุล (ภาษาอังกฤษ) MR.KUNNTHPHONG SRISATHIT
- เพศ ชาย สถานะทางการสมรส โสด
- วัน เดือน ปีเกิด 6 กรกฎาคม 2516
- สถานะปัจจุบัน (นักศึกษา, อาจารย์, ผศ., รศ., ศ.) อาจารย์
- ที่อยู่ (ที่ทำงาน) ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
ถนนเชื่อมสัมพันธ์ เขตหนองจอก
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10530
โทรศัพท์ 06-7021978 โทรสาร -
E-mail ssrisathitpong@yahoo.co.uk
- ที่อยู่ (ที่บ้าน) 51 หมู่ที่ 6 ซอยสังฆประชา
ถนนฉลองกรุง แขวงลำผักชี
เขตหนองจอก
จังหวัด กรุงเทพฯ รหัสไปรษณีย์ 10530
โทรศัพท์ 02-988-4554 , 06-702-1978 โทรสาร -
- ประวัติการศึกษา
 - ปริญญาตรีสาขา วศ.บ. (วิศวกรรมอิเล็กทรอนิกส์) ปีที่จบ 2539
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาโทสาขา วศ.ม. (วิศวกรรมโทรคมนาคม) ปีที่จบ 2545
สถาบัน/มหาวิทยาลัย มหาวิทยาลัยเทคโนโลยีมหานคร
 - ปริญญาเอกสาขา - ปีที่จบ -
สถาบัน/มหาวิทยาลัย -
- รางวัล/ทุนที่เคยได้รับ -
- เริ่มปฏิบัติงานเมื่อ 20 กันยายน 2548

ขอรับรองว่าข้อมูลข้างต้นเป็นจริงทุกประการ

(อาจารย์กัณฑ์พงษ์ ศรีสัถิตย์)