บทคัดย่อ

รหัสโครงการ: TRG4680032

ชื่อโครงการ: การพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ

ชื่อนักวิจัย:

ผศ.ดร.เผ่าภัค ศิริสุข	หัวหน้าโครงการ	มหาวิทยาลัยเทคโนโลยีมหานคร
รศ.ดร. สุเจตน์ จันทรังษ์	นักวิจัยที่ปรึกษา	มหาวิทยาลัยเทคโนโลยีมหานคร

E-mail Address : phaophak@mut.ac.th

ระยะเวลาโครงการ: 1 กรกฎาคม 2546 – 30 มิถุนายน 2548

โครงการวิจัยนำเสนอการพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ (Direct sequence Code Division Multiple Access) โดยใช้อัลกอริธึมแบบพลังงานเอาต์พุตต่ำสุดอย่างง่าย (Simplified Minimum Output Energy (MOE) Algorithm) ซึ่งพัฒนามาจากอัลกอริธึมพลังงานเอาต์พุตต่ำสุด หรือ MOE ทั้งนี้ เพื่อช่วยลดความซับซ้อนของระบบและยังคงมีสมรรถนะเพียงพอในการใช้งาน โครงสร้างของวงจรรวม แบ่งออกเป็น 2 ส่วน คือ ส่วนแอนะลอกและส่วนดิจิตอล โดยส่วนแอนะลอกเป็นวงจรกรอง FIR (Finite Impulse Response) ที่อาศัยเทคนิคสวิตช์กระแส (Switched Current, SI) แบบคลาสเอบี คาสโคด ซึ่งสามารถทำงานที่ความถี่สูง, มีการสูญเสียกำลังงานต่ำ, พื้นที่ชิปเล็ก และที่สำคัญที่สุดคือสามารถสร้างในกระบวนการผลิตแบบดิจิตอลพื้นฐานแบบโพลีเดี่ยวซึ่งมีราคาถูกได้ ในส่วนของภาคดิจิตอล มีหน้าที่ในการคำนวณอัลกอริทึมแบบ MOE เพื่อทำหน้าที่ปรับแต่งค่าสัมประสิทธิ์ของวงจรกรอง SI

ในช่วงแรก รายงานนี้กล่าวถึงการพัฒนาอัลกอริธึมแบบ MOE อย่างง่าย จากนั้น ได้นำเสนอการพัฒนาโครงสร้างวงจรกรอง FIR ที่เหมาะสมสำหรับการสร้างจริงด้วยเทคนิคสวิตช์กระแส ซึ่งสามารถรวมเอากระบวนการชักตัวอย่างและคงค่า (Sample-and-Hold Circuit หรือ Memory) กับกระบวนการคูณ อันเป็นการคำนวณมูลฐานของดีเทกเตอร์ผู้ใช้หลายราย เข้าไว้ในวงจรเดียวกันได้ ส่งผลให้สามารถลดการสูญเสียกำลังงานลงได้ครึ่งหนึ่ง วงจรกรอง SI-FIR ที่ได้พัฒนาขึ้นเป็นวงจรแบบคลาสเอบีชนิดคาสโคด ซึ่งเทคนิคการคาสโคดสามารถลดเอาต์พุตคอนดักแตนซ์ได้ และการทำงานในคลาสเอบี จะช่วยลดค่าความผิดพลาดในหน่วยความจำแบบสวิตช์กระแสและลดการสูญเสียกำลังงานในขณะไม่มีอินพุตได้

ผลการวิจัยที่ได้จากการจำลองในระดับระบบ แสดงว่าค่าอัตราความผิดพลาดของบิต (Bit Error Rate หรือ BER) ของอัลกอริธึมแบบพลังงานต่ำสุดอย่างง่ายสูงขึ้นเล็กน้อย เมื่อเปรียบเทียบกับอัลกอริธึมพลังงานต่ำสุดแบบเดิม หากแต่ความซับซ้อนในการคำนวณของอัลกอริธึมอย่างง่ายมีค่าน้อยกว่าอัลกอริธึมแบบเดิมมาก ซึ่งส่งผลให้สามารถลดความซับซ้อนของ สถาปัตยกรรม VLSI ได้อย่างเด่นชัด

ในส่วนผลการวิจัยด้านวงจรนั้น รายงานฉบับนี้ได้ทดสอบประสิทธิภาพการทำงานของวงจรชักตัวอย่างและคงค่าแบบ SI คลาสเอบีชนิดคาสโคดที่รวมเอาตัวคูณไว้ด้วยกัน วงจรแปลงกระแสเป็นแรงดัน รวมทั้งวงจรเปรียบเทียบ ซึ่งเป็นวงจรย่อยหลัก ๆ ที่ใช้ในดีเทกเตอร์ที่นำเสนอ ผ่านการจำลองในระดับทรานซิสเตอร์ ท้ายสุด ประสิทธิภาพของเทคนิคที่พัฒนาทั้งหมด ถูกนำเสนอผ่านวงจรดีเทกเตอร์แบบ MOE 8 แท็ป ที่อัตราการข้อมูล 3.84 เมกกะเฮิร์ช ที่ได้ออกแบบและจำลองการทำงาน ในเทคโนโลยี CMOS 0.35 ไมครอน ผลการวิจัยที่จากโครงการวิจัยนี้ได้รับการตีพิมพ์ทั้งในการประชุมระดับนานาชาติและวารสารวิชาการระดับนานาชาติ

คำหลัก: สถาปัตยกรรม VLSI, ระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ, อัลกอริธึมแบบพลังงานต่ำสุด

Abstract

Project Code : TRG4680032

Project Title : Design of an efficient VLSI architecture for blind multiuser detection in a DS-CDMA system

Investigators :

Asst. Prof. Dr. Phaophak Sirisuk	Head of Project	Mahanakorn U. of Technology
Assoc. Prof. Dr. Sujate Jantanrang	Mentor	Mahanakorn U. of Technology

E-mail Address : phaophak@mut.ac.th

Project Period : 1 July 2003– 30 June 2005

This research project presents the design and development of an efficient VLSI architecture for Multi-User Detection (MUD) for a Direct Sequence Code Division Multiple Access (DS-CDMA) system using a simplified Minimum Output Energy (MOE) algorithm, which is a modification of the original MOE. The simplified algorithm possess lower computational burden while achieves comparable performance as compared with the original MOE. The proposed architecture consists two parts, namely analog and digital circuitry. An analog Finite Impulse Response (FIR) filter is realized using a cascoded class AB Switched-Current (SI) technique, which can operate at high frequency, consumes low power, requires small chip area and most importantly can be implemented by a digital single poly process. The digital circuit is responsible for MOE algorithm governing coefficients adjustment for SI filter.

The first part of this report addresses the development of the simplified MOE algorithm. Then, the report presents an FIR structure suitable for SI implementation and for integration of sample-and-hold or memory cell with a multiplier, which is a fundamental operation of MUD. Integration of two circuits leads us to reduction of power consumption by two fold. The proposed SI-FIR filter relies upon cascoded class AB technique that can reduce the output conductance. Besides, class AB operation reduces an error in SI-memory cell and power consumption when there is no input.

System simulations reveal that a Bit Error Rate (BER) of the simplified MOE slightly increases as compared to the original counterpart. However, the computational burden of the novel algorithm is significantly reduced resulting in the efficient VLSI architecture.
For circuit performance, the report investigate the operation of the cascoded class AB SI-sample-and hold circuit with built-in multiplier, current to voltage converter and comparator, which are key components of the proposed detector. Performance of the circuits is examined via transistor-level simulations. Finally, overall performance of the proposed technique is demonstrated through 8-tap MOE detector operating at 3.84MHz, which is designed and simulated using 0.35 micron CMOS technology. Part of this research project is published in peer-reviewed international journals and conferences.

Keywords: VLSI architecture, Direct sequence code division multiple access system, Minimum output energy algorithm