รายงานวิจัยฉบับสมบูรณ์

โครงการ การพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูง
สำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์
ซีเควนซ์ซีดีเอ็มเอ

Design of an efficient VLSI architecture for blind multiuser detection in a DS-CDMA system

โดย

เผ่าภัค ศิริสุข

พฤศจิกายน 2549

สัญญาเลขที่ TRG4680032

รายงานวิจัยฉบับสมบูรณ์

โครงการ การพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูง
สำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์
ซีเควนซ์ซีดีเอ็มเอ

Design of an efficient VLSI architecture for blind multiuser detection in a DS-CDMA system

โดย

เผ่าภัค ศิริสุข มหาวิทยาลัยเทคโนโลยีมหานคร

สนับสนุนโดยสำนักงานกองทุนสนับสนุนงานวิจัย
(ความเห็นในรายงานนี้เป็นของผู้วิจัย สกว.ไม่จำเป็นต้องเห็นด้วยเสมอไป)

บทคัดย่อ

รหัสโครงการ: TRG4680032

ชื่อโครงการ: การพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ

ชื่อนักวิจัย:

ผศ.ดร.เผ่าภัค ศิริสุข	หัวหน้าโครงการ	มหาวิทยาลัยเทคโนโลยีมหานคร
รศ.ดร. สุเจตน์ จันทรังษ์	นักวิจัยที่ปรึกษา	มหาวิทยาลัยเทคโนโลยีมหานคร

E-mail Address : phaophak@mut.ac.th

ระยะเวลาโครงการ: 1 กรกฎาคม 2546 – 30 มิถุนายน 2548

โครงการวิจัยนำเสนอการพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ (Direct sequence Code Division Multiple Access) โดยใช้อัลกอริธึมแบบพลังงานเอาต์พุตต่ำสุดอย่างง่าย (Simplified Minimum Output Energy (MOE) Algorithm) ซึ่งพัฒนามาจากอัลกอริธึมพลังงานเอาต์พุตต่ำสุด หรือ MOE ทั้งนี้ เพื่อช่วยลดความซับซ้อนของระบบและยังคงมีสมรรถนะเพียงพอในการใช้งาน โครงสร้างของวงจรรวม แบ่งออกเป็น 2 ส่วน คือ ส่วนแอนะลอกและส่วนดิจิตอล โดยส่วนแอนะลอกเป็นวงจรกรอง FIR (Finite Impulse Response) ที่อาศัยเทคนิคสวิตช์กระแส (Switched Current, SI) แบบคลาสเอบี คาสโคด ซึ่งสามารถทำงานที่ความถี่สูง, มีการสูญเสียกำลังงานต่ำ, พื้นที่ชิปเล็ก และที่สำคัญที่สุดคือสามารถสร้างในกระบวนการผลิตแบบดิจิตอลพื้นฐานแบบโพลีเดี่ยวซึ่งมีราคาถูกได้ ในส่วนของภาคดิจิตอล มีหน้าที่ในการคำนวณอัลกอริทึมแบบ MOE เพื่อทำหน้าที่ปรับแต่งค่าสัมประสิทธิ์ของวงจรกรอง SI

ในช่วงแรก รายงานนี้กล่าวถึงการพัฒนาอัลกอริธึมแบบ MOE อย่างง่าย จากนั้น ได้นำเสนอการพัฒนาโครงสร้างวงจรกรอง FIR ที่เหมาะสมสำหรับการสร้างจริงด้วยเทคนิคสวิตช์กระแส ซึ่งสามารถรวมเอากระบวนการชักตัวอย่างและคงค่า (Sample-and-Hold Circuit หรือ Memory) กับกระบวนการคูณ อันเป็นการคำนวณมูลฐานของดีเทกเตอร์ผู้ใช้หลายราย เข้าไว้ในวงจรเดียวกันได้ ส่งผลให้สามารถลดการสูญเสียกำลังงานลงได้ครึ่งหนึ่ง วงจรกรอง SI-FIR ที่ได้พัฒนาขึ้นเป็นวงจรแบบคลาสเอบีชนิดคาสโคด ซึ่งเทคนิคการคาสโคดสามารถลดเอาต์พุตคอนดักแตนซ์ได้ และการทำงานในคลาสเอบี จะช่วยลดค่าความผิดพลาดในหน่วยความจำแบบสวิตช์กระแสและลดการสูญเสียกำลังงานในขณะไม่มีอินพุตได้

ผลการวิจัยที่ได้จากการจำลองในระดับระบบ แสดงว่าค่าอัตราความผิดพลาดของบิต (Bit Error Rate หรือ BER) ของอัลกอริธึมแบบพลังงานต่ำสุดอย่างง่ายสูงขึ้นเล็กน้อย เมื่อเปรียบเทียบกับอัลกอริธึมพลังงานต่ำสุดแบบเดิม หากแต่ความซับซ้อนในการคำนวณของอัลกอริธึมอย่างง่ายมี

ค่าน้อยกว่าอัลกอริธึมแบบเดิมมาก ซึ่งส่งผลให้สามารถลดความซับซ้อนของ สถาปัตยกรรม VLSI ได้อย่างเด่นชัด

ในส่วนผลการวิจัยด้านวงจรนั้น รายงานฉบับนี้ได้ทดสอบประสิทธิภาพการทำงานของวงจรชักตัวอย่างและคงค่าแบบ SI คลาสเอบีชนิดคาสโคดที่รวมเอาตัวคูณไว้ด้วยกัน วงจรแปลงกระแสเป็นแรงดัน รวมทั้งวงจรเปรียบเทียบ ซึ่งเป็นวงจรย่อยหลัก ๆ ที่ใช้ในดีเทกเตอร์ที่นำเสนอ ผ่านการจำลองในระดับทรานซิสเตอร์ ท้ายสุด ประสิทธิภาพของเทคนิคที่พัฒนาทั้งหมด ถูกนำเสนอผ่านวงจรดีเทกเตอร์แบบ MOE 8 แท็ป ที่อัตราการข้อมูล 3.84 เมกกะเฮิร์ซ ที่ได้ออกแบบและจำลองการทำงาน ในเทคโนโลยี CMOS 0.35 ไมครอน ผลการวิจัยที่จากโครงการวิจัยนี้ได้รับการตีพิมพ์ทั้งในการประชุมระดับนานาชาติและวารสารวิชาการระดับนานาชาติ

คำหลัก: สถาปัตยกรรม VLSI, ระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ, อัลกอริธึมแบบพลังงานต่ำสุด

Abstract

Project Code : TRG4680032

Project Title : Design of an efficient VLSI architecture for blind multiuser detection in a DS-CDMA system

Investigators :

Asst. Prof. Dr. Phaophak Sirisuk	Head of Project	Mahanakorn U. of Technology
Assoc. Prof. Dr. Sujate Jantanrang	Mentor	Mahanakorn U. of Technology

E-mail Address : phaophak@mut.ac.th

Project Period : 1 July 2003– 30 June 2005

This research project presents the design and development of an efficient VLSI architecture for Multi-User Detection (MUD) for a Direct Sequence Code Division Multiple Access (DS-CDMA) system using a simplified Minimum Output Energy (MOE) algorithm, which is a modification of the original MOE. The simplified algorithm possess lower computational burden while achieves comparable performance as compared with the original MOE. The proposed architecture consists two parts, namely analog and digital circuitry. An analog Finite Impulse Response (FIR) filter is realized using a cascoded class AB Switched-Current (SI) technique, which can operate at high frequency, consumes low power, requires small chip area and most importantly can be implemented by a digital single poly process. The digital circuit is responsible for MOE algorithm governing coefficients adjustment for SI filter.

The first part of this report addresses the development of the simplified MOE algorithm. Then, the report presents an FIR structure suitable for SI implementation and for integration of sample-and-hold or memory cell with a multiplier, which is a fundamental operation of MUD. Integration of two circuits leads us to reduction of power consumption by two fold. The proposed SI-FIR filter relies upon cascoded class AB technique that can reduce the output conductance. Besides, class AB operation reduces an error in SI-memory cell and power consumption when there is no input.

System simulations reveal that a Bit Error Rate (BER) of the simplified MOE slightly increases as compared to the original counterpart. However, the computational burden of the novel algorithm is significantly reduced resulting in the efficient VLSI architecture. For circuit performance, the report investigate the operation of the cascoded class AB SI-sample-and hold circuit with built-in multiplier, current to voltage converter and comparator, which are key components of the proposed detector. Performance of the

circuits is examined via transistor-level simulations. Finally, overall performance of the proposed technique is demonstrated through 8-tap MOE detector operating at 3.84MHz, which is designed and simulated using 0.35 micron CMOS technology. Part of this research project is published in peer-reviewed international journals and conferences.

Keywords: VLSI architecture, Direct sequence code division multiple access system, Minimum output energy algorithm

กิติกรรมประกาศ

โครงการวิจัยนี้บรรลุผลสำเร็จได้ด้วย การสนับสนุนด้านงบประมาณจากสำนักงานกองทุนสนับสนุนการวิจัย (สกว) ซึ่งเป็นหน่วยงานหลักในการสนับสนุนการวิจัยต่าง ๆ ให้เกิดขึ้นภายในประเทศ ผู้วิจัยขอขอบคุณ มหาวิทยาลัยเทคโนโลยีมหานคร สำหรับการสนับสนุนด้านเครื่องมือในการทำงาน และ ศูนย์วิจัยดาวเทียมไทพัฒ สำหรับการสนับสนุนด้านเวลาและความมีอิสระอย่างเต็มที่ในการทำวิจัย

ขอขอบคุณ รองศาสตราจารย์ ดร.สุเจตน์ จันทรังษ์ ผู้ให้คำแนะนำในการทำวิจัย และ กำลังใจในหลาย ๆ เรื่องตลอดระยะเวลาที่ผ่านมา ขอขอบคุณ รองศาสตราจารย์ ดร.อภิศักดิ์ วรพิเชฐ เพื่อนนักวิจัย ที่มีความเป็นเลิศด้านการวิจัย ที่ให้คำปรึกษา และข้อคิดในทุก ๆ เรื่อง และ คุณสายฝน ถาน้อย และ อาจารย์ สมภพ จรรยาวิลาศ มหาบัณฑิตที่ร่วมวิจัยในช่วงเวลาของการทำโครงการวิจัยนี้

สุดท้ายกราบขอบพระคุณคุณพ่อและคุณแม่ผู้ให้โอกาสทุก ๆ สิ่งในชีวิต และขอบคุณอาจารย์กิติอร ศิริสุข และ ด.ญ.พิมพ์ภัค ศิริสุขสำหรับกำลังใจและความเข้าใจตลอดมา

เผ่าภัค ศิริสุข
หัวหน้าโครงการ

โครงการ การพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูง
สำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์
ซีเควนซ์ซีดีเอ็มเอ

Design of an efficient VLSI architecture for blind multiuser detection in a DS-CDMA system

---

1. บทนำ

ในปัจจุบันนี้ ระบบสื่อสารไร้สาย (Wireless communication) ได้เข้ามามีบทบาทอย่างสูงในชีวิตประจำวันของมนุษย์ โดยเฉพาะอย่างยิ่ง การติดต่อสื่อสารผ่านเครือข่ายโทรศัพท์เคลื่อนที่ (Mobile phone) ที่ได้แทรกตัวเข้าสู่สังคมผู้ใช้อย่างต่อเนื่อง ทั้งนี้เนื่องจากความสะดวกสบายในการพกพา ความสามารถใช้งานได้ทันทีที่มีความจำเป็น นับแต่ถูกเริ่มนำมาใช้ในเชิงพาณิชย์ ระบบโทรศัพท์เคลื่อนที่ได้รับการพัฒนามาอยู่ตลอดเวลา จากโทรศัพท์เคลื่อนที่ระบบแอนะลอกในอดีต สู่ระบบดิจิตอลในปัจจุบัน เช่นระบบ GSM หรือ IS-95 เป็นต้น โดยทั่วไปแล้ว ระบบเหล่านี้จะถูกอ้างถึงโดยรวมว่าระบบโทรศัพท์เคลื่อนที่รุ่นที่สอง (Second Generation หรือ 2G) แม้ว่าจะมีการพัฒนามาอย่างต่อเนื่อง หากแต่ระบบโทรศัพท์เคลื่อนที่รุ่นที่สองที่มีใช้กันอย่างแพร่หลายในปัจจุบัน ก็ยังมิสามารถตอบสนองความต้องการของผู้ใช้ได้อย่างสมบูรณ์ กล่าวคือ ระบบเหล่านี้ยังสามารถให้บริการที่จำกัด เช่น ช่องสัญญาณเสียง โทรสาร และการรับส่งข้อมูลอัตราต่ำ ๆ (<64 kbps) เท่านั้น

ขณะนี้ แนวโน้มของการให้บริการโทรศัพท์เคลื่อนที่ได้มุ่งไปสู่ระบบโทรศัพท์เคลื่อนรุ่นที่สาม (Third Generation หรือ 3G) ที่อาจกล่าวได้ว่าเป็นระบบแห่งอนาคต กล่าวคือ ระบบนี้จะสามารถสนับสนุนคุณภาพของการบริการ (Quality-of-Service หรือ QoS) ที่หลากหลายและอัตราการส่งข้อมูลที่สูงมาก ๆ ได้ ณ เวลาปัจจุบัน ได้มีการนำระบบนี้เข้ามาให้บริการแล้วในบางประเทศ เช่น ประเทศญี่ปุ่น เป็นต้น หัวใจที่สำคัญของระบบโทรศัพท์เคลื่อนที่รุ่นที่สามคือการเชื่อมต่อทางอากาศ (Air interface) ด้วยเทคนิคซีดีเอ็มเอแบบไดเรกต์ซีเควนซ์ (Direct Sequence CDMA หรือ DS-CDMA) ซึ่งมีพื้นฐานมาจากการมอดูเลตแบบสเปรดสเปกตรัม (Spread Spectrum หรือ SS) ในอดีตเทคนิค SS มีใช้เฉพาะในระบบสื่อสารไร้สายสำหรับกิจการทหารและความมั่นคงเท่านั้น อย่างไรก็ตาม ต่อมาได้มีผู้เล็งเห็นศักยภาพของเทคนิค SS ในการจัดการทรัพยากรของช่องสัญญาณให้แก่ผู้ใช้หลายรายได้อย่างเหมาะสม จึงได้มีการนำวิธีการมอดูเลตแบบ SS หรือเทคนิค DS-CDMA มาใช้ในการมัลติเพลกซ์ผู้ใช้หลาย ๆ รายโดยที่แต่ละรายมีรหัส (Code) เฉพาะเข้าสู่ช่องสัญญาณ แทนการใช้เทคนิคการมัลติเพลกซ์ทางเวลาหรือทางความถี่ ตัวอย่างของระบบ DS-CDMA เชิงพาณิชย์ที่มีใช้อยู่ในขณะนี้และเป็นที่รู้จักกันอย่างกว้างขวางก็คือระบบ IS-95 นั่นเอง อย่างไรก็ตามระบบดังกล่าวรวมถึงระบบโทรศัพท์เคลื่อนที่รุ่นที่สองระบบอื่นคงจะถูกทดแทนด้วยระบบโทรศัพท์เคลื่อนที่รุ่นที่สามทั้งหมดภายในระยะเวลาอันใกล้

ปัญหาที่สำคัญอย่างหนึ่งของระบบ DS-CDMA คือการแทรกสอดเนื่องจากการเข้าถึงหลายทาง (Multiple Access Interference หรือ MAI) สำหรับภาครับในระบบเชิงพาณิชย์ เช่น ระบบ IS-95 นั้น มีการใช้กระบวนวิธีทางการประมวลสัญญาณทางดิจิตอล (Digital Signal Processing หรือ DSP) เพื่อทำการลด MAI อยู่อย่างจำกัด กล่าวคือ การแยกแยะ หรือการตรวจจับ (Detection) ผู้ใช้แต่ละรายในระบบนี้อาศัยการทำงานของแมตช์ฟิลเตอร์ (Matched Filter หรือ MF) หรือเครื่องรับ Rake (Rake receiver) ซึ่งจะจัดการ MAI อันเกิดจากผู้ใช้รายที่ไม่สนใจในลักษณะเช่นเดียวกับสัญญาณรบกวน อย่างไรก็ตาม ในช่วงกลางทศวรรษ 1980 ได้มีการค้นพบว่าวิธีการที่เหมาะสมสุดสำหรับการแยกแยะผู้ใช้แต่ละรายนั้น จำเป็นต้องจัดการ MAI ในลักษณะของการแทรกสอด มิใช่สัญญาณรบกวน วิธีการดังกล่าวมักจะได้รับการอ้างถึงในชื่อการตรวจจับหรือการดีเทกต์ผู้ใช้หลายราย (MultiUser Detection หรือ MUD)

ข้อจำกัดที่สำคัญของเทคนิค MUD ที่มีการนำเสนอเมื่อเริ่มแรก คือความซับซ้อนในการคำนวณที่สูง นำมาออกแบบสร้างได้ลำบาก ไม่ว่าจะด้วยฮาร์ดแวร์หรือซอฟต์แวร์ก็ตาม เมื่อไม่นานมานี้ได้มีการนำเสนอดีเทกเตอร์ปรับตัวแบบบลายด์ (Blind adaptive detector) สำหรับ MUD โดยอาศัยอัลกอริธึมพลังงานเฉลี่ยต่ำสุด (Minimum Output Energy หรือ MOE) การทำงานของดีเทกเตอร์ MOE นี้อาศัยหลักการของตัวกรองปรับตัวที่มีโครงสร้างแบบ FIR ซึ่งมีความซับซ้อนในการคำนวณค่อนข้างต่ำ มีศักยภาพที่จะนำมาออกแบบสร้างได้ค่อนข้างง่าย นอกจากนี้เนื่องจากดีเทกเตอร์ MOE เป็นดีเทกเตอร์แบบบลายด์ ส่งผลให้ความจำเป็นของเทรนนิ่งซีเควนซ์ (Training sequence) ต่อกระบวนการปรับตัวหมดไป ส่งผลให้ระบบมีความจุ (Capacity) ที่สูงขึ้น

2. ความสำคัญของงานวิจัย

ที่ผ่านมา กระบวนการประมวลสัญญาณทางดิจิตอลในภาครับของโทรศัพท์เคลื่อนที่มักกระทำผ่านตัวประมวลสัญญาณดิจิตอล อันมีข้อดีในการโปรแกรมได้ง่าย (Programmability) และมีความยืดหยุ่น (Flexibility) ค่อนข้างสูง อย่างไรก็ตามข้อเสียที่สำคัญของตัวประมวลสัญญาณดิจิตอลคือ การกินกำลังงาน (Power consumption) สูง ซึ่งไม่เหมาะสมต่อการนำมาใช้ในโทรศัพท์เคลื่อนที่ ซึ่งอาศัยพลังงานจากแบตเตอรี่ทั้งหมด ทางเลือกทางหนึ่งที่เป็นไปได้คือ การออกแบบระบบทั้งหมดเป็นวงจรรวมเฉพาะ (Application Specific Integrated Circuit หรือ ASIC) แบบดิจิตอล อย่างไรก็ตาม หากพิจารณาข้อกำหนดของระบบโทรศัพท์เคลื่อนที่รุ่นที่สามแล้ว จะพบว่ามีอัตราชิพ (Chip rate) สูงถึง 3.84 Mchip/s ซึ่งในปัจจุบัน เป็นที่ยอมรับกันว่าการออกแบบสถาปัตยกรรมที่ทำงานในย่านความเร็วดังกล่าวด้วยเทคนิควงจรโหมดผสม (Mixed-mode circuit) จะมีความเหมาะสมกว่าการออกแบบด้วยเทคนิควงจรดิจิตอลแต่เพียงลำพัง ไม่ว่าจะเป็นในแง่ของการกินกำลังงานหรือในแง่ของพื้นที่ของวงจรรวม

อนึ่ง วัตถุประสงค์ที่สำคัญอีกประการหนึ่งต่อข้อเสนอโครงการนี้คือ การพัฒนาการวิจัยในด้านวงจรและระบบ (Circuit and system) ควบคู่กันไปพร้อม ๆ กัน โดยอาศัยโจทย์วิจัยสามารถ

นำไปพัฒนาได้จริงในเชิงพาณิชย์ มิใช่เพียงการวิจัยทางด้านวงจร หรือระบบเพียงด้านใดด้านหนึ่ง ดังเช่นงานวิจัยส่วนใหญ่ที่ผ่านมา

3. เป้าหมายของงานวิจัย

ดังที่ได้กล่าวแล้ว ดีเทกเตอร์ MOE เป็นดีเทกเตอร์ปรับตัวที่อาศัยโครงสร้าง FIR หากพิจารณาการทำงานของดีเทกเตอร์นี้ จะพบว่าประกอบด้วยการทำงานสองส่วน คือดีเทกเตอร์ที่มีโครงสร้างแบบ FIR และกระบวนการปรับตัวตามอัลกอริธึม MOE งานวิจัยที่ผ่านมามักนิยมออกแบบวงจรในส่วนแรกเป็นวงจรดิจิตอล แต่ในความเป็นจริงแล้ว ยังสามารถเลือกออกแบบส่วนดังกล่าวเป็นวงจรแอนะล็อกโดยอาศัยเทคนิควงจรเชิงสุ่ม (Sampled-data) ได้ ในโครงการนี้ทำการวิจัยเพื่อออกแบบวงจรในส่วนดังกล่าวโดยอาศัยเทคนิควงจรสวิทช์-กระแส (Switched-currents) ซึ่งได้รับการพิสูจน์ในเชิงทฤษฎีแล้วว่าสามารถให้สมรรถนะที่ดีกว่าเทคนิควงจรสวิทช์-ตัวเก็บประจุ (รวมไปถึงความต้องการกินกำลังงานต่ำ) โดยเฉพาะในกระบวนการผลิตแบบซีมอส ที่นับวัน จะมีขนาดของแรงดันแหล่งจ่ายต่ำลงเรื่อย ๆ

สำหรับวงจรในส่วนที่สอง คือส่วนวงจรควบคุมกระบวนการปรับตัวตามอัลกอริธึม MOE นั้น ยังสมควรที่จะออกแบบวงจรเป็นวงจรดิจิตอลทั้งหมด หากแต่ต้องทำการวิจัยเพื่อทำการปรับอัลอริธึมดังกล่าวให้เหมาะสมต่อการนำมาออกแบบสร้างเป็นวงจรจริงเสียก่อน เทคนิคที่เป็นไปได้อย่างหนึ่งที่ได้มีการนำเสนอมาแล้วสำหรับตัวกรองปรับตัวทั่ว ๆ ไป คือการเลือกใช้อัลกอริธึมประเภท Simplified-Sign ซึ่งจะส่งผลให้ไม่จำเป็นต้องมีวงจรคูณในส่วนของกระบวนการปรับตัวอีกต่อไป อย่างไรก็ตาม การกระทำดังกล่าวอาจจะส่งผลต่ออัตราการลู่เข้า (Convergence rate) ของอัลกอริธึม ซึ่งในโครงการนี้จำเป็นต้องทำการวิเคราะห์ด้วยแนววิธีทางด้านการประมวลสัญญาณดิจิตอลเสียก่อน นอกจากนี้โครงการนี้จะทำการศึกษาวิจัยถึงแนวทางอื่น ๆ ที่เหมาะสมต่อการลดความซับซ้อนในการคำนวณของกระบวนการปรับตัว ทั้งนี้เพื่อเป็นการเทรดออฟ (Trade-off) ระหว่างความซับซ้อนและสมรรถนะ ของวงจรโดยรวม

หากกล่าวโดยสรุป โครงการที่นำเสนอมีวัตถุประสงค์หลัก ในการพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์สำหรับระบบ DS-CDMA ที่สามารถนำไปสร้างเป็นวงจรรวมเบ็ดเสร็จได้ โครงการนี้ทำการศึกษาวิจัยสถาปัตยกรรมดังกล่าวทั้งในระดับระบบ (System level) และระดับทรานซิสเตอร์ (Transistor level) โดยอาศัยองค์ความรู้ทั้งทางด้านการประมวลสัญญาณ และการออกแบบวงจรรวม การวิจัยและพัฒนาตามโครงการที่นำเสนอนี้จะมีบทบาทสำคัญต่อคุณภาพของการให้บริการ ของระบบโทรศัพท์เคลื่อนที่รุ่นที่สาม ที่กำลังเข้ามาแทนที่ระบบโทรศัพท์เคลื่อนที่ทุกระบบภายในอนาคตอันใกล้

4. รายละเอียดงานวิจัย

ในปัจจุบัน การพัฒนาของระบบสื่อสารแบบไร้สายที่สามารถส่งสัญญาณหลายผู้ใช้ออกไปพร้อมกันได้ส่วนใหญ่จะอาศัยเทคนิค DS-CDMA โดยเมื่อไม่นานมานี้เทคนิคการดีเทกหลายผู้ใช้ที่สามารถปรับตัวได้แบบ บลายด์ (Blind Multi-user Detection หรือ MUD) [1] ได้รับการยอมรับว่ามีประสิทธิภาพสูงในการกำจัดการแทรกสอดข้อมูลระหว่างผู้ใช้ (Multiple Access Interference หรือ MAI) และช่วยเพิ่มความจุได้มาก ทำให้เหมาะสำหรับการใช้งานในภาครับของระบบ DS-CDMA วิธีการหนึ่งที่ได้รับความนิยมอย่างสูงในระบบดีเทกหลายผู้ใช้แบบบลายด์ มีชื่อเรียกว่า ดีเทกเตอร์แบบพลังงานเอาต์พุตต่ำสุด (MOE) [2] ซึ่งที่ผ่านมา ได้มีงานวิจัยเกี่ยวกับการสร้างวงจรดีเทกเตอร์แบบ MOE โดยส่วนใหญ่จะอาศัยการประมวลผลเชิงดิจิตอลล้วน [3] และมีส่วนน้อยเท่านั้นที่อาศัยเทคนิคเชิงแอนะลอก [4] อย่างไรก็ดี ในระบบ W-CDMA แบบดิจิตอลล้วน ที่มีอัตราความเร็วในการส่งข้อมูล (chip rate) ที่ค่อนข้างสูงนั้นส่วนใหญ่จะมีการกินกำลังงานสูง อันเนื่องมาจากความต้องการวงจรแปลงแอนะลอกเป็นดิจิตอล (ADC) ความเร็วสูง ดังนั้น การออกแบบวงจรดีเทกเตอร์โดยอาศัยการผสมผสาน (Mixed-Signal) ระหว่างเทคนิคดิจิตอลซึ่งมีความสามารถในการคำนวณและโปรแกรม และเทคนิคแอนะลอกที่ช่วยกำจัดความต้องการของ ADC จึงเป็นทางออกที่ช่วยให้ระบบโดยรวมมีการกินกำลังงานน้อยลง

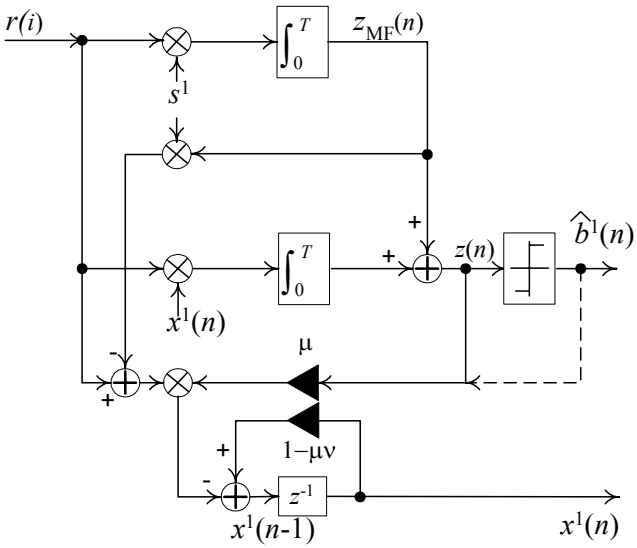
งานวิจัยนี้จะนำเสนอการพัฒนาและออกแบบสถาปัตยกรรม VLSI ประสิทธิภาพสูงสำหรับการตรวจจับผู้ใช้หลายรายแบบบลายด์ในระบบไดเรกต์ซีเควนซ์ซีดีเอ็มเอ โดยจะทำการปรับปรุงอัลกอริธึม MOE แบบเดิมให้อยู่ในรูปแบบที่ง่ายขึ้น เพื่อลดความซับซ้อนในการสร้าง แต่ยังคงสมรรถนะที่ต้องการ การออกแบบได้อาศัยการประมวลผลแบบผสม หรือ Mixed-Signal ที่อาศัยเทคนิคแอนะลอกแบบสวิตช์กระแส (SI) ในการสร้างส่วนของวงจรกรอง FIR ที่สามารถรับสัญญาณอินพุตโดยตรง โดยไม่จำเป็นต้องมีวงจร ADC ส่วนหน้า และในส่วนของการคำนวณค่าสัมประสิทธ์เพื่อป้อนให้กับส่วนแอนะลอกนั้น อาศัยการประมวลผลเชิงดิจิตอล โดยอัลกอริธึมเป็นแบบ Sign-MOE [5]

ในหัวข้อนี้ จะกล่าวถึงงานวิจัยที่ได้ดำเนินการเสร็จสิ้น อันประกอบไปด้วยสามส่วนคือ อัลกอริธึม MOE อย่างง่าย, โครงสร้างวงจรFIR ที่ใช้เทคนิค SI และวงจรในส่วนดิจิตอลที่ใช้ควบคุมการทำงานของอัลกอริธึม MOE อย่างง่าย โดยจะอธิบายตั้งแต่แนวคิดที่เกี่ยวข้อง, ทฤษฎีด้านวงจร จนกระทั่งการทำเลย์เอาต์วงจรรวม

4.1 อัลกอริธึม MOE อย่างง่าย

4.1.1 ดีเทกเตอร์ที่ใช้อัลกอริธึม MOE แบบบลายด์

ดีเทกเตอร์ที่ใช้อัลกอริธึมแบบ MOE จะทำการปรับตัวเพื่อลดค่าพลังงานเฉลี่ยเอาต์พุตให้ต่ำที่



รูปที่ 1 แผนภาพของอัลกอริธึมแบบ MOE (เส้นทึบ) และ แบบ Sign MOE (เส้นประ)

สุด โดยมีสมการคือ

$$\mathbf{x}^1(n+1) = (1-\mu\nu)\mathbf{x}^1(n) - \mu Z(n)[\mathbf{r}(n) - Z_{MF}(n)\mathbf{s}^1] \quad (1)$$

เมื่อ $Z_{MF}(n) = \mathbf{s}^{1,T}\mathbf{r}(n)$ และ $Z(n) = \mathbf{w}^T(n)\mathbf{r}(n)$ คือ เอาต์พุตของแมตช์ฟิลเตอร์แบบ FIR และเอาต์พุตของดีเทกเตอร์ ตามลำดับ. การปรับค่าสัมประสิทธิ์ของดีเทกเตอร์ดังสมการที่ (1) สามารถแสดงเป็นแผนภาพได้ดังรูปที่ 1

อัลกอริธึมแบบ MOE มีความซับซ้อนในการคำนวณพอๆ กับอัลกอริธึมแบบ LMS และเมื่อนำมาสร้างเป็นวงจรจริงจะทำให้วงจรมีขนาดใหญ่มาก เมื่อนำมาใช้ในงานที่มีอัตราการส่งผ่านข้อมูลที่ความเร็วสูง ดังนั้นเพื่อเพิ่มประสิทธิภาพของอัลกอริธึมแบบ MOE ให้สูงขึ้น เราจำเป็นต้องกำจัดตัวคูณในอัลกอริธึมออกไป เพื่อให้ความซับซ้อนในการคำนวณลดลง งานวิจัยนี้จึงได้นำเสนอการกำจัดตัวคูณโดยการคิดเฉพาะเครื่องหมายของ $Z(n)$ ในสมการที่ (1) ซึ่งก็คือวิธีการของอัลกอริธึมแบบ Sign-MOE โดยสามารถแสดงสมการปรับค่าสัมประสิทธิ์ของอัลกอริธึมได้ดังนี้

$$\mathbf{x}^1(n+1) = (1-\mu\nu)\mathbf{x}^1(n) - \mu\,\mathrm{sgn}\{Z(n)\}[\mathbf{r}(n) - Z_{MF}(n)\mathbf{s}^1] \quad (2)$$

อัลกอริธึมแบบ Sign MOE จากสมการที่ (2) เมื่อเปรียบเทียบกับ แผนภาพรูปที่ 1 คือการเปลี่ยนการปรับส่วนของ μ จากเส้นหนาไปใช้งานที่เส้นประ

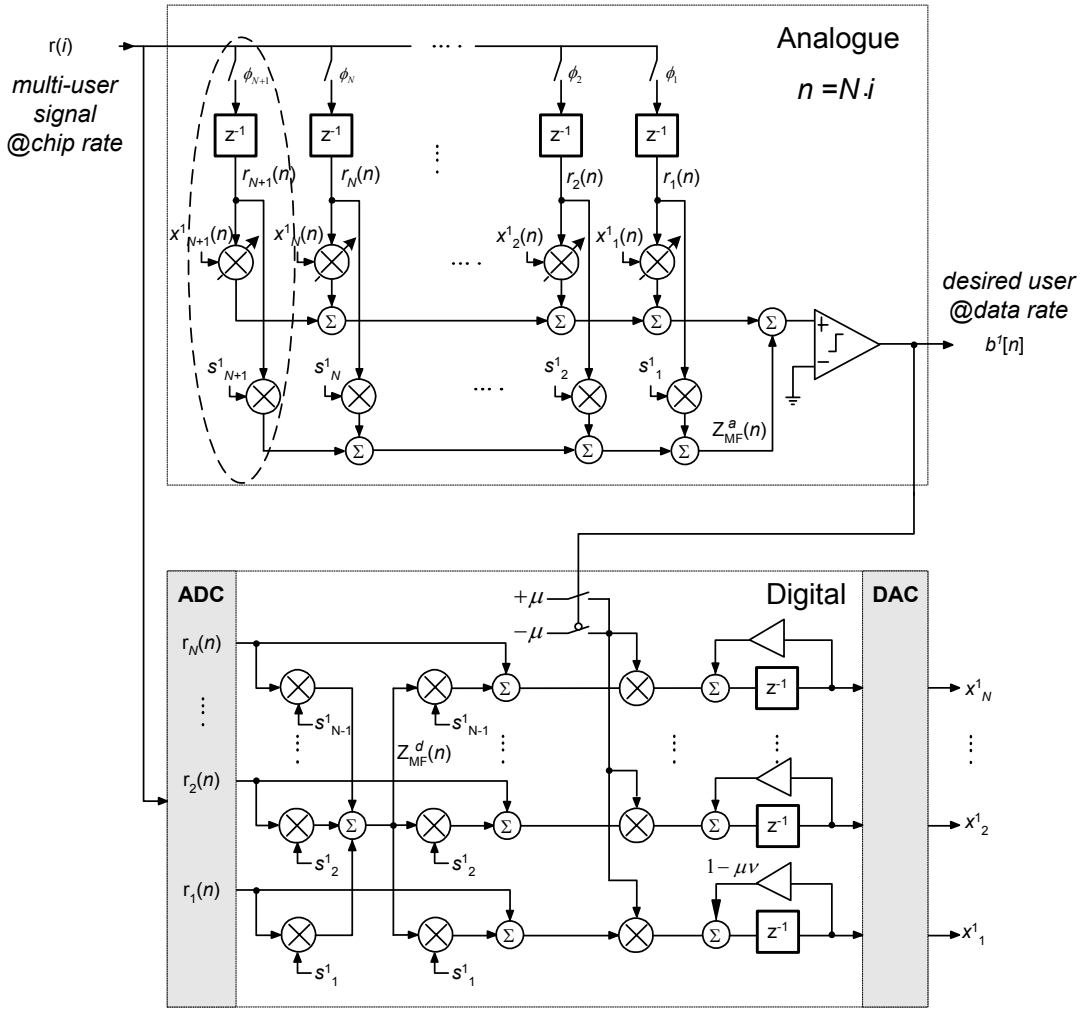
4.1.2 อัลกอริธึม Sign MOE และโครงสร้างดีเทกเตอร์แบบผสมสัญญาณ

โครงสร้างของดีเทกเตอร์ที่ใช้อัลกอริธึม Sign MOE แบบบลายด์ ที่ได้ออกแบบเป็นแบบผสมสัญญาณดังรูปที่ 2 สามารถแบ่งออกเป็น 2 ส่วน คือ 1) ส่วนแอนะลอกที่เป็นแมตช์ฟิลเตอร์แบบ FIR และ 2) ส่วนดิจิตอลที่ทำหน้าที่คำนวณและปรับค่าสัมประสิทธิ์โดยใช้อัลกอริธึมแบบ Sign MOE ในส่วนของแอนะลอกจะใช้เทคโนโลยีของ CMOS ซึ่งมุ่งไปที่การออกแบบโดยใช้เทคนิคสวิตช์กระแสเป็นหลัก ข้อดีของเทคนิคนี้มีหลายประการกล่าวคือ การบวกกันของสัญญาณในรูปแบบกระแสไม่ต้องใช้อุปกรณ์เพิ่มเติมใดๆ และยังได้รับประโยชน์ในรูปของความเร็ว การลดกำลังงานสูญเสีย การใช้พื้นที่ชิปที่น้อย และความซับซ้อนของวงจรต่ำกว่าแบบสวิตช์ตัวเก็บประจุ. นอกจากนี้เทคนิคสวิตช์กระแสยังไม่ต้องการตัวเก็บประจุแบบลอยทำให้สามารถสร้างได้ในกระบวนการผลิตดิจิตอล [6] ซึ่งรวมเอาทั้งวงจรแอนะลอกและดิจิตอลเข้าไว้ในฐานรองเดียวกันได้

เมื่อพิจารณาส่วนของแอนะลอกในรูปที่ 2 ตัวหน่วงเวลาหนึ่งหน่วย (Unit delay, z^{-1}) ใช้สำหรับชักตัวอย่างของสัญญาณอินพุต $r(i)$ (ซึ่งก็คือรูปแบบของ $r(n)$ ในสมการที่ (1)) โดยตัวหน่วงเวลาหนึ่งหน่วยจะถูกสร้างจากวงจรชักตัวอย่างและคงค่า. และในการแบ่งขั้นสัญญาณ $Z(n)$ เพื่อให้คิดเฉพาะเครื่องหมายของสัญญาณ ดังแสดงในสมการที่ (1) ตัวแบ่งขั้นสัญญาณจะถูกสร้างจากวงจรเปรียบเทียบ (Comparator) ส่วนบล็อกคูณที่สามารถปรับค่าได้และบล็อกคูณที่กำหนดค่าคงที่ จะถูกนำมาใช้ในการคูณค่าสัมประสิทธิ์ที่ปรับค่าได้ $x_j^1(n), j=1,...,N$ และค่าสัมประสิทธิ์ที่กำหนดค่าไว้คงที่ (Signature waveform) $s_j^1(n), j=1,...,N$ ในสมการที่ (2) ตามลำดับ

เนื่องจากในวงจรชักตัวอย่างและคงค่าที่สร้างจากเทคนิคสวิตช์กระแสนั้น ส่วนของการสุ่มและคงค่าข้อมูลอาศัยทรานซิสเตอร์ตัวเดียวกัน ดังนั้นเมื่อถึงเวลาบวกค่าสัญญาณที่คูณได้จากแต่ละแท็ปเพื่อสร้างสัญญาณเอาต์พุต ต้องอาศัยแท็ปหนึ่งทำการสุ่มข้อมูลเสมอ ส่งผลให้ข้อมูลเดิมที่คงค่าไว้สูญหายไป ทำให้มีความจำเป็นต้องปรับปรุงโครงสร้างของดีเทกเตอร์ที่ใช้อัลกอริธึม Sign MOE ให้มีจำนวนแท็ปเพิ่มขึ้นอีกหนึ่งแท็ป (แท็ปที่ $N+1$) เพื่อให้ทำการสุ่มข้อมูลแทนตัวที่ N โดยทั้งสองแท็ปนี้จะสลับกันทำงานทุก N รอบ (แท็ปที่เพิ่มขึ้นมาแสดงดังรูปที่ 2 (ส่วนเส้นประที่เป็นวงรี))

สำหรับการคำนวณค่าสัมประสิทธิ์ตามอัลกอริธึม Sign MOE นั้น งานวิจัยนี้จะเลือกใช้วงจรดิจิตอลในการคำนวณ เพื่อป้อนให้กับส่วนแอนะลอกของดีเทกเตอร์ ทั้งนี้การปรับค่าสัมประสิทธิ์เป็นไปตามสมการที่ (2) ซึ่งในการสร้างวงจรจำเป็นต้องอาศัย ตัวคูณ ตัวบวก และรีจิสเตอร์เก็บข้อมูล เป็นต้น



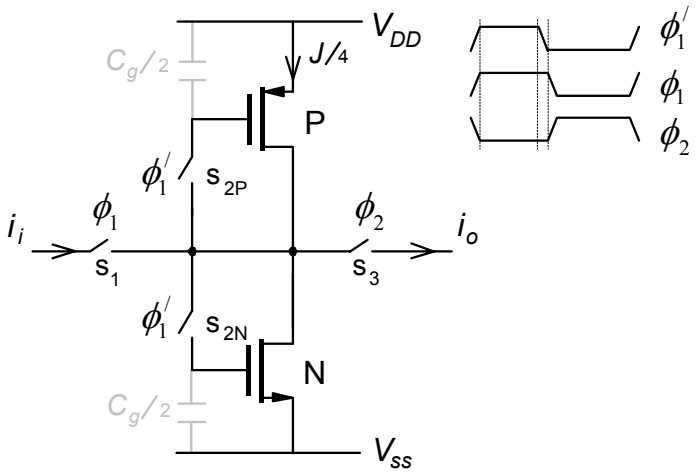
รูปที่ 2 โครงสร้างฮาร์ดแวร์ของอัลกอริธึมแบบ Sign MOE

4.2 การสร้างวงจร FIR ด้วยเทคนิคสวิตช์กระแส

4.2.1 หน่วยความจำสวิตช์กระแสคลาสเอบีแบบด้านเดียว

โครงสร้างหน่วยความจำชนิดคลาสเอบีแบบด้านเดียว (Class-AB Single-Ended SI Memory Cell) ดังแสดงในรูปที่ 3 ประกอบด้วยทรานส์ซิสเตอร์ชนิดพีมอส *P* และเอ็นมอส *N* ทำหน้าที่จำกระแสอินพุต i_i ในช่วงเฟสสุ่ม ϕ_1, ϕ_1' ผ่านการควบคุมด้วยสวิตช์ S_1, S_{2P} และ S_{2N}. กระแสอินพุตนี้จะถูกจำในรูปของแรงดันที่เกตที่ตกคร่อมตัวเก็บประจุแฝง $C_g/2$ ของ ทรานส์ซิสเตอร์ *P* และ *N* ผ่านค่าทรานส์คอนดักแตนซ์. และช่วงเฟสทำงานถัดไปคือเฟสคงค่า ϕ_2 สัญญาณที่ถูกจำจะถูกส่งออกไปเป็นกระแสเอาท์พุต i_o ผ่านการควบคุมด้วยสวิตช์ S_3

การออกแบบหน่วยความจำชนิดนี้ควรออกแบบให้การทำงานของทรานส์ซิสเตอร์ทั้งชนิดพีและเอ็นมอสมีความสมดุลกันคือ ควรออกแบบให้ค่า $C_{gN} = C_{gP} = C_g/2$ และค่าทรานส์คอนดักแตนซ์ $g_{mN} = g_{mP} = g_m/2$ ในการออกแบบให้ทรานส์คอนดักแตนซ์เท่ากันนั้น จะส่งผลให้ค่า



รูปที่ 3 หน่วยความจำสวิตช์กระแสคลาสเอบีแบบด้านเดียว

ทรานส์คอนดักแตนซ์รวม $g_m = g_{mN} + g_{mP}$ ของหน่วยความจำคงที่ ไม่เปลี่ยนแปลงตามขนาดของกระแสอินพุต ข้อได้เปรียบประการสำคัญของหน่วยความจำชนิดคลาสเอบีคือความสามารถในการรับกระแสอินพุตสูงสุดถึง 4 เท่าของขนาดกระแสไบอัส โดยที่วงจรยังคงทำงานได้อย่างถูกต้อง ทำให้การกินกำลังไฟของหน่วยความจำชนิดนี้ต่ำ เมื่อเปรียบเทียบกับหน่วยความจำชนิดคลาสเอในแง่ของความสามารถรับกระแสอินพุตที่เท่าเทียมกัน

เมื่อพิจารณาการทำงานของหน่วยความจำชนิดคลาสเอบีดังแสดงรูปที่ 4ก จะเห็นว่าหน่วยความจำซึ่งประกอบด้วยทรานส์ซิสเตอร์ *P1*, *N1* จะจ่ายกระแส i_i ไปให้หน่วยความจำประกอบด้วยทรานส์ซิสเตอร์ *P2*, *N2* เพื่อจำกระแส ดังนั้นกระแสอินพุตสูงสุด $i_{\max}$ ที่หน่วยความจำยังคงทำงานอย่างเป็นเชิงเส้นเท่ากับ

$$i_{\max} = 2\beta V_{gtAB}^2 = 4J_{AB} \tag{3}$$

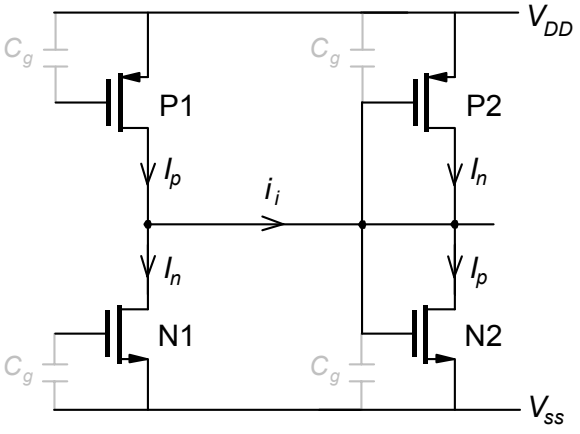
เมื่อกระแสไบอัสหน่วยความจำชนิดคลาสเอบีคือ $J_{AB} = J/4$ แสดงดังรูปที่ 3 ดังนั้นกระแสเดรนของ ทรานส์ซิสเตอร์ *P2*, *N2* จะเท่ากับ

$$I_{n,p} = J_{AB}(1 \pm \frac{i}{4J_{AB}})^2 \tag{4}$$

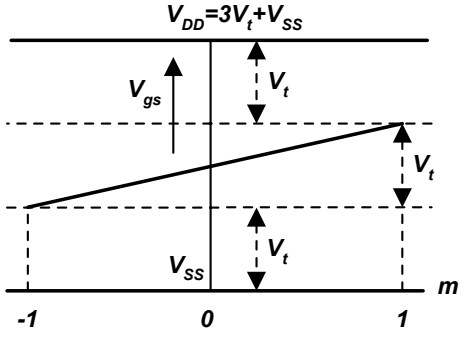
ช่วงทำงาน

เนื่องจาก $|i| = 4J_{AB}$ ดังนั้น

$$I_{n,p} = \frac{J}{4}(1 \pm m)^2, \ |m| \le 1 \tag{5}$$



ก) ลักษณะการส่งผ่านกระแสของหน่วยความจำ



ข) ลักษณะการเปลี่ยนแปลงของสัญญาณ

รูปที่ 4 ช่วงทำงานหน่วยความจำสวิตช์กระแสคลาสเอบี

เมื่อ $m = i/J$ คือดัชนีมอดูเลตเชิงขนาดของหน่วยความจำชนิดคลาสเอบี ถ้ากำหนดให้แรงดันขีดเริ่มของทรานส์ซิสเตอร์ *P* และ *N* มีค่าเท่ากันคือ $V_{tP} = V_{tN} = V_t$ และทรานส์ซิสเตอร์ทำงานในย่านอิ่มตัวตลอดช่วง $-1 \le m \le 1$ ดังนั้นแรงดันขับเกตเกิน V_{gtAB} และแรงดันไฟเลี้ยงหน่วยความจำ V_{DD} จะอยู่ภายใต้เงื่อนไข

$$V_{gtAB} \le \frac{V_t}{2m} \tag{6}$$

$$V_{DD} = 2(V_{gtAB} + V_t) = V_t(2 + 1/m) \tag{7}$$

ถ้ากรณีสัญญาณอินพุตขนาดสูงสุด ($m = 1$) แรงดันขับเกตเกินและแรงดันไฟเลี้ยงจะเท่ากับ

$$V_{gtAB} = \frac{V_t}{2m} \tag{8}$$

$$V_{DD} = 3V_t \tag{9}$$

สำหรับรูป 4ข แสดงการกระเพื่อมแรงดันที่หน่วยความจำ ซึ่งจะเห็นว่าแรงดันที่เกตมีความเป็นเชิงเส้นกับกระแสอินพุต i_i ลักษณะดังกล่าวแสดงให้เห็นว่าค่าทรานส์คอนดักแตนซ์ของหน่วยความจำชนิดนี้จะมีค่าคงที่

อย่างไรก็ตาม ปัญหาประการหนึ่งของหน่วยความจำชนิดนี้คือการเปลี่ยนแปลงของแรงดันไฟเลี้ยง V_{DD} ซึ่งส่งผลให้แรงดันขับเกินเกตไม่คงที่ ส่งผลให้กระแสไบอัส $J/4$ และเวลาก่อตัวเปลี่ยนแปลง ทำให้เกิดผลเสียอย่างมากต่อสมรรถนะของหน่วยความจำ ดังนั้นจึงจำเป็นต้อง

ควบคุมกระแส $J/4$ ไม่ให้เปลี่ยนแปลงตามแรงดันไฟเลี้ยง จึงต้องมีวงจรเสริมเพื่อคงค่ากระแสไบอัส. วิธีควบคุมกระแสไบอัสกระทำได้โดยการป้อนกลับแบบลบเพื่อปรับแรงดันขาเกตของวงจรตามแรงดันที่ควบคุมค่าศักดา V_{DD} ของวงจรหน่วยความจำ โดยแรงดันควบคุมนี้จะมีขนาดมากกว่าแรงดันไฟเลี้ยง จึงจำเป็นต้องออกแบบแหล่งจ่ายไฟเพิ่มหรือใช้เทคนิคของวงจรปั้มประจุ [9]

ความผิดพลาดจากความนำ

ความผิดพลาดในการส่งผ่านกระแสจากผลของความนำของหน่วยความจำชนิดคลาสเอบีในรูปที่ 4ก จะเกิดขึ้นเมื่อทรานส์ซิสเตอร์ *N1*, *P1* ส่งผ่านกระแสที่จำในเฟสก่อนหน้าไปยังหน่วยความจำ *N2*, *P2* เพื่อจำกระแส ค่าทรานส์คอนดักแตนซ์ของทรานส์ซิสเตอร์ต่าง ๆ เท่ากับ

$$G_{mN1}(m) = \frac{G_m}{2}(1-m) \tag{10}$$

$$G_{mP1}(m) = \frac{G_m}{2}(1+m) \tag{11}$$

$$G_{mN2}(m) = \frac{G_m}{2}(1+m) \tag{12}$$

$$G_{mp2}(m) = \frac{G_m}{2}(1-m) \tag{13}$$

เมื่อ G_m คือค่าทรานส์คอนดักแตนซ์ของทรานส์ซิสเตอร์ในสภาวะสงบ ดังนั้นค่าทรานส์คอนดักแตนซ์รวมของทรานส์ซิสเตอร์ *P1, N1* ($G_{m1}(m)$) และของทรานส์ซิสเตอร์ *P2, N2* ($G_{m2}(m)$) จึงเท่ากับ

$$G_{m1}(m) = G_{mN1}(m) + G_{mP1}(m) = G_m \tag{14}$$

$$G_{m2}(m) = G_{mN2}(m) + G_{mP2}(m) = G_m \tag{15}$$

สมการ (14) และ (15) แสดงถึงค่าทรานส์คอนดักแตนซ์ของหน่วยความจำชนิดคลาสเอบีที่ไม่เปลี่ยนแปลงตามทิศทางของกระแสอินพุต i_i

สำหรับค่าความนำเอาท์พุตของทรานส์ซิสเตอร์ *N1* (G_{dsN1}) และ *P1* (G_{dsP1}) เกิดจากการมอดูเลตตามความยาวและการป้อนกลับจากเดรนไปยังเกตผ่านทางตัวเก็บประจุ $C_{dg}/2$ ส่วนความนำเอาท์พุตของทรานส์ซิสเตอร์ *N2* (G_{dsN2}) และ *P2* (G_{dsP2}) เกิดจากการมอดูเลตตามความยาว ซึ่งสามารถแสดงความสัมพันธ์ได้ดังนี้

$$G_{dsN1}(m) = \frac{G_{ds}}{2}(1-m)^2 + \frac{C_{dg}}{C_{dg}+C_g} G_{mN1}(m) \tag{16}$$

$$G_{dsP1}(m) = \frac{G_{ds}}{2}(1+m)^2 + \frac{C_{dg}}{C_{dg}+C_g} G_{mP1}(m) \quad (17)$$

$$G_{dsN2}(m) = \frac{G_{ds}}{2}(1+m)^2 \quad (18)$$

$$G_{dsP2}(m) = \frac{G_{ds}}{2}(1-m)^2 \quad (19)$$

เมื่อ G_{ds} คือความนำของทรานส์ซิสเตอร์ในสภาวะสงบ ดังนั้นค่าความนำทั้งหมดที่เอาท์พุตของหน่วยความจำ $G_{oAB}(m)$ จึงเท่ากับ

$$G_{oAB}(m) = G_{dsN1}(m) + G_{dsP1}(m) + G_{dsN2}(m) + G_{dsP2}(m) \quad (20)$$

$$= 2G_{ds}(1+m^2) + \frac{C_{dg}}{C_{dg}+C_g} G_m \quad (21)$$

ผลของค่าความนำในสมการ (21) ส่งผลต่อความผิดพลาดการส่งผ่านกระแส ε_{gAB} ซึ่งเท่ากับ

$$\varepsilon_{gAB}(m) = \frac{\delta i}{i} \approx \frac{G_{oAB}(m)}{G_{m2}(m)} \quad (22)$$

$$= \frac{2G_{ds}(1+m^2) + C_{dg}G_m/(C_{dg}+C_g)}{G_m} \quad (23)$$

$$= \frac{2G_{ds}}{G_m}(1+m^2) + \frac{C_{dg}}{C_{dg}+C_g} \quad (24)$$

ค่า ε_{gAB} ในสมการ (24) แสดงความผิดพลาดชนิดคงที่และความผิดพลาดที่เปลี่ยนแปลงตามกระแสอินพุต เมื่อเปรียบเทียบกับค่าความผิดพลาดจากความนำของหน่วยความจำชนิดคลาสเอ พบว่าความผิดพลาดจากความนำของหน่วยความจำชนิดคลาสเอบีจะส่งผลต่อความเพี้ยนของสัญญาณเอาต์พุตต่ำกว่าหน่วยความจำชนิดคลาสเอ

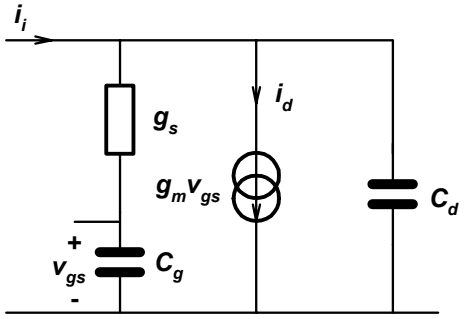
ความผิดพลาดจากเวลาก่อตัว

แบบจำลองหน่วยความจำชนิดคลาสเอบีสำหรับคำนวณเวลาก่อตัว (Settling time) แสดงได้ดังรูปที่ 5 จากรวมสามารถหาความสัมพันธ์ระหว่างกระแสเดรนรวม (i_d) ของทรานส์ซิสเตอร์ *P* และ *N* กับกระแสอินพุต i_i ได้เป็น

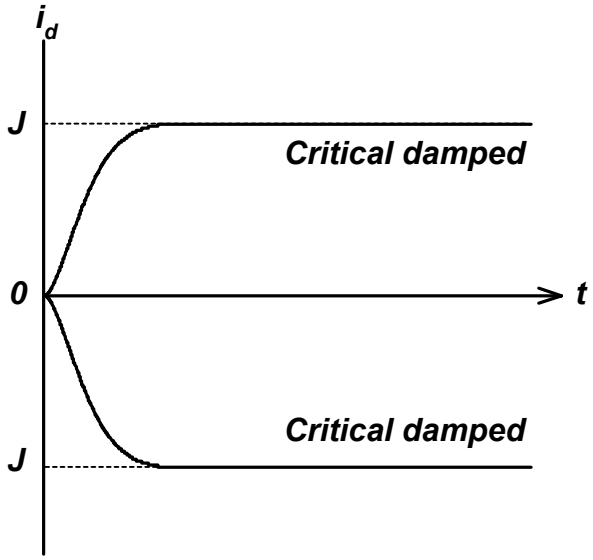
$$\frac{i_{d(s)}}{i_i(s)} = \frac{g_m g_s / C_g C_d}{s^2 + s g_s (C_g + C_d)/C_g C_d + g_m g_s / C_g C_d} \quad (25)$$

จากสมการ (25) สามารถหาความถี่โพล f_o และค่าตัวประกอบคุณภาพ Q_{AB} ได้เท่ากับ

$$f_o = \frac{1}{2\pi}\sqrt{\frac{g_m g_s}{C_g C_d}} \quad (26)$$



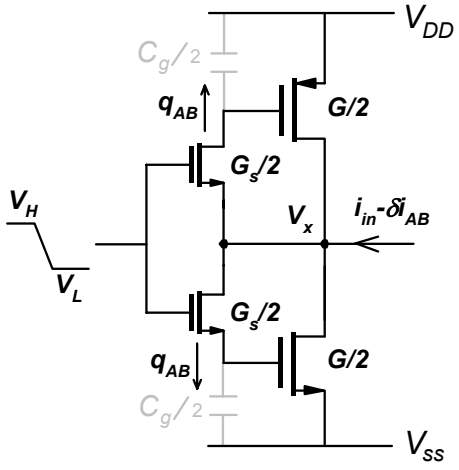
รูปที่ 5 แบบจำลองหน่วยความจำชนิดคลาสเอบีสำหรับสัญญาณขนาดเล็ก



รูปที่ 6 ลักษณะการตอบสนองสัญญาณขนาดใหญ่ของหน่วยความจำ

$$Q_{AB} = \frac{\sqrt{g_m C_g C_d / C_s}}{C_g + C_d} \tag{27}$$

ค่า Q_{AB} ในสมการ (27) จะขึ้นกับขนาดค่าทรานส์คอนดักแตนซ์ของหน่วยความจำ แต่เนื่องจากค่าทรานส์คอนดักแตนซ์ของหน่วยความจำชนิดคลาสเอบีนี้มีค่าคงที่ ดังนั้นเราสามารถออกแบบหน่วยความจำให้มีผลตอบสนองแบบหน่วงวิกฤติทั้งกรณีกระแสอินพุตไหลเข้าและออกดังแสดงในรูปที่ 6 ด้วยลักษณะของผลตอบสนองดังกล่าวจะทำให้เวลาก่อตัวของหน่วยความจำคงที่ไม่ขึ้นกับขนาดสัญญาณอินพุต ดังนั้นผลของความผิดพลาดดังกล่าวจะไม่ส่งผลต่อความเพี้ยนของสัญญาณเอาท์พุตแต่อย่างใด



รูปที่ 7 ความผิดพลาดจากการฉีดประจุของหน่วยความจำชนิดคลาสเอบี

ความผิดพลาดจากการฉีดประจุ

สำหรับค่าความผิดพลาดการส่งผ่านกระแสที่มีสาเหตุจากการฉีดประจุ (Injection charging) ไปยังขาเกตของทรานส์ซิสเตอร์ที่จำกระแสในช่วงเฟสสุ่ม โดยในกรณีของหน่วยความจำชนิดคลาสเอบีดังแสดงในรูปที่ 7 นั้น ทรานส์ซิสเตอร์ทั้งชนิดพีมอสและเอ็นมอสล้วนทำหน้าที่สุ่มสัญญาณทั้งสิ้น ดังนั้นแรงดันที่กระเพื่อม v_x เมื่อมีสัญญาณเข้ามาจะเท่ากับ

$$v_x = V_X + \frac{i}{G_m} \tag{28}$$

เมื่อ G_m และ V_X คือค่าทรานส์คอนดักแตนซ์ และแรงดันที่หน่วยความจำในสภาวะสงบนิ่ง ถ้าในกรณีที่ $V_{SS} = 0$ ดังนั้น $V_X = V_{DD}/2$ ประจุที่ถูกฉีดไปยังทรานส์ซิสเตอร์ที่จำกระแสจะเท่ากับ

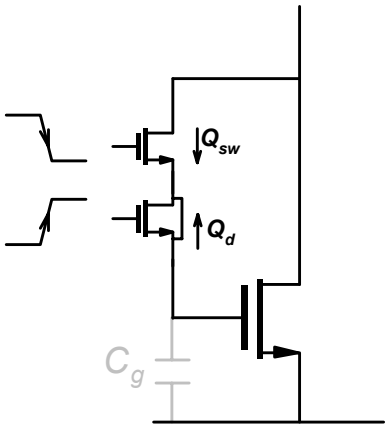
$$q_{AB} = Q_{AB} - C_{AB}\frac{i}{G_{iAB}(m)} \tag{29}$$

เมื่อ Q_{AB} และ C_{AB} คือค่าคงที่เท่ากับ

$$Q_{AB} = \frac{Q_A}{2} \tag{30}$$

$$C_{AB} = \frac{C_A}{2} \tag{31}$$

สำหรับค่า Q_A และ C_A หาได้จากสมการ $Q_A = \alpha C_{CH}\left[V_H - \left(2+\frac{\gamma}{3}\right)V_t\right] + C_{OL}(V_H - V_L)$ และ $C_A = 2\alpha C_{CH}\left(1+\frac{\gamma}{3}\right)$ ดังนั้นแรงดันกระเพื่อมที่เกต δv ของทรานส์ซิสเตอร์จะเท่ากับ



รูปที่ 8 เทคนิคดัมมี่สวิตช์

$$\delta v_p = \delta v_n = \delta v = \frac{2q_{AB}}{C_g} \tag{32}$$

ค่าแรงดันดังกล่าวส่งผลให้เกิดความผิดพลาดของการส่งผ่านกระแส (δi_{AB}) เท่ากับ

$$\delta i_{AB} = \delta v(G_{mp}(m) + G_{mn}(m)) = \frac{Q_A G_m}{C_g} - \frac{C_A J}{C_g} m \tag{33}$$

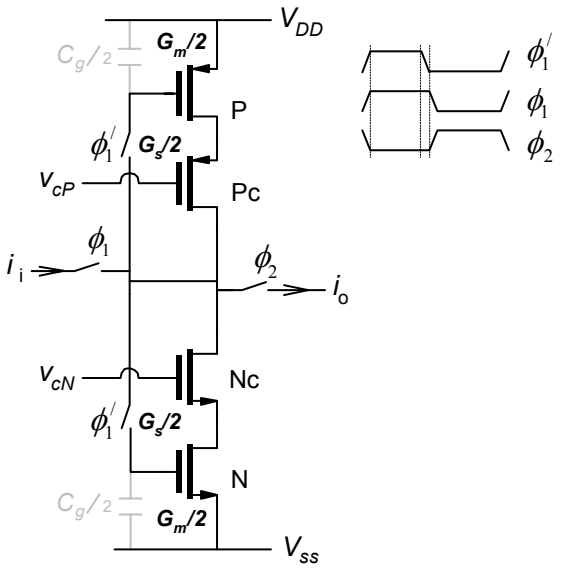
สังเกตว่าค่า δi_{AB} ในสมการ (33) ประกอบด้วยเทอมค่าคงที่ (เทอมแรก) กับเทอมที่แปรผันที่เป็นเชิงเส้นกับขนาดของกระแสอินพุต (เทอมหลัง) ดังนั้นความผิดพลาดจากการฉีดประจุของหน่วยความจำชนิดคลาสเอบีจะไม่ก่อให้เกิดความเพี้ยนของสัญญาณเอาท์พุต ซึ่งต่างกับหน่วยความจำชนิดคลาสเอ

4.2.2 เทคนิคการเพิ่มสมรรถนะของหน่วยความจำ

ในหัวข้อที่แล้ว ได้แสดงการวิเคราะห์ความผิดพลาดหน่วยความจำชนิดคลาสเอบีที่มีสาเหตุจากปัจจัยต่างๆ การนำหน่วยความจำเหล่านี้ไปใช้งาน จะมีผลต่อสมรรถนะของวงจร ดังนั้นการลดความผิดพลาดจึงมีความจำเป็นอย่างมาก เทคนิคการลดความผิดพลาดมีหลายแบบ [9] ที่สามารถเพิ่มสมรรถนะให้กับหน่วยความจำได้ อย่างไรก็ตาม เทคนิคที่เลือกสำหรับการออกแบบวงจรที่มีความต้องการด้านการกินกำลังไฟต่ำ ก็คือเทคนิคดัมมี่สวิตช์ [10] และเทคนิคของหน่วยความจำชนิดคาสโคด [7]

4.2.2.1 เทคนิคดัมมี่สวิตช์

ความผิดพลาดจากการฉีดประจุ (Q_{sw}) เข้าไปยังขาเกตของทรานส์ซิสเตอร์ขณะจำสัญญาณในช่วงสุดท้ายของการสุ่ม หรือช่วงขอบขาลงของสัญญาณนาฬิกาดังรูปที่ 8 ส่งผลให้มีความผิด-

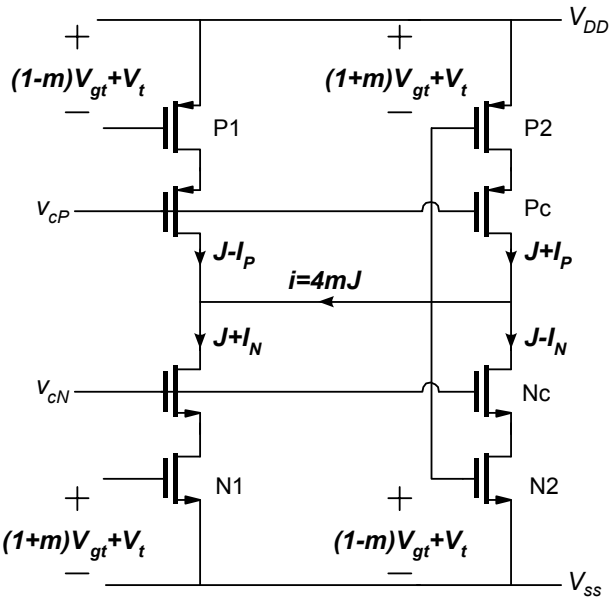


รูปที่ 9 โครงสร้างหน่วยความจำคลาสเอบีชนิดคาสโคด

พลาดการจำสัญญาณ. การแก้ปัญหาทำได้โดยเพิ่มสวิตช์ขึ้นมาอีก 1 ตัว ที่เรียกว่าสวิตช์ดัมมี่ (Dummy switch) [10] (ในรูปที่ 8 เป็นสวิตช์เอ็นมอสตัวล่าง) ที่ไม่ส่งผลต่อการจำสัญญาณของหน่วยความจำเข้าไป และใช้สัญญาณนาฬิกาที่ขาเกต ในลักษณะเฟสตรงข้ามกับเฟสของสวิตช์ที่ทำหน้าที่สุ่ม ซึ่งทำให้สามารถอาศัยประจุ Q_d ของสวิตช์ที่เพิ่มขึ้นมาหักล้างกับประจุจากสวิตช์ที่ควบคุมการสุ่มสัญญาณ (Q_{sw}) ถ้าการหักล้างระหว่างประจุทั้งสองเป็นไปอย่างสมบูรณ์ จะทำให้ความผิดพลาดจากการฉีดประจุเข้าไปยังเกตหมดไป อย่างไรก็ตามเนื่องจากประจุ Q_{sw} ขึ้นกับขนาดของสัญญาณอินพุต ในขณะที่ประจุ Q_d ค่อนข้างคงที่ ส่งผลให้การหักล้างการฉีดประจุด้วยเทคนิคดังกล่าวไม่สมบูรณ์ ดังนั้นจึงให้ความแม่นยำในการส่งผ่านกระแสไปยังขาเกตของหน่วยความจำดีในระดับหนึ่งเท่านั้น

4.2.2.2 เทคนิคหน่วยความจำชนิดคาสโคด

การต่อทรานส์ซิสเตอร์ในลักษณะคาสโคดให้กับหน่วยความจำ จะช่วยคงค่าแรงดันที่ขาเดรนของหน่วยความจำซึ่งมีผลต่อความแม่นยำในการนำกระแสออก โดยโครงสร้างหน่วยความจำคลาสเอบีชนิดคาสโคดแบบอินพุตด้านเดียว แสดงได้ดังรูปที่ 9 ประกอบด้วยทรานส์ซิสเตอร์ *P*, *N* ทำหน้าที่จำกระแสอินพุต i_i ในช่วงเฟสสุ่ม ϕ_1, ϕ_1' โดยทรานส์ซิสเตอร์ *Pc*, *Nc* ถูกต่อในรูปลักษณะคาสโคดเพื่อทำให้แรงดันที่เดรนของทรานส์ซิสเตอร์ *P*, *N* ไม่เปลี่ยนแปลงทั้งในช่วงเฟสสุ่มหรือช่วงเฟสคงค่า ϕ_2 สำหรับแรงดัน V_{cP}, V_{cN} จะถูกออกแบบให้ควบคุมทรานส์ซิสเตอร์ *Pc, Nc* ให้ทำงานในย่านอิ่มตัวตลอดช่วงทำงานเมื่อพิจารณาลักษณะการส่งผ่านกระแสรูปที่ 10 หน่วยความจำทางด้านซ้ายของรูปจะจ่ายกระแส i ที่จำไว้ตอนเฟสก่อนหน้าให้กับหน่วยความจำทางด้านขวา เมื่อสมมุติให้ทรานส์ซิสเตอร์ *P1, P2, N1, N2* มีคุณสมบัติเหมือนกัน ดังนั้น $G_{dsP} = G_{dsN} = G_{ds}/2$ และ $G_{dsPc} = G_{dsNc} = G_{dsc}/2$ ($V_{gtPc} = V_{gtNc} = V_{gtc}$) นอก-



รูปที่ 10 ลักษณะการส่งผ่านกระแสของหน่วยความจำ

จากนี้ยังสมมุติว่าแรงดันขับเกตเกิน (V_{gt}) ของทรานส์ซิสเตอร์ที่ต่อคาสโคดคงที่ไม่เปลี่ยนแปลงตามขนาดอินพุต

ช่วงทำงาน

รูปที่ 10 แสดงการส่งผ่านกระแส i ในช่วงเฟสคงค่าของทรานส์ซิสเตอร์หน่วยความจำ *P1, N1* ให้กับ ทรานส์ซิสเตอร์หน่วยความจำ *P2, N2* ที่ถูกต่อลักษณะไดโอดเพื่อจำกระแส เนื่องจากหน่วยความจำคลาสเอบีมีความสามารถในการทำงานที่กระแสสูงสุดถึง 4 เท่าของกระแสไบอัส ดังนั้น $i = 4mJ$ ค่าทรานส์คอนดักแตนซ์ของหน่วยความจำจะถูกออกแบบให้ $G_m = 4J / V_{gt}$ เมื่อ V_{tc} คือแรงดันขีดเริ่มของทรานส์ซิสเตอร์ที่ต่อคาสโคด เพื่อให้การส่งผ่านกระแส i เป็นไปอย่างถูกต้อง ทรานส์ซิสเตอร์ทุกตัวต้องทำงานในย่านอิ่มตัว และค่าต่าง ๆ วงจรจะต้องมีความสัมพันธ์ดังนี้

$$(1+m)V_{gt} + V_{gtc} + V_{tc} < V_{cN} < (1-m)V_{gt} + V_t + V_{tc} \tag{34}$$

$$V_{DD} - (1-m)V_{gt} - V_t - V_{tc} < V_{cP} < V_{DD} - (1+m)V_{gt} - V_{gtc} - V_{tc} \tag{35}$$

จากสมการที่ (34) และ (35) จะได้ว่า

$$V_{gt} \le \frac{V_t - V_{gtc}}{2m} \tag{36}$$

$$V_{DD} \ge \frac{\left(1 + 2m - \frac{V_{gtc}}{V_t}\right)V_t}{m} \tag{37}$$

เนื่องจากการต่อทรานส์ซิสเตอร์คาสโคดให้กับหน่วยความจำจะทำให้แรงดันขับเกตเกินของทรานส์ซิสเตอร์ที่ทำหน้าที่จำลดลง จึงทำให้ให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน หรือ SNR ลดลงด้วย ดังนั้น m จะถูกจำกัดให้ค่าลดลงเพื่อไม่ให้ SNR ของหน่วยความจำลดลงมากนักเมื่อเปรียบเทียบกับหน่วยความจำชนิดคลาสเอบีแบบธรรมดาที่ใช้แรงดันไฟเลี้ยงวงจรเท่ากัน

อัตราส่วนของสัญญาณต่อสัญญาณรบกวน หรือ SNR

ถ้าค่าความต้านทานที่ขาเดรนของทรานส์ซิสเตอร์หน่วยความจำ N และ P สูงเพียงพอ จะทำให้สัญญาณรบกวนที่เกิดจากทรานส์ซิสเตอร์ *Nc* และ *Pc* ส่งผลต่อแรงดันที่ขาเดรนของทรานส์ซิสเตอร์หน่วยความจำ N และ P เพียงเล็กน้อยเท่านั้น จากการวิเคราะห์วงจรคลาสเอบีพื้นฐานใน [11] แต่ละเลยค่าความจุที่ขาเดรน และสัญญาณรบกวนที่เกิดจากสวิตช์หน่วยความจำ จากค่า V_{gt} ในสมการที่ (36) เมื่อ $m=1$ จะได้ค่า SNR ของวงจรคลาสเอบี แบบคาสโคด ดังนี้

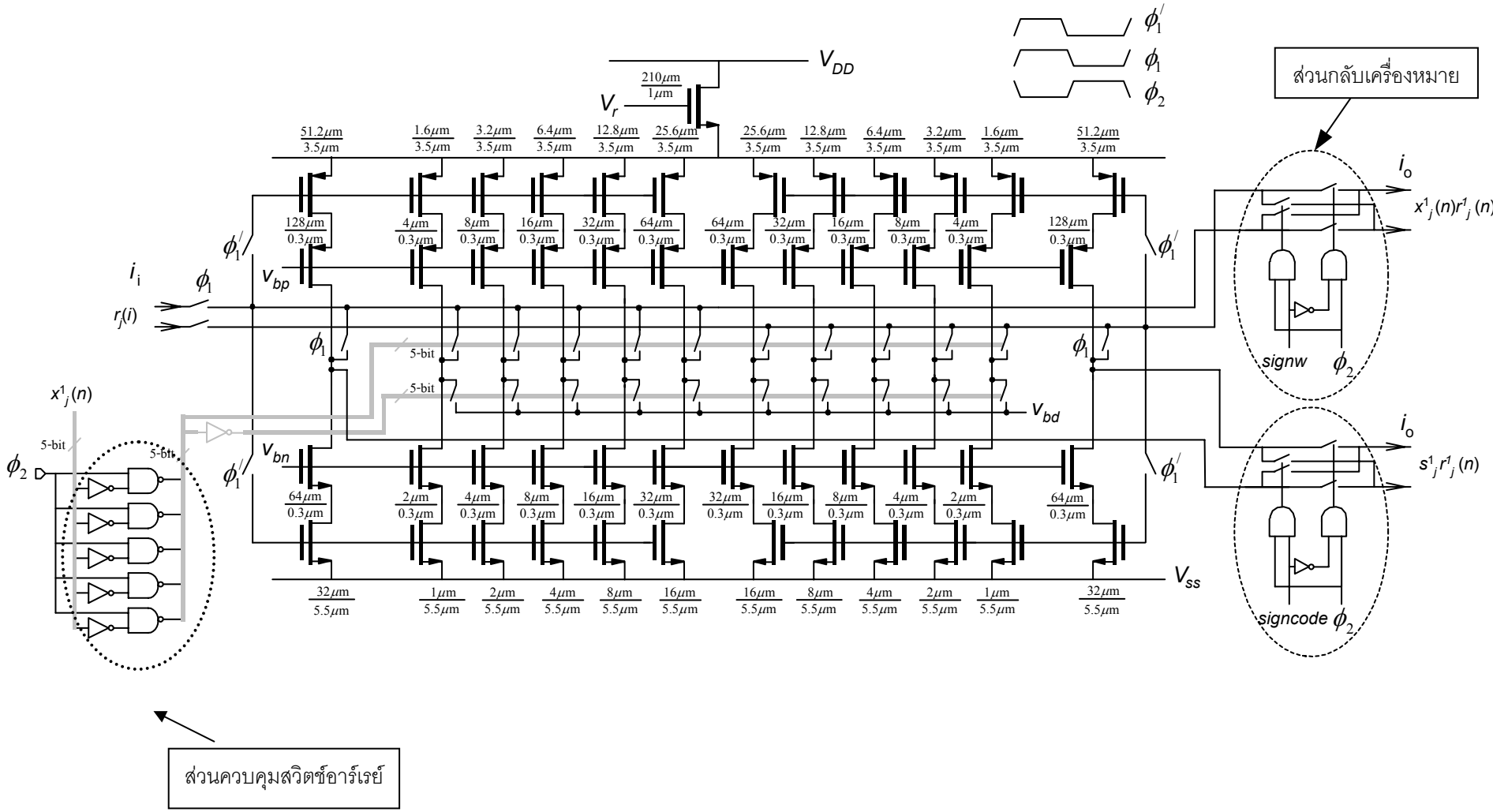
$$SNR_{cAB}=\frac{(mV_{gt})^2}{(2m_{th}kT/3C_g)}=\frac{(V_t-V_{gtc})^2}{(8m_{th}kT/3C_g)} \tag{38}$$

เมื่อ k คือ ค่าคงที่ของ Boltzmann และ m_{th} คือ ค่าคงที่ของกระบวนการผลิต จากสมการ (38) ค่า SNR จะลดลงมากกว่าครึ่ง $(0.45\times)$ ของวงจรคลาสเอบีที่ไม่ได้ต่อแบบคาสโคด ซึ่งนับเป็นข้อเสียที่สำคัญที่สุดของเทคนิคนี้ แต่อย่างไรก็ตามในการใช้งานวงจรนี้ จะมีประโยชน์อย่างยิ่งต่อความแม่นยำและความเป็นเชิงเส้นดังที่ได้กล่าวไปแล้ว

4.2.3 วงจรส่วนแอนะลอก

4.2.3.1 วงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ

รูปที่ 11 แสดงวงจรชักตัวอย่างและคงค่า (Sample-and-Hold Circuit, SHC) ที่สร้างจากหน่วยความจำแบบสวิตช์กระแสคลาสเอบีแบบคาสโคด โดยเทคนิคการคาสโคดสามารถลดเอาต์พุตคอนดักแตนซ์ได้ และการทำงานในคลาสเอบี จะช่วยลดค่าความผิดพลาดในหน่วยความจำแบบสวิตช์กระแสและลดการสูญเสียกำลังงานในขณะไม่มีอินพุตได้ นอกจากนี้วงจรตามแรงดันที่ถูกควบคุมด้วยศักดา V_r ในรูปที่ 11 ยังช่วยควบคุมกระแสให้นิ่งไม่เปลี่ยนแปลงตามการเปลี่ยนแปลงของแหล่งจ่ายศักดาอีกด้วย



รูปที่ 11 วงจรชักตัวอย่างและคงค่า คลาส เอบี แบบคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต และ 1 บิต

ในระบบดีเทกเตอร์ ค่าสัมประสิทธิ์ $x_j^1(n), j = 1,...,N$ ที่ใช้ในการคูณกับสัญญาณที่ถูกสุ่มในวงจร SHC จะเป็นเลขฐานสองจำนวน 6 บิต (รวมบิตเครื่องหมาย) ซึ่งสามารถโปรแกรมค่าได้ ในการออกแบบตัวคูณค่าสัมประสิทธิ์นี้ เราได้รวมวงจรไว้กับส่วน SHC เพื่อให้ระบบมีขนาดเล็กลง นอกจากนี้ยังช่วยลดการสูญเสียกำลังงานลงได้ครึ่งหนึ่ง การสร้างตัวคูณที่สามารถโปรแกรมค่าได้นี้ จะใช้โครงสร้างของหน่วยความจำแบบสวิตช์กระแสที่กล่าวมาแล้ว แต่มีการแยกส่วนเป็นหน่วยความจำเป็นส่วนย่อยขนานกัน ซึ่งแต่ละหน่วยมีขนาดของทรานส์ซิสเตอร์ลดหลั่นกันแบบเลขฐานสอง ดังแสดงไว้ในรูปที่ 11 ค่าสัมประสิทธิ์ที่ใช้ในการคูณจะได้มาจากการคำนวณของอัลกอริธึมแบบ Sign MOE ในส่วนดิจิตอล โดยค่าสัมประสิทธิ์เลขฐานสองจำนวน 5 บิตจะผ่านวงจรลอจิกที่อยู่ทางด้านซ้ายมือในรูปที่ 11 ก่อนที่จะไปควบคุมการเปิดปิดของสวิตช์อาร์เรย์บริเวณขาเดรนของทรานส์ซิสเตอร์คาสโคด ส่วนอีก 1 บิตที่เหลือเป็นบิตเครื่องหมาย ที่ควบคุมสวิทช์ไขว้ทางขวามือของรูป ในขณะสุ่ม วงจรลอจิกเกตจะควบคุมสวิตช์อาร์เรย์ทุกชุดให้ปิดหมดเพื่อให้วงจรมีลักษณะการทำงานเป็นหน่วยความจำ ส่วนในขณะที่คงค่าสัญญาณ วงจรจะทำการเลือกเปิดหรือปิดสวิตช์อาร์เรย์ ตามค่าสัมประสิทธิ์ที่เป็นเลขฐานสอง โดยสวิตช์อาร์เรย์ถูกแบ่งออกเป็นชุดบนและล่าง ซึ่งชุดบนจะนำกระแสไปสู่เอาต์พุต และชุดล่างจะถูกควบคุมด้วยสัญญาณเลขฐานสองจำนวน 5 บิต ที่ตรงกันข้ามกับสวิตช์อาร์เรย์ชุดบน มีหน้าที่ในการควบคุมแรงดันที่ขาเดรนให้คงที่ขณะคงค่าสัญญาณ ในกรณีที่สัญญาณไม่ได้ถูกส่งไปที่เอาต์พุต

ในทำนองเดียวกัน โครงสร้างหน่วยความจำแบบสวิตช์กระแส ถูกนำมาใช้ในการสร้างเอาต์พุตของแมตช์ฟิลเตอร์ $(\mathbf{Z}_{MF}(n))$ ที่เป็นการคูณค่าสัมประสิทธิ์คงตัว $s_j^1(n), j = 1,...,N$ กับสัญญาณสุ่มอินพุต แต่ในกรณีนี้ค่า $s_j^1(n), j = 1,...,N$ จะถูกกำหนดโดยรหัสของผู้ใช้ที่ต้องการ และค่านี้จะมีเพียง 1 บิต เท่านั้น คือค่าคูณ ± 1 ของสัญญาณอินพุต จึงทำให้สามารถกำหนดค่าสัมประสิทธิ์ของรหัสผู้ใช้ที่ต้องการ (Signature waveform) ได้ โดยการป้อนค่ารหัสของผู้ใช้ที่ต้องการเข้าไปยังส่วนกลับเครื่องหมาย (Sign-code) ด้านล่างซ้ายของรูปที่ 11

ดังนั้น จะเห็นได้ว่าส่วนกลับเครื่องหมายจะมีอยู่ 2 ชุด ชุดบนเป็นส่วนกลับเครื่องหมายของค่าสัมประสิทธิ์ที่คำนวณได้จากชุดดิจิตอล ชุดล่างเป็นส่วนกลับเครื่องหมายของรหัสของผู้ใช้ที่ต้องการ ค่าสัมประสิทธิ์ที่ใช้ในการคูณกับสัญญาณสุ่มที่อยู่ในวงจรชักตัวอย่างและคงค่าที่ได้มาจากการคำนวณในส่วนดิจิตอล จะมีทั้งค่าบวกและค่าลบ ในขั้นตอนการคูณนี้จะใช้เลขฐานสองจำนวน 5 บิต เป็นตัวเลือกค่าสัมประสิทธิ์ที่จะนำมาคูณ แสดงได้จากรูปที่ 11 คือส่วนที่เป็นสวิตช์อาร์เรย์ ส่วนอีก 1 บิต ที่เหลือ คือบิตเครื่องหมายของค่าสัมประสิทธิ์ (เป็นบิตที่กำหนดว่าจะคูณด้วยค่าบวกหรือค่าลบ) จะถูกนำไปป้อนให้กับ signw ในรูปที่ 11 ซึ่งอยู่ในส่วนกลับเครื่องหมาย ที่ประกอบไปด้วยสวิตช์และลอจิกเกต เพื่อทำการเลือกเครื่องหมายของเอาต์พุตว่าจะเป็นค่าบวกหรือค่าลบ โดยอาศัยการไขว้กันของสวิตช์และการควบคุมของวงจรลอจิกเกต

4.2.3.2 สวิตช์ที่ใช้ในวงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ

จากรูปที่ 11 สวิตช์ที่ขาเกตทั้ง 4 ตัว สร้างจากวงจรดังรูปที่ 12 ประกอบไปด้วย NMOS 2 ตัว คือ M1 และ M2 โดยที่ M1 ทำหน้าที่เป็นสวิตช์ ส่วน M2 ทำหน้าที่เป็นดัมมี่สวิตช์ สาเหตุที่ต้องต่อดัมมี่สวิตช์ ก็เพื่อลดค่าความผิดพลาดในการสุ่มข้อมูล ส่วนสวิตช์ตัวอื่นที่ไม่ได้ต่ออยู่ที่ขาเกตของทรานส์ซิสเตอร์ไม่จำเป็นต้องต่อดัมมี่สวิตช์เนื่องจากไม่ได้มีหน้าที่ในการสุ่มข้อมูล และสวิตช์จะมีขนาด $9\,\mu\text{m} / 0.3\,\mu\text{m}$

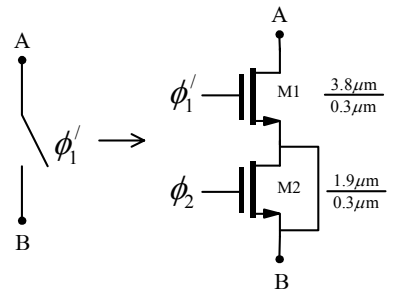
4.2.3.3 วงจรแปลงกระแสเป็นแรงดัน

วงจรแปลงกระแสเป็นแรงดัน จะทำการแปลงสัญญาณกระแส ที่ได้จากการบวกกันของเอาต์พุตของแมตซ์ฟิลเตอร์ กับเอาต์พุตของวงจรกรองแบบ FIR ให้เป็นสัญญาณแรงดัน ก่อนที่จะนำไปเข้าวงจรเปรียบเทียบเพื่อทำการแบ่งขั้นสัญญาณให้เป็นสัญญาณลอจิก 0 หรือ 1 ก่อนที่จะป้อนเข้าสู่ส่วนคำนวณตามอัลกอริทึม MOE

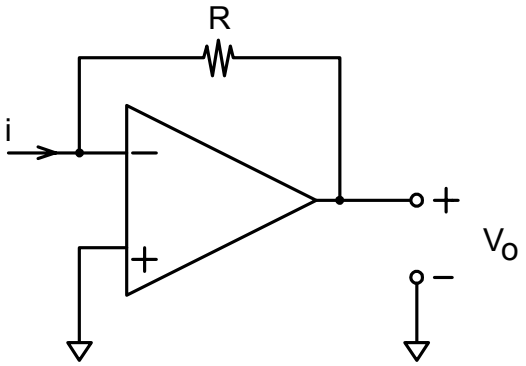
วงจรแปลงกระแสเป็นแรงดันแสดงได้ดังรูปที่ 13 ก เป็นวงจรป้อนกลับแบบลบที่อาศัยตัวต้านทานและออปแอมป์ โดยมีกระแส *i* เป็นอินพุต และเมื่อออปแอมป์มีอัตราการขยายแรงดันที่สูงมาก เราจะได้แรงดันเอาต์พุต *Vo* ของวงจรมีค่าเท่ากับ *Ri* ในส่วนของออปแอมป์นั้น ได้อาศัยวงจรแบบคาสโคดพับกลับ ในรูปที่ 13 ข ซึ่งเป็นที่นิยมเนื่องจากสามารถมีแรงดันสวิงที่เอาต์พุตที่สูง และไม่จำเป็นต้องอาศัยตัวเก็บประจุเพื่อชดเชยเสถียรภาพ ทำให้วงจรมีขนาดเล็ก

4.2.3.4 วงจรเปรียบเทียบ

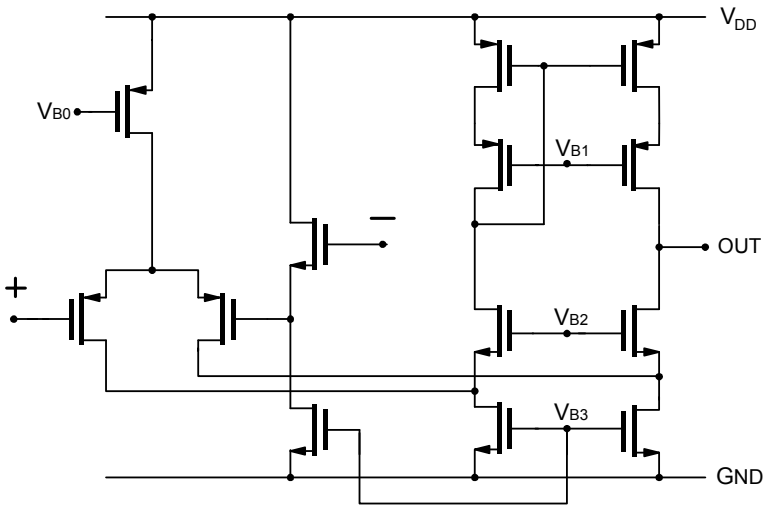
วงจรเปรียบเทียบแสดงในรูปที่ 14 วงจรนี้มีหน้าที่ในการแบ่งขั้นสัญญาณเอาต์พุตที่ได้จากตัวแปลงกระแสเป็นแรงดัน โดยนำสัญญาณเอาต์พุต ที่ได้จากตัวแปลงกระแสเป็นแรงดันไปเปรียบเทียบกับศักดาอ้างอิงที่เสมือนเป็นกราวด์ของสัญญาณ. ลักษณะวงจรเป็นแบบรีเจนเนอเรทีฟ หรือป้อนกลับแบบบวก โดยอาศัยทรานส์ซิสเตอร์ PR และ NR การทำงานเริ่มจากการสุ่มสัญญาณในช่วง ϕ_1'' ซึ่ง PR และ NR จะต่อเป็นวงจรป้อนกลับแบบบวก ทำให้เกิดการเปลี่ยนแปลงของศักดาที่ขาเดรนจนได้ค่าศักดาเป็นค่าแรงดันไฟเลี้ยงหรือกราวด์ ตามทิศทางของสัญญาณอินพุต หลังจากนั้นในช่วง ϕ_2 ก็จะทำการจำค่าแรงดันที่ได้นั้นในฟลิปฟลอปแบบดี (D Flip-flop) ผลลัพธ์ที่ได้จากวงจรเปรียบเทียบจะถูกนำไปป้อนให้กับอินพุตของอัลกอริธึมแบบ Sign MOE ที่สร้างจากชุดดิจิตอล เพื่อใช้ในการคำนวณหาค่าสัมประสิทธิ์ค่าใหม่ เป็นที่น่าสังเกตว่าวงจรเปรียบเทียบแรงดันจะทำงานที่ความเร็วต่ำกว่าอัตราสุ่มของสัญญาณอินพุต *N* เท่า (*N* คือ จำนวนแท็ปของดีเทกเตอร์) เนื่องจากอัลกอริธึมแบบ Sign MOE จะทำการเปรียบเทียบสัญญาณใหม่ในแต่ละรอบก็ต่อเมื่อมีการเปลี่ยนแปลงของสัญญาณสุ่มในหน่วยความจำของแมตซ์ฟิลเตอร์ ทั้งหมดเท่านั้น



รูปที่ 12 สวิตช์ที่ขาเกตสร้างจาก NMOS และใช้เทคนิคดัมมี่สวิตช์

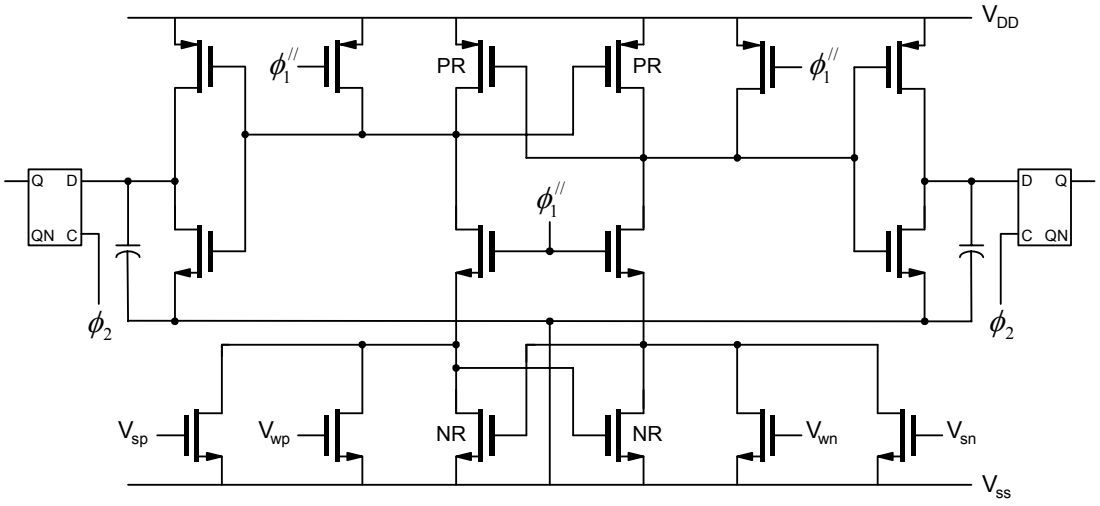


(ก)



(ข)

รูปที่ 13 วงจรแปลงกระแสเป็นแรงดัน



รูปที่ 14 วงจรเปรียบเทียบแรงดันแบบสองอินพุต

4.3 วงจรส่วนดิจิตอล

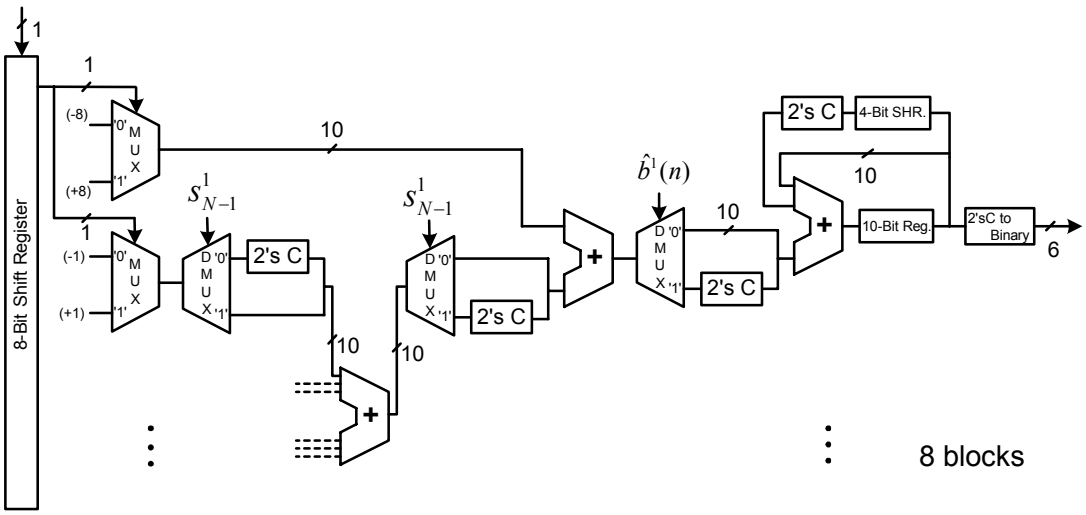
รูปที่ 15 แสดงแผนภาพการคำนวณเพื่อปรับค่าสัมประสิทธิ์ในส่วนของดิจิตอล โดยได้ยกตัวอย่างกรณีที่ดีเทกเตอร์เป็นแบบ 8 แท็ป การทำงานของดีเทกเตอร์เป็นไปตามโครงสร้างที่แสดงไว้ในรูปที่ 2 ส่วนล่าง (ส่วนดิจิตอล) การเชื่อมต่อระหว่างชุดแอนะลอกและดิจิตอลจะใช้ ADC 1 บิต และ DAC 6 บิต

ความละเอียดของการคำนวณภายในของชุดดิจิตอลมีขนาด 10 บิต แบบ 2's complementary ในส่วนดิจิตอลนี้จะใช้ตัวคูณจำนวนมากทำให้สิ้นเปลืองอุปกรณ์ เพื่อลดการใช้งานอุปกรณ์ให้ต่ำที่สุด ทำได้โดยหลีกเลี่ยงการใช้ตัวคูณจริง แล้วแทนที่ด้วยอุปกรณ์ตัวอื่นที่มีประสิทธิภาพมากกว่าแต่ทำหน้าที่เหมือนกัน เนื่องจากการคูณในอัลกอริธึมแบบ Sign MOE เป็นการเปลี่ยนเครื่องหมายอินพุตเท่านั้น ดังนั้นเราสามารถแทนตัวคูณด้วย demultiplexer และบล็อก 2's complementary ดังแสดงในรูปที่ 15 และสำหรับตัวคูณในส่วนของการป้อนกลับแบบที่มีการลดทอน (ด้านขวาของรูปที่ 15) สามารถสร้างได้จริงโดยการเลื่อนบิตของตัวคูณไปทางขวา

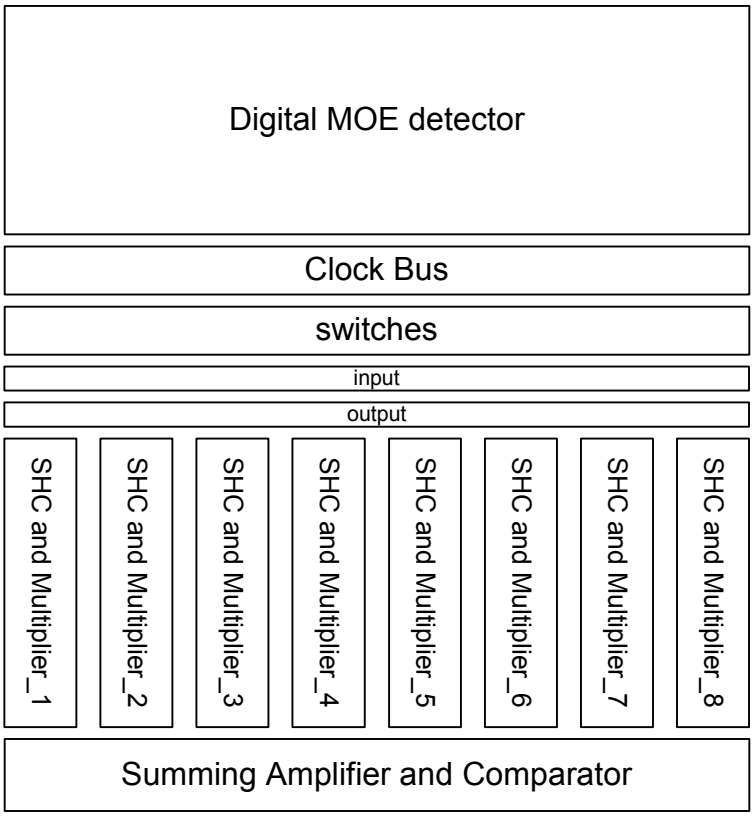
4.4 การออกแบบแผนภาพผังเลย์เอาต์ระบบทั้งหมดโดยรวม

จากวงจรทั้งหมดที่กล่าวข้างต้น เราจะทำการแผนภาพของผังเลย์เอาต์ก่อนที่จะทำการออกแบบสร้างเลย์เอาต์จริงเพื่อการเจือสาร โดยเริ่มจากการออกแบบแผนภาพระบบโดยรวมของดีเทกเตอร์ก่อน เพื่อให้เห็นภาพรวมของระบบว่าประกอบไปด้วยส่วนใดบ้าง

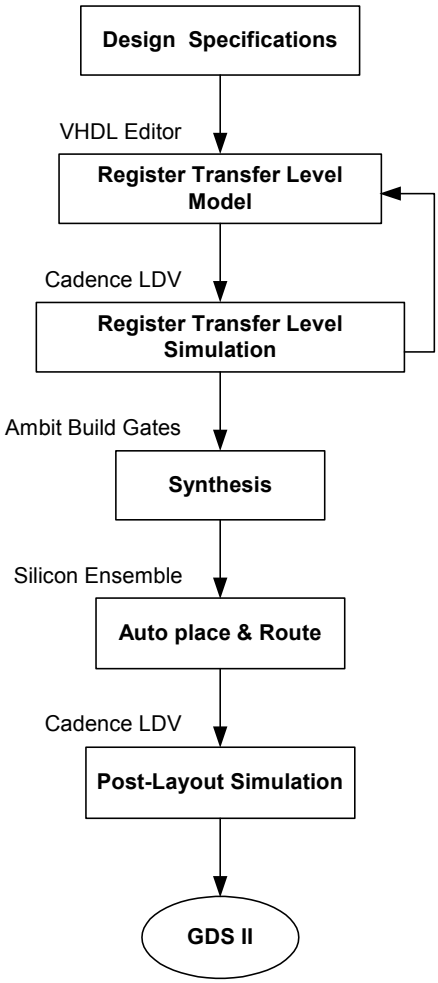
จากรูปที่ 16 เป็นแผนภาพระบบโดยรวมของดีเทกเตอร์แบบบลายด์ 8 แท็ป ที่ใช้อัลกอริธึมแบบ



รูปที่ 15 แผนภาพอย่างละเอียดในส่วนดิจิตอลของดีเทกเตอร์แบบ Sign MOE 8 แท็ป



รูปที่ 16 แผนภาพระบบโดยรวมของดีเทกเตอร์แบบบลายด์ 8 แท็ป
ที่ใช้อัลกอริธึมแบบ Sign MOE

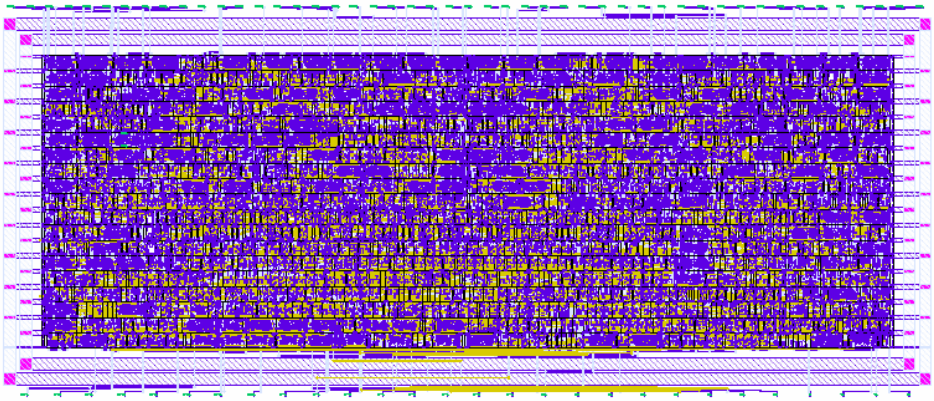


รูปที่ 17 แผนภาพการสร้างเลย์เอาต์ในส่วนดิจิตอล

Sign MOE ที่ประกอบไปด้วยส่วนแอนะลอก คือ วงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณจำนวน 8 แท็ป, สวิตช์ที่ใช้ในการควบคุมการชักตัวอย่างและคงค่าของสัญญาณ ส่วนที่ใช้ในการบวกและเปรียบเทียบสัญญาณ และส่วนดิจิตอลที่ใช้ในการคำนวณค่าสัมประสิทธิ์เพื่อป้อนให้กับส่วนแอนะลอกของดีเทกเตอร์ เพื่อให้การออกแบบเลย์เอาต์ทำได้ง่าย จึงทำการออกแบบทีละส่วน ในที่นี้จะกล่าวถึงการออกแบบในส่วนดิจิตอลก่อน

4.4.1 การออกแบบสร้างเลย์เอาต์ในส่วนดิจิตอล

การออกแบบสร้างเลย์เอาต์ส่วนดิจิตอล ใช้เทคโนโลยี AMS CMOS 0.35 ไมครอน โดยมีขั้นตอนในการออกแบบดังแผนภาพในรูปที่ 17 เริ่มจากการนำแนวคิดในแผนภาพรูปที่ 15 มาเขียนโปรแกรม โดยใช้โปรแกรม VHDL Editor เมื่อเขียนโปรแกรมให้ทำงานตามแผนภาพเสร็จเรียบร้อยแล้ว ก็จะทำการจำลองการทำงานของโปรแกรมว่ามีความถูกต้องหรือไม่ โดยใช้โปร-



รูปที่ 18 เลย์เอาต์ในส่วนดิจิตอล

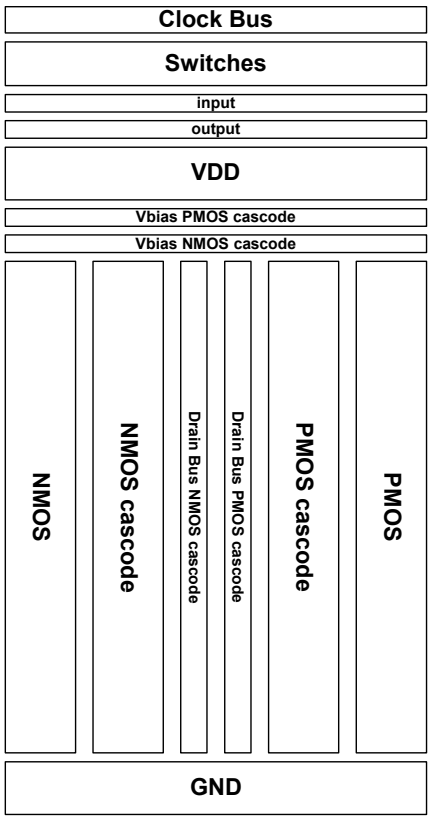
แกรม Cadence LDV ในขั้นตอนนี้ถ้าจำลองการทำงานแล้วพบว่าโปรแกรมที่เขียนให้ผลที่ไม่ถูกต้อง จะต้องกลับไปแก้ไขโปรแกรมให้ถูกต้องก่อนแล้วจึงทำการจำลองผลการทำงานใหม่ แต่ถ้าพบว่าผลการจำลองการทำงานที่ได้มีความถูกต้องตามที่ต้องการแล้ว สามารถนำโปรแกรมที่เขียนไว้ไปสังเคราะห์เป็นลอจิกเกตที่มีเทคโนโลยีตามที่กำหนดได้ โดยใช้โปรแกรม Ambit Build Gates หลังจากนั้นจะทำการวางอุปกรณ์และลากสายสัญญาณต่างๆ โดยใช้โปรแกรม Silicon Ensemble แล้วจึงจำลองการทำงานของวงจรโดยใช้โปรแกรม Cadence LDV จะได้ไฟล์ GDS II ออกมา ซึ่งเป็นไฟล์ที่จะนำไปใช้ในการเจือสาร รูปที่ 18 แสดงเลย์เอาต์ในส่วนดิจิตอลของดีเทกเตอร์แบบ Sign MOE 8 แท็ป ที่ได้ทำการออกแบบเสร็จเรียบร้อยแล้วโดยใช้ขั้นตอนต่างๆ ดังที่ได้กล่าวมาแล้วข้างต้น

4.4.2 การออกแบบเลย์เอาต์ในส่วนแอนะลอก

การออกแบบเลย์เอาต์ในส่วนแอนะลอกจะแบ่งออกเป็น 3 วงจร คือ วงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ วงจรแปลงกระแสเป็นแรงดัน และวงจรเปรียบเทียบ

4.4.2.1 การออกแบบเลย์เอาต์วงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ

ในหัวข้อนี้จะทำการออกแบบเลย์เอาต์ในส่วนวงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณในรูปที่ 2 ที่มีจำนวน 8 แท็ป แต่จะแสดงให้เห็นเพียง 1 แท็ป เนื่องจากแท็ปอื่นๆ มีลักษณะที่เหมือนกัน เพื่อให้ง่ายต่อการเลย์เอาต์ จะทำการออกแบบแผนภาพผังเลย์เอาต์ก่อน โดยแบ่งแผนภาพออกเป็นหมวดหมู่ ที่ประกอบไปด้วยส่วนต่างๆ คือ ส่วน หน่วยความจำ NMOS และ คาสโคด NMOS, ส่วน PMOS และ คาสโคด PMOS, สวิตช์, แหล่งจ่ายไฟ และสายสัญญาณ แสดงดังรูปที่ 19 ในการออกแบบจะใช้กราวด์คั่นระหว่างสวิตช์และสัญญาณนาฬิกา เพื่อป้องกันสัญญาณรบกวนที่จะมีผลกระทบต่อการทำงานของวงจร ช่วงระหว่างคาสโคด NMOS และคาสโคด PMOS จะมีบัสสายสัญญาณของขาเดรน



รูปที่ 19 แผนภาพเลย์เอาต์ในส่วนวงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ (1 แท็ป)

ต่ออยู่ตรงกลางเพื่อนำไปเชื่อมต่อกับสวิตช์ต่อไป

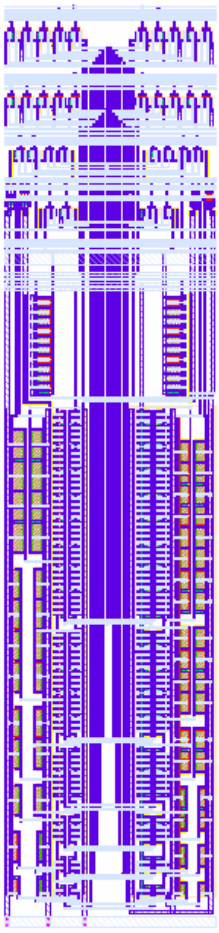
เมื่อทำการออกแบบแผนภาพเลย์เอาต์เสร็จแล้วจึงทำการเลย์เอาต์ส่วนวงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ ดังแสดงในรูปที่ 20 หลังจากทำการเลย์เอาต์แล้ว จะทำการเปรียบเทียบเลย์เอาต์กับวงจร (LVS) เพื่อยืนยันความถูกต้องตรงกัน

4.4.2.2 การออกแบบเลย์เอาต์ตัวแปลงกระแสเป็นแรงดัน

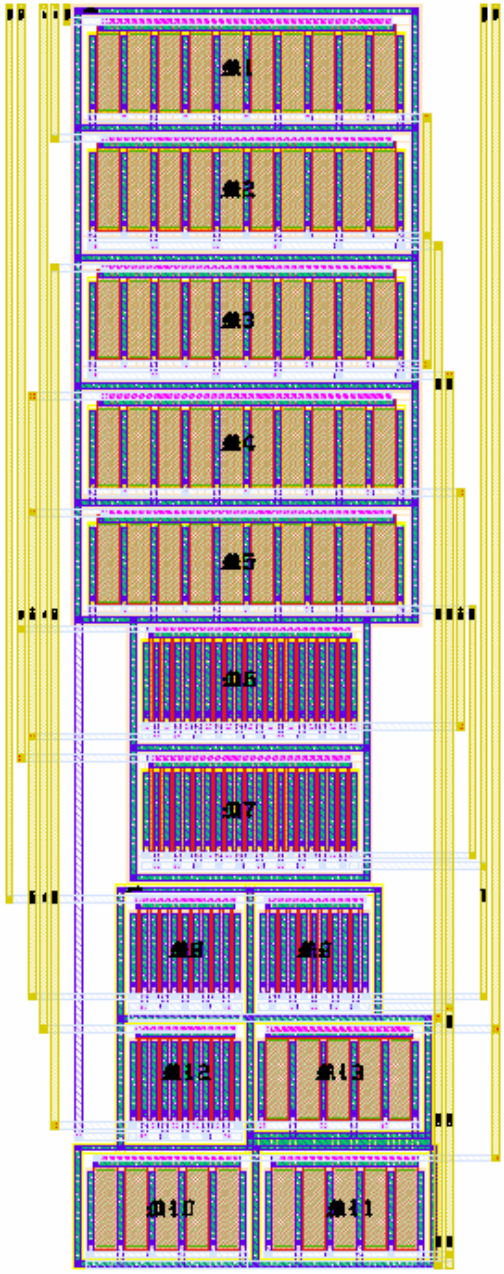
ทำการออกแบบเลย์เอาต์ในส่วนวงจรแปลงกระแสเป็นแรงดันได้ดังรูปที่ 21 หลังจากทำการเลย์เอาต์แล้ว จะทำการเปรียบเทียบเลย์เอาต์กับวงจร (LVS) เพื่อยืนยันความถูกต้องตรงกัน

4.4.2.3 การออกแบบเลย์เอาต์วงจรวงจรเปรียบเทียบ

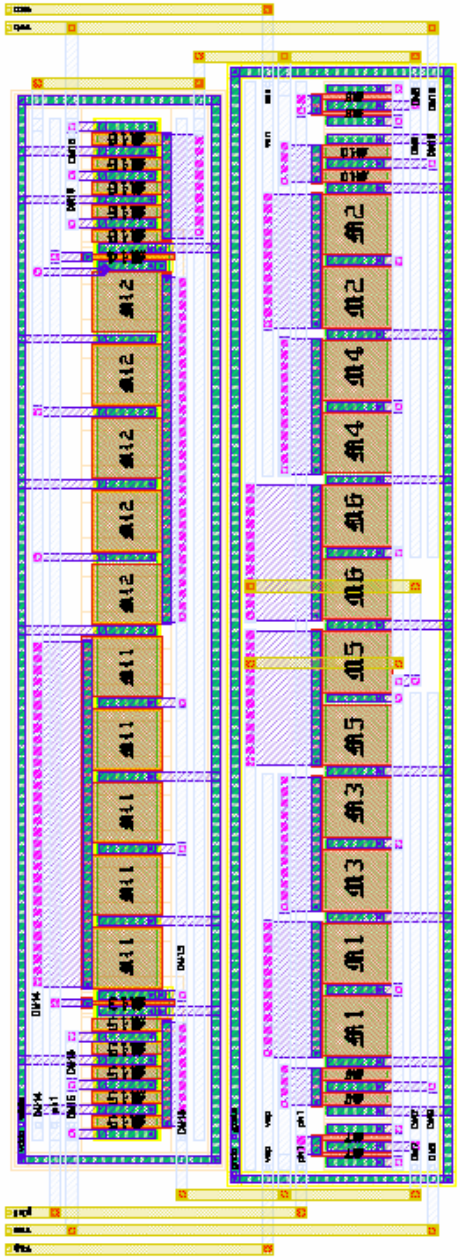
ทำการออกแบบเลย์เอาต์ในส่วนวงจรเปรียบเทียบได้ดังรูปที่ 22หลังจากทำการเลย์เอาต์แล้ว จะทำการเปรียบเทียบเลย์เอาต์กับวงจร (LVS) เพื่อยืนยันความถูกต้องตรงกัน



รูปที่ 20 เลย์เอาต์ในส่วนวงจรชักตัวอย่างและคงค่าที่รวมกับตัวคูณ (1 แท็ป)



รูปที่ 21 เลย์เอาต์ในส่วนวงจรแปลงกระแสเป็นแรงดัน



รูปที่ 22 เลย์เอาต์ในส่วนวงจรเปรียบเทียบ

5. ผลการวิจัย

ในหัวข้อนี้ จะกล่าวถึงผลการวิจัยที่ได้จากทฤษฎีและเทคนิคต่าง ๆ ที่ได้พัฒนาขึ้นตามที่กล่าวไว้ในหัวข้อที่ 4 โดยผลการวิจัยนี้ได้มาจากการทำการจำลองระบบและวงจร ผลการจำลองจะประกอบด้วยส่วนหลัก ๆ คือ ผลการจำลองระบบเพื่อทดสอบการทำงานของโครงสร้างดีเทกเตอร์แบบ MOE ที่ได้นำเสนอ ผลการจำลองการทำงานระดับทรานซิสเตอร์ของวงจรแต่ละวงจร

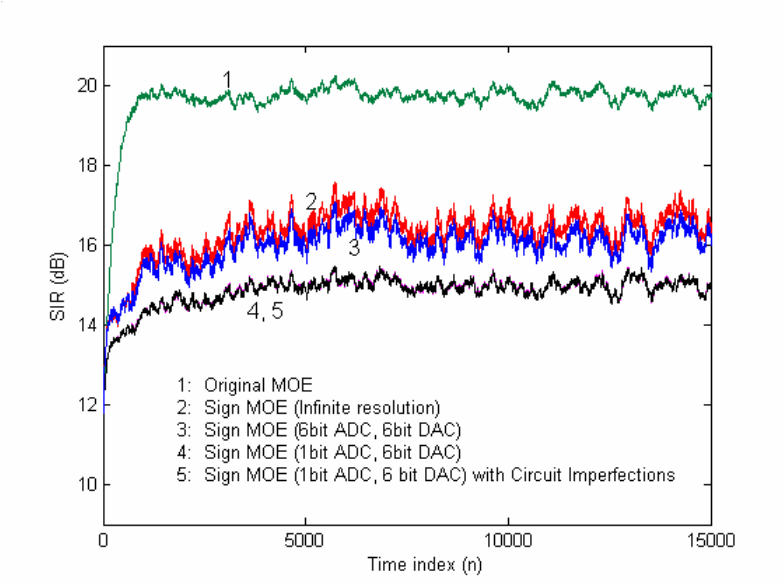
ที่เป็นองค์ประกอบของดีเทกเตอร์แบบ MOE และผลการจำลองการทำงานระดับทรานซิสเตอร์ของดีเทกเตอร์ขนาด 8 แท็ป

5.1 ผลการจำลองในระดับระบบ

เพื่อทดสอบว่าสมรรถนะของอัลกอริธึมแบบ MOE อย่างง่าย ยังอยู่ในระดับที่ยอมรับได้ เมื่อเปรียบเทียบกับอัลกอริธึมแบบ MOE มาตรฐาน ในหัวข้อนี้ จะได้แสดงผลการจำลองการทำงานของดีเทกเตอร์ทั้งสองแบบเปรียบเทียบกัน ในการจำลอง ได้กำหนดให้ดีเทกเตอร์มีจำนวนสัมประสิทธิ์ทั้งสิ้น 64 แท็ป ระบบที่นำมาใช้เป็นแบบซิงโครนัส และพิจารณาในกรณีของระบบ DS-CDMA ด้านดาวน์ลิงค์ (Downlink) ที่มีผู้ใช้งานจำนวนสี่ราย ค่าตัวประกอบสเปรดดิ้ง (Spreading factor) เท่ากับ 64 มีค่า SNR เท่ากับ 20 dB และค่าอัตราส่วนกำลังงาน Near-far เท่ากับ 3 dB [1], [3] ค่า step size (μ) เท่ากับ 0.001 และตัวคูณลากรอง (Lagrange multiplier) (ν) มีค่าเป็น 1 มีค่าสัมประสิทธิ์การเล็ดลอดของส่วนอินทิเกรตในการคำนวณแบบ MOE (leaky factor) เท่ากับ $1/2^{10}$ [3] เพื่อที่จะศึกษาถึงผลกระทบจากจำนวนบิตของ ADC ที่ลดลง การจำลองนี้ได้ทำการเปรียบเทียบสมรรถนะของดีเทกเตอร์ทั้งสิ้นห้าชนิดคือ ดีเทกเตอร์ MOE แบบเดิม ดีเทกเตอร์ MOE อย่างง่ายที่ใช้ ADC แบบ 6 บิต และ 1 บิต โดยที่ทั้งสองนี้ใช้ DAC ขนาด 6 บิต (หรืออีกนัยหนึ่งคือสัมประสิทธิ์ของดีเทกเตอร์ที่ใช้มีรายละเอียดอยู่ในระดับ 6 บิต) ดีเทกเตอร์แบบสุดท้ายคือดีเทกเตอร์ที่ใช้ ADC และ DAC ขนาด 1 บิตเช่นกัน แต่ได้รวมผลของความไม่เป็นอุดมคติของวงจรแอนะล็อก ดังที่ได้กล่าวไว้แล้วในหัวข้อที่ 4.2 เข้าไว้ด้วย

ผลการจำลองการทำงานของดีเทกเตอร์ทั้งห้าชนิดด้วยโปรแกรม MATLAB แสดงไว้ในรูปที่ 16 ซึ่งแสดงค่าเฉลี่ยของอัตราส่วนสัญญาณต่อการแทรกสอด (Signal–to-Interference Ratio หรือ SIR) จากการทดลองแบบ Monte Carlo ทั้งสิ้น 50 ครั้ง จากรูปแกนนอน หรือ ดัชนีเวลา (Time index) ใช้อ้างอิงถึงค่าเวลาของทางด้านอินพุต จากรูปที่ 16 เห็นได้ว่า ในขณะที่ค่า SIR ที่สภาวะคงตัว ของดีเทกเตอร์แบบ MOE เดิมมีค่าประมาณ 20dB ค่า SIR ที่ได้จากดีเทกเตอร์ MOE ที่ใช้ ADC และ DAC ขนาด 6 บิต มีค่าลดลงไปประมาณ 4dB และเมื่อรายละเอียดของ ADC ถูกลดลงเหลือเพียง 1 บิต ซึ่งส่งผลให้ดีเทกเตอร์ MOE แบบเดิมกลายเป็น ดีเทกเตอร์ MOE อย่างง่าย ที่มีโครงสร้างดังรูปที่ 2 พบว่าค่า SIR ลดลงไปอีกเพียง 1dB นอกจากนี้ เมื่อรวมผลความไม่เป็นอุดมคติของวงจรแอนะล็อกเข้าไปกับดีเทกเตอร์ MOE อย่างง่าย พบว่าค่า SIR ที่ได้ไม่แตกต่างไปจากกรณีที่ไม่รวมผลดังกล่าวเข้าไป

อย่างไรก็ตาม ในทางปฏิบัติพารามิเตอร์ที่มีความสำคัญมากกว่าในการตรวจสอบสมรรถนะการทำงานของระบบคือ ค่าอัตราความผิดพลาดของบิต (Bit Error Rate หรือ BER) เพื่อศึกษาผลของ BER งานวิจัยนี้จึงได้สร้างแบบจำลองของระบบอาศัยโปรแกรม Simulink ดังแสดงในรูปที่ 17 ข้อดีประการหนึ่งของการจำลองด้วยโปรแกรมนี้คือ ความสามารถในการตรวจสอบลักษณะสัญญาณที่จุดต่าง ๆ ของระบบได้ ซึ่งจะอำนวยความสะดวกอย่างยิ่ง เมื่อการสังเคราะห์วงจรดี-



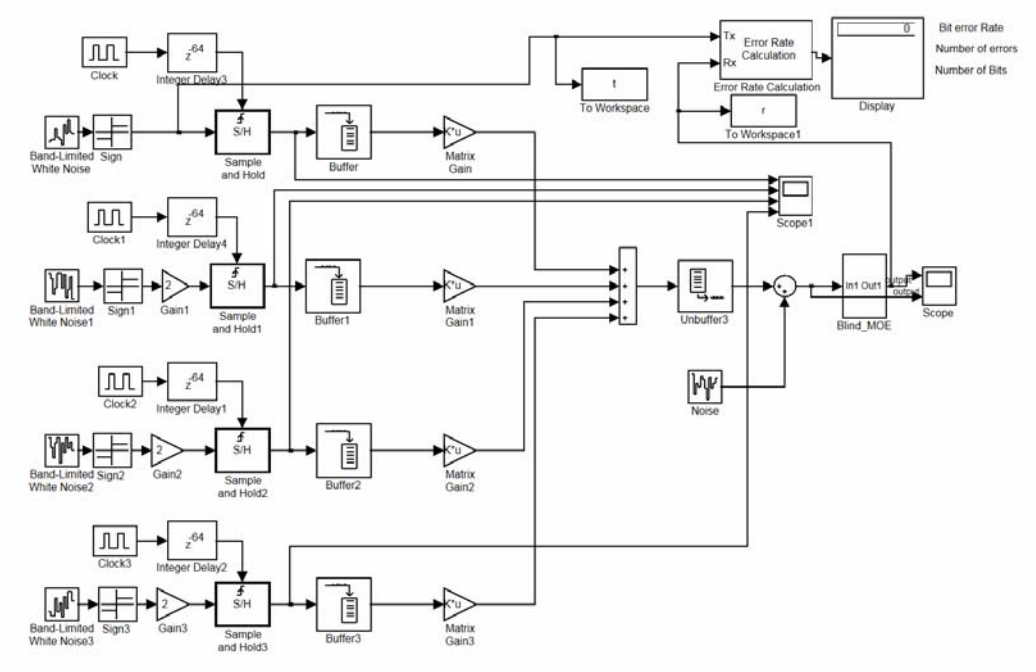
รูปที่ 16 ค่า SIR ที่เวลาต่าง ๆ ของดีเทกเตอร์ MOE แบบต่าง ๆ

เทกเตอร์ทั้งระบบในระดับทรานซิสเตอร์เสร็จสิ้น กล่าวคือ เราจะสามารถเปรียบเทียบลักษณะของสัญญาณที่ตำแหน่งต่าง ๆ ที่ได้จากการจำลองระดับระบบและระดับทรานซิสเตอร์ได้โดยตรง

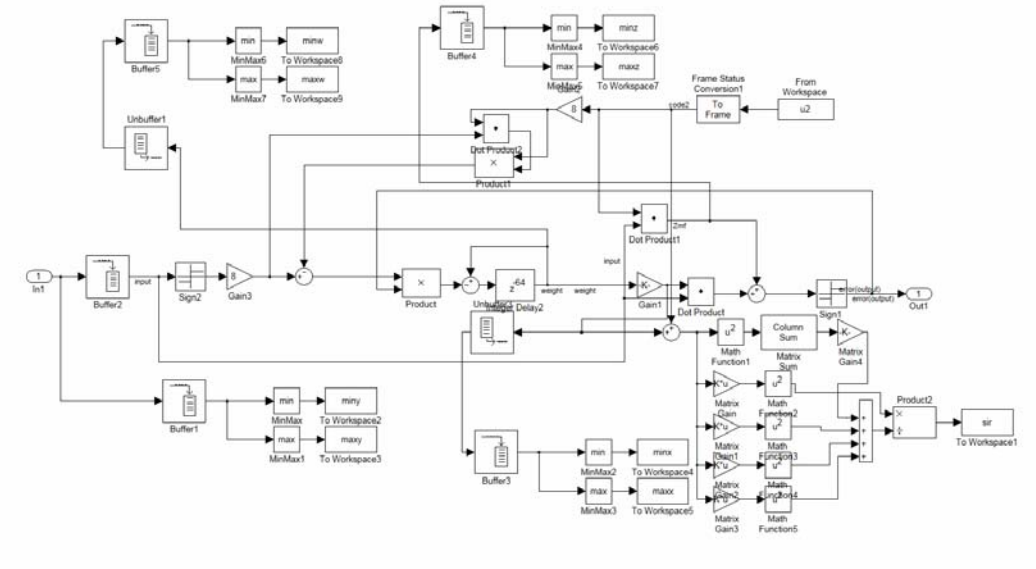
จากการจำลองด้วยแบบจำลองดังแสดงในรูปที่ 17 พบว่าค่า BER ของดีเทกเตอร์ MOE แบบเดิมมีค่าเท่ากับ 1.08×10^{-6} ในขณะที่ค่า BER ของดีเทกเตอร์ MOE อย่างง่าย หรือแบบ Sign MOE ที่ใช้ ADC ขนาด 8 บิต และ DAC ขนาด 1 บิต มีค่าเท่ากับ ทั้งนี้ค่า BER ที่ลดลงนี้มิได้เกิดขึ้นจากผลของค่า SIR ที่ลดลง หากแต่เกิดขึ้นจากผลของการลู่เข้าสู่สภาวะคงตัวที่ช้าลงของดีเทกเตอร์ MOE อย่างง่าย ดังเห็นได้จากเอาต์พุตที่พล็อตแบบกระจาย (output scattering plot) ดังรูปที่ 18

5.2 ผลการจำลองในระดับทรานซิสเตอร์ของวงจรส่วนต่าง ๆ

หัวข้อที่ 4.2.3 ได้กล่าวถึงการพัฒนาวงจรแอนะล็อกต่าง ๆ ที่เป็นองค์ประกอบสำคัญ ในการสร้างดีเทกเตอร์ MOE อย่างง่ายตามที่ได้เสนอในงานวิจัยนี้ ในหัวข้อนี้จะนำเสนอการทดสอบสมรรถนะของวงจรดังกล่าว อันประกอบด้วยวงจรทั้งสิ้นสามวงจรคือ วงจรชักตัวอย่างและคงค่าที่ต่อรวมกับตัวคูณ วงจรแปลงกระแสเป็นแรงดัน และวงจรเปรียบเทียบ

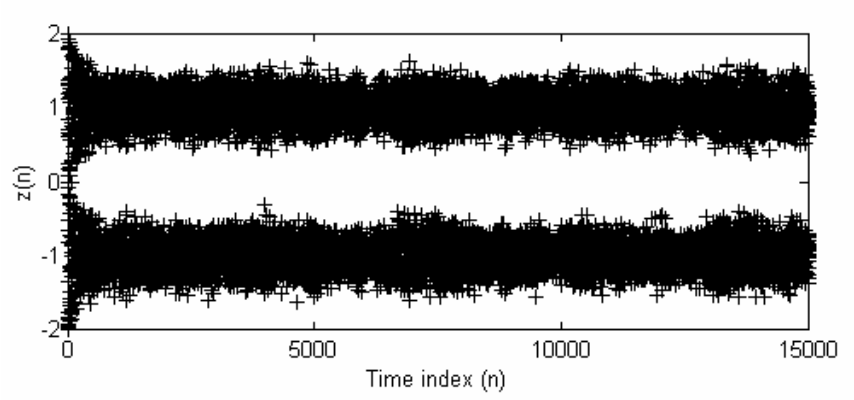


(ก)

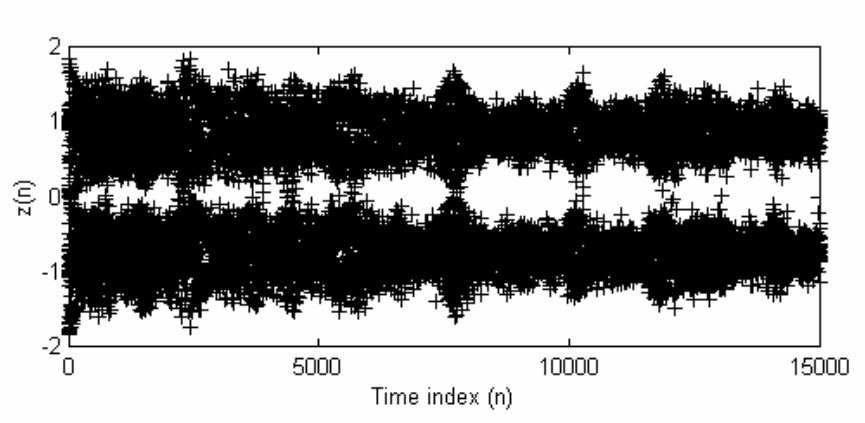


(ข)

รูปที่ 17 แบบจำลองที่ใช้ในการจำลอง (ก) แบบจำลองของระบบ DS-CDMA ที่มีผู้ใช้สี่ราย (ข) แบบจำลองของดีเทกเตอร์ที่ใช้อัลกอริธึมแบบ MOE อย่างง่าย



(ก)

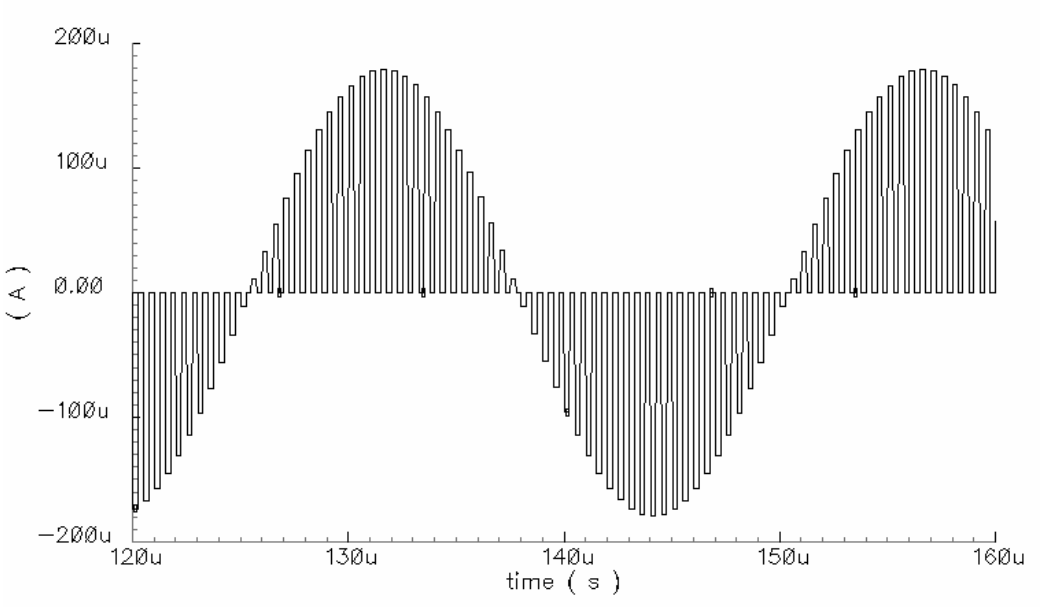


(ข)

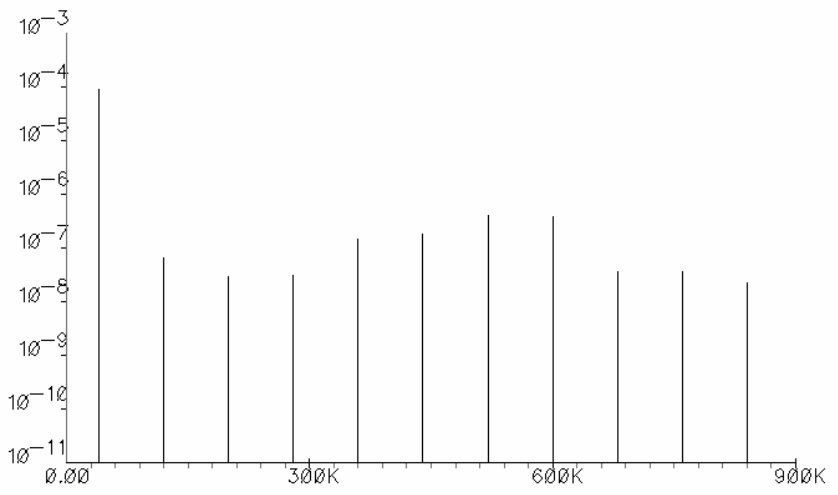
รูปที่ 18 เอาต์พุตของดีเทกเตอร์ MOE 64 แท็ป ที่ได้จากการจำลองการทำงานโดยใช้ MATLAB (ก) ดีเทกเตอร์ MOE แบบดั้งเดิม และ (ข) ดีเทกเตอร์แบบ Sign MOE (1bit ADC and 6 bit DAC)

5.2.1 การทดสอบการทำงานของวงจรชักตัวอย่างและคงค่า ที่ต่อรวมกับตัวคูณ

วงจรชักตัวอย่างและคงค่าที่ต่อรวมกับตัวคูณขนาด 6 บิต ในหัวข้อที่ 4.2.3.1 ได้ถูกทดสอบสมรรถนะการทำงาน ด้วยการจำลองในระดับทรานส์ซิสเตอร์ โดยอาศัยโปรแกรม Cadence เทคโนโลยีที่ใช้เป็นแบบ CMOS 0.35 ไมครอน และแรงดันไฟฟ้า 3.3 โวลต์ วงจรได้ถูกออกแบบให้ทำงานที่ความถี่สุ่ม 4 MS/s (สูงกว่าอัตราชิพ3.84MS/s ของระบบ 3G เล็กน้อย) และอัตราส่วนสัญญาณต่อสัญญาณรบกวนเท่ากับ 70dB โดยมีการกินกำลังงาน 0.32 มิลลิวัตต์ ใช้แหล่งจ่ายแรงดันไฟเลี้ยง 2.5 โวลต์ สัญญาณควบคุมสวิตช์ใช้แรงดัน 3 โวลต์



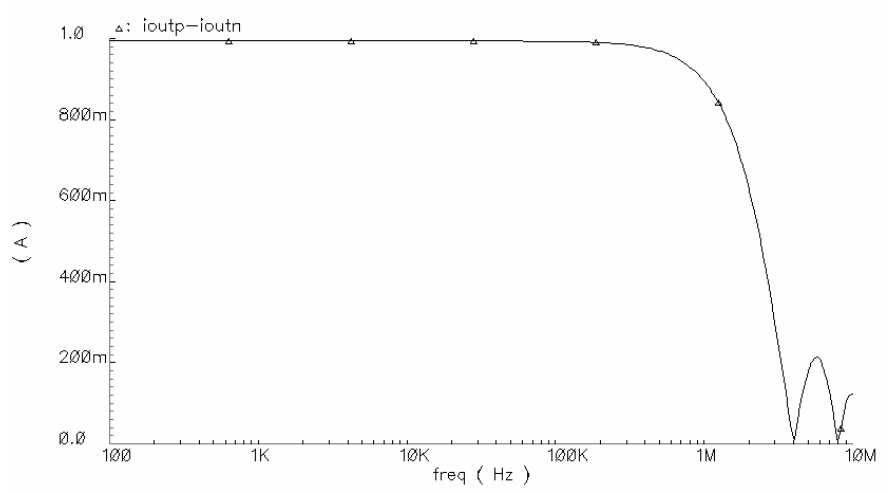
รูปที่ 19 เอาต์พุตของวงจรชักตัวอย่างและคงค่า คลาสเอบี แบบคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต



รูปที่ 20 สเปกตรัมของสัญญาณเอาต์พุต

สมรรถนะในเชิงความเพี้ยนเมื่อป้อนสัญญาณขนาดใหญ่

เมื่อทำการป้อนอินพุตเป็นสัญญาณซายน์ที่มีแอมปลิจูด 90 μA ความถี่ 40 kHz แล้วทำการวัดเอาต์พุตเพื่อหาสเปกตรัมของวงจร จะได้สัญญาณเอาต์พุต และสเปกตรัมของวงจรดังรูปที่ 19 และ 20 ตามลำดับ จากรูปที่ 19 เห็นได้ว่าช่วงที่เอาต์พุตมีค่าเป็นศูนย์ คือช่วงที่วงจรกำลังสุ่มสัญญาณ ส่วนช่วงคงค่าสัญญาณจะได้ค่าเอาต์พุตที่เท่ากับตอนสุ่มสัญญาณในช่วงก่อนหน้า นอกจากนี้ จากสเปกตรัมของสัญญาณเอาต์พุตตามรูปที่ 20 สามารถคำนวณค่าความเพี้ยนเชิง



รูปที่ 21 ผลตอบสนองเชิงความถี่

ฮาร์โมนิกรวมได้ประมาณ 0.5 เปอร์เซ็นต์ และยังสังเกตุได้ว่าเอาต์พุตของสัญญาณแบบผลต่างจะไม่เกิดฮาร์โมนิกเลขคู่ขึ้น

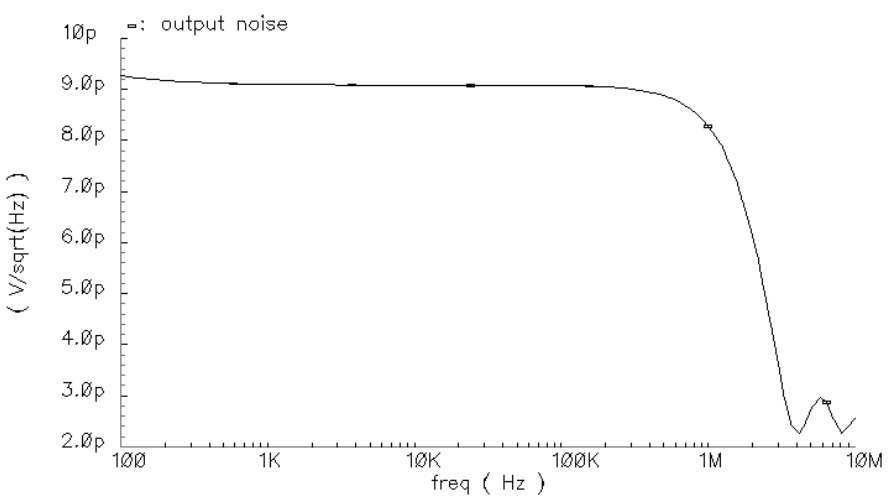
สมรรถนะในเชิงความถี่

ในการทดสอบสมรรถนะในเชิงความถี่จะทำการป้อนอินพุตเป็นสัญญาณขนาดเล็ก จะได้ผลตอบสนองเชิงความถี่ดังรูปที่ 21 จะเห็นว่ามีค่าแบนด์วิดท์อยู่ที่ 2 MHz และมีขนาดการส่งผ่านเข้าใกล้ 1 คือประมาณ 0.998 ดังนั้น วงจรจะมีความแม่นยำอยู่ในระดับประมาณ 0.2 เปอร์เซ็นต์ นอกจากนี้ยังสังเกตได้ว่ารูปเอาต์พุตที่ได้จะเป็นซิงค์ฟังก์ชั่น (Sinc function) อันเป็นลักษณะเอาต์พุตของวงจรชักตัวอย่างและคงค่า

เมื่อทำการวัดผลตอบสนองทางความถี่ของสัญญาณรบกวนที่เอาต์พุต จะได้ผลดังรูปที่ 22 ซึ่งแกนตั้งแสดงค่าของแรงดัน เนื่องจากโปรแกรมที่ใช้วัดเอาต์พุตของสัญญาณรบกวนต้องวัดค่าในรูปของแรงดัน หากแต่เอาต์พุตที่ได้จากวงจรอยู่ในรูปของกระแส ดังนั้นในการวัดสัญญาณจึงทำการเปลี่ยนเอาต์พุตที่อยู่ในรูปของกระแสให้อยู่ในรูปแบบของแรงดัน โดยกำหนดให้อัตราการส่งผ่านกระแสเป็น 1 รูปที่ 22 แสดงให้เห็นว่าค่าความหนาแน่นของกระแสมีค่าเท่ากับ 9.2 $\mathrm{pA/Hz^{1/2}}$ ดังนั้นค่า SNR ที่ความเพี้ยนสัญญาณขนาดใหญ่ 0.5% สามารถคำนวณได้จากสมการ

$$SNR_{cAB} = 10\log\left(\frac{i_o{}^2}{2\left(i_{n,PSD}\right)^2 BW}\right) = 10\log\left(\frac{\left(180\cdot 10^{-6}\right)^2}{2\left(9.2\cdot 10^{-12}\right)^2 2\cdot 10^6}\right) = 79.8\,dB \qquad (39)$$

ซึ่งมีค่าเท่ากับค่า 79.8dB



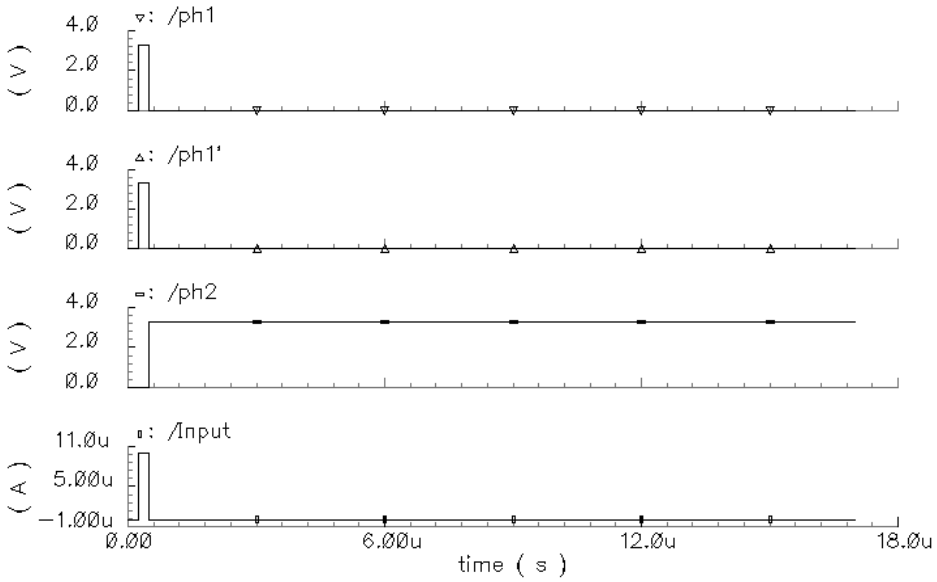
รูปที่ 22 ผลตอบสนองทางความถี่ของสัญญาณรบกวนที่เอาต์พุต

การทดสอบส่วนคูณสัญญาณด้วยการป้อนอินพุตเป็นแบบ Unit Step

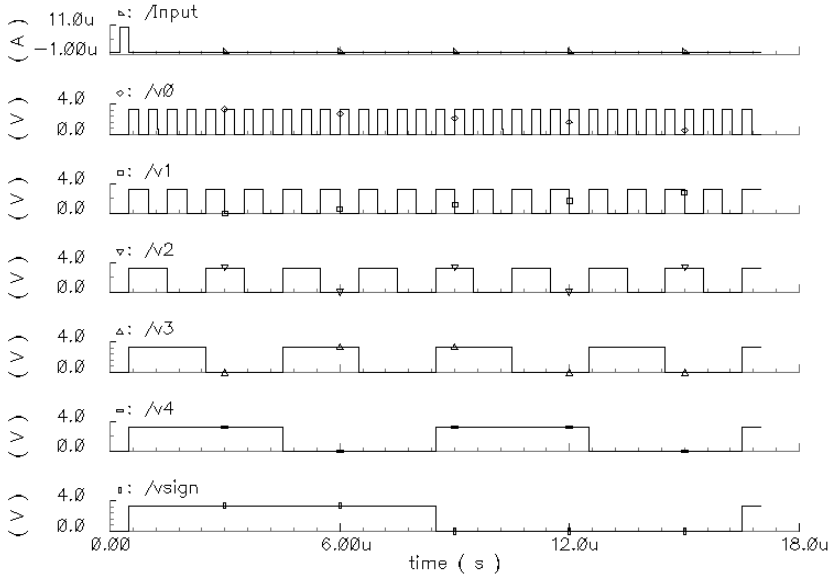
การทดสอบการทำงานของวงจรชักตัวอย่างและคงค่า แบบคลาสเอบีคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต ในรูปที่ 11 เพื่อดูประสิทธิภาพในการคูณค่าสัมประสิทธิ์ของวงจร โดยทำการป้อนอินพุตเป็นแบบ Unit Step ที่มีแอมปลิจูด 10 μA และมีสัญญาณควบคุมสวิตช์ในการชักตัวอย่างและคงค่า ดังรูปที่ 23

ค่าสัมประสิทธิ์ที่นำมาใช้ทดสอบการคูณนั้นจะเป็นเลขฐานสองจำนวน 6 บิต มีทั้งหมด 64 ค่า คือ 111111 ถึง 000000 ประกอบไปด้วยบิตที่ใช้ในการควบคุมสวิตช์อาร์เรย์ 5 บิต (v0 - v4 ในรูปที่ 24) และบิตที่ใช้ในส่วนกลับเครื่องหมายอีก 1 บิต (vsign ในรูปที่ 24)

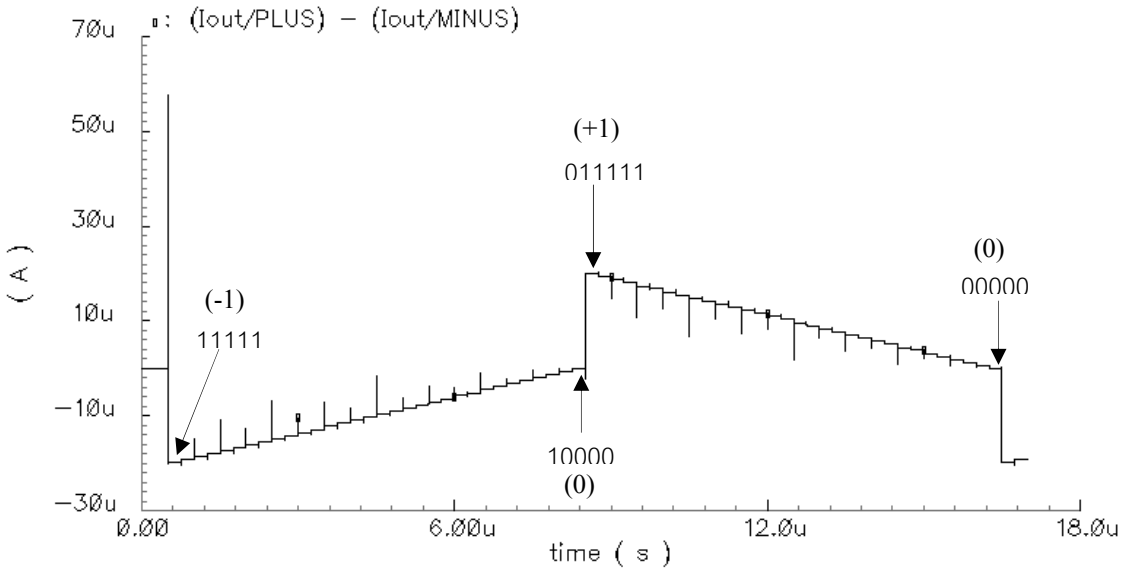
เมื่อทำการเลือกสัญญาณอินพุต และค่าสัมประสิทธิ์ที่นำมาใช้ทดสอบการคูณ ดังรูปที่ 23 และ 24 แล้ว ทำการจำลองการทำงาน ได้ผลการจำลองการทำงานดังรูปที่ 25 โดยเป็นรูปเอาต์พุตของวงจรชักตัวอย่างและคงค่า คลาสเอบี แบบคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต ที่นำกระแสเอาต์พุตด้านบวกและด้านลบ มาลบกัน จากรูปจะเห็นว่า เมื่อค่าสัมประสิทธิ์มีค่าเป็น 111111 (คูณด้วย -1) ถึง 100000 (คูณด้วย 0) (เป็นช่วงการคูณค่าลบ) จะได้ค่าเอาต์พุตแบบผลต่าง ที่มีค่าเป็น -20 μA ถึง 0 μA ต่อมาเมื่อค่าสัมประสิทธิ์มีค่าเป็น 011111 (คูณด้วย +1) ถึง 000000 (คูณด้วย 0) (เป็นช่วงการคูณค่าบวก) จะได้เอาต์พุตแบบผลต่างที่มีค่าเป็น 20 μA ถึง 0 μA จากผลการทดลองที่ได้เป็นการพิสูจน์ว่าวงจรวงจรชักตัวอย่างและคงค่า คลาสเอบีแบบคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต สามารถใช้งานได้จริงตามที่ได้กล่าวไว้



รูปที่ 23 สัญญาณอินพุต และสัญญาณควบคุมสวิตช์ในการชักตัวอย่างและคงค่า



รูปที่ 24 ค่าสัมประสิทธิ์ที่นำมาใช้ทดสอบการคูณ



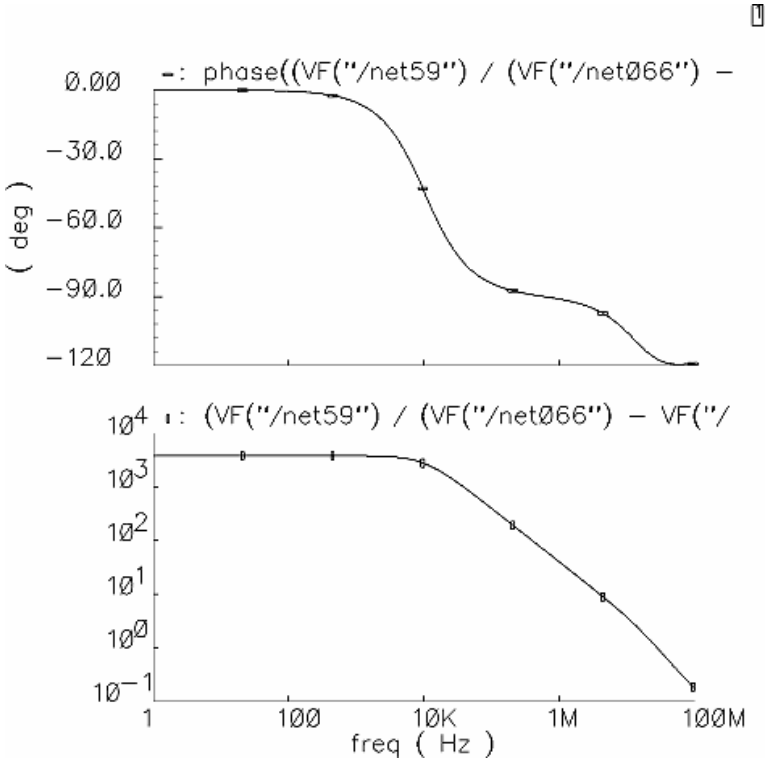
รูปที่ 25 เอาต์พุตของวงจรชักตัวอย่างและคงค่า คลาสเอบี แบบคาสโคดที่ต่อรวมกับตัวคูณขนาด 6 บิต

5.2.2 วงจรแปลงกระแสเป็นแรงดัน

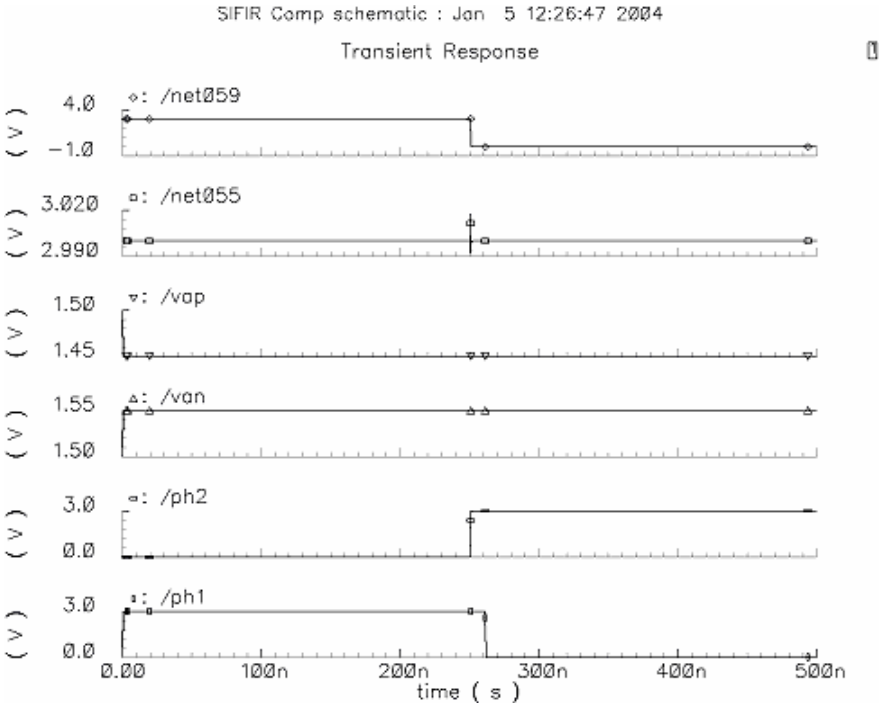
เนื่องจากหัวใจหลักของวงจรกระแสเป็นแรงดันคือออปแอมป์ สมรรถนะการทำงานของวงจรทั้งหมดจึงขึ้นอยู่กับออปแอมป์ รูปที่ 26 แสดงผลตอบสนองแบบเปิดลูปของออปแอมป์ ซึ่งจะเห็นว่ามีค่าอัตราขยายมากกว่า 70dB และมีความถี่อัตราขยายหนึ่งมากกว่า 40 เท่าของความเร็วสัญญาณอินพุต หรือ 40 MHz ซึ่งมีค่าเพียงพอต่อการใช้งาน เช่นกัน ค่าเฟสมาร์จิน (Phase margin) ของวงจรจะเห็นได้ว่ามากกว่า 60 องศา ทำให้วงจรไม่มีปัญหาเสถียรภาพใดๆ

5.2.3 วงจรเปรียบเทียบสัญญาณ

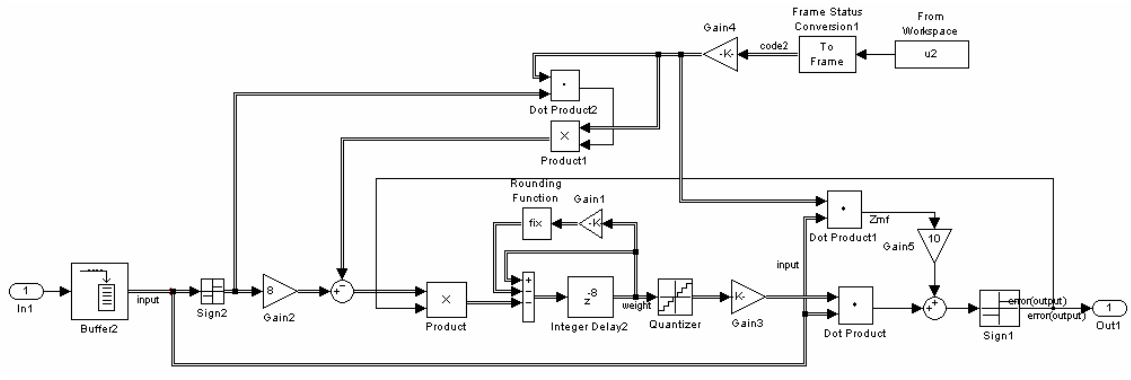
รูปที่ 27 แสดงลักษณะผลตอบสนองทางเวลาแบบชั่วขณะของวงจรเปรียบเทียบที่แสดงในรูปที่ 14 เห็นได้ว่าวงจรสามารถตอบสนองสัญญาณในระดับต่ำถึง 10 mV โดยใช้เวลาในการเปรียบเทียบต่ำกว่า 250ns นั่นหมายถึงความเร็วในการทำงานของวงจรเกิน 4 MHz ซึ่งพอเพียงกับการทำงานโดยรวมของดีเทกเตอร์ที่ทำงานที่อัตราชิพ 3.84 MS/s



รูปที่ 26 ผลตอบสนองทางความถี่แบบเปิดลูปของวงจรออปแอมป์



รูปที่ 27 ผลตอบสนองชั่วขณะของวงจรเปรียบเทียบ



รูปที่ 33 บล็อก Simulink ของดีเทกเตอร์แบบ Sign MOE 8 แท็ป

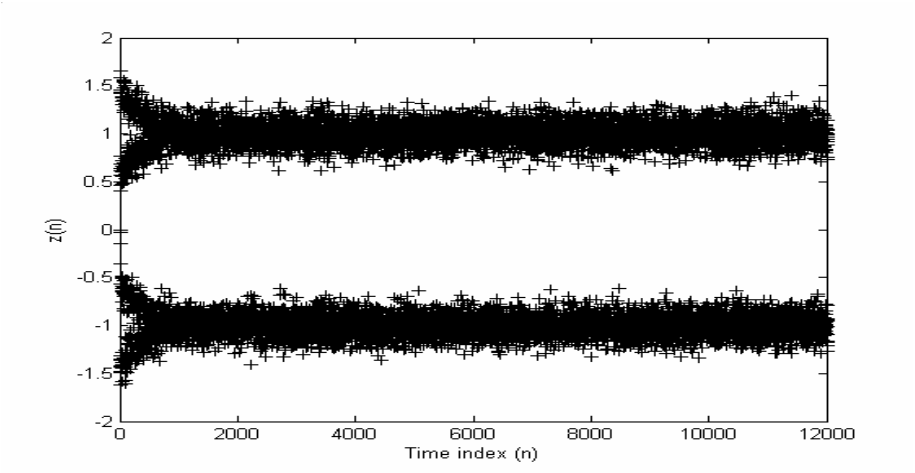
5.3 ผลการจำลองในระดับทรานซิสเตอร์ของดีเทกเตอร์

จากหัวข้อที่ 5.1 เป็นการทดสอบการทำงานของโครงสร้างดีเทกเตอร์แบบ MOE 64 แท็ป ในระดับระบบ โดยใช้โปรแกรม MATLAB แต่เนื่องจากการออกแบบและทดสอบการทำงานในระดับทรานส์ซิสเตอร์จะทำให้ใช้เวลาในการจำลองนาน ในหัวข้อนี้จึงทำการลดจำนวนแท็ปลงให้เหลือ 8 แท็ป เพื่อให้การออกแบบและทดสอบการทำงานในระดับทรานส์ซิสเตอร์ทำได้ด้วยเวลาจำลองที่เหมาะสม ซึ่งผลการจำลองนี้จะเป็นตัวบ่งชี้สมรรถนะในการสร้างวงจรจริงที่มีจำนวนแท็ปสูงดังเช่นในหัวข้อที่แล้ว

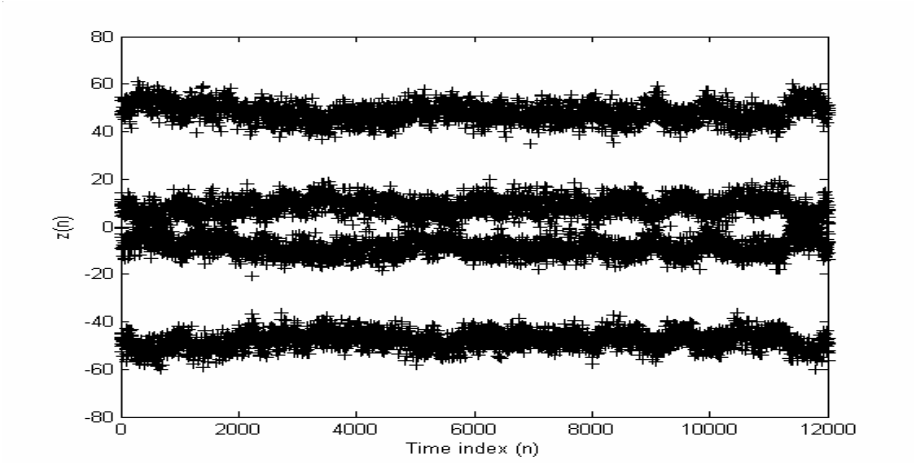
การทดสอบการทำงานเริ่มจากการสร้างบล็อก Simulink ของดีเทกเตอร์แบบ Sign MOE 8 แท็ป ในโปรแกรม MATLAB เช่นเดียวกับในหัวข้อที่แล้ว ดังรูปที่ 33 ระบบที่นำมาใช้เป็นแบบซิงโครนัส และพิจารณาในกรณีของระบบ DS-CDMA ที่มี 2 ผู้ใช้งาน แบบดาวน์ลิงค์ มีค่า SNR เท่ากับ 20 dB และค่าอัตราส่วนกำลังงาน Near-far เท่ากับ 3 dB ค่า step size (μ) เท่ากับ 0.001 และตัวคูณลากรอง (Langrange multiplier) (v) มีค่าเป็น 1 มีค่าสัมประสิทธิ์การเล็ดลอดของส่วนอินทิเกรตในการคำนวณแบบ MOE (leaky factor) เท่ากับ $1/2^{10}$

ดีเทกเตอร์ปรับตัวได้ที่ได้ทำการศึกษา มีดังต่อไปนี้คือ อัลกอริธึม MOE แบบดั้งเดิม และอัลกอริธึมแบบ Sign MOE ที่จำกัดความละเอียด ADC เป็น 1 บิต ซึ่งใช้คู่กับ DAC ที่มีความละเอียด 6 บิต เมื่อจำลองการทำงานของระบบโดยใช้โปรแกรม MATLAB จะได้เอาต์พุตที่พล็อตแบบกระจาย (output scattering plot) ดังรูปที่ 34

ทั้งนี้ Processing gain ของดีเทกเตอร์แบบ Sign MOE 8 แท็ป ได้ลดลงมาถึง 8 เท่า จึงได้เอาต์พุตที่มีลักษณะของ eye pattern ที่ไม่ดีนัก เมื่อเทียบกับแบบ 64 แท็ป อย่างไรก็ดีผลการจำลองการทำงานที่ได้จาก Cadence เมื่อเทียบกับ MATLAB ในรูปที่ 35 แสดงให้เห็นว่าวงจรสามารถทำงานได้จริง



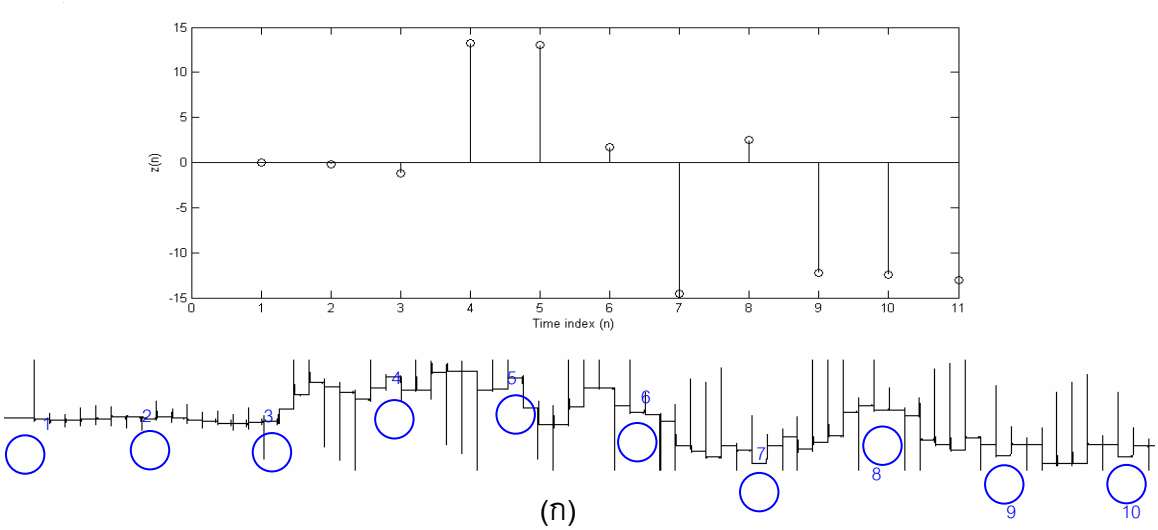
(ก)



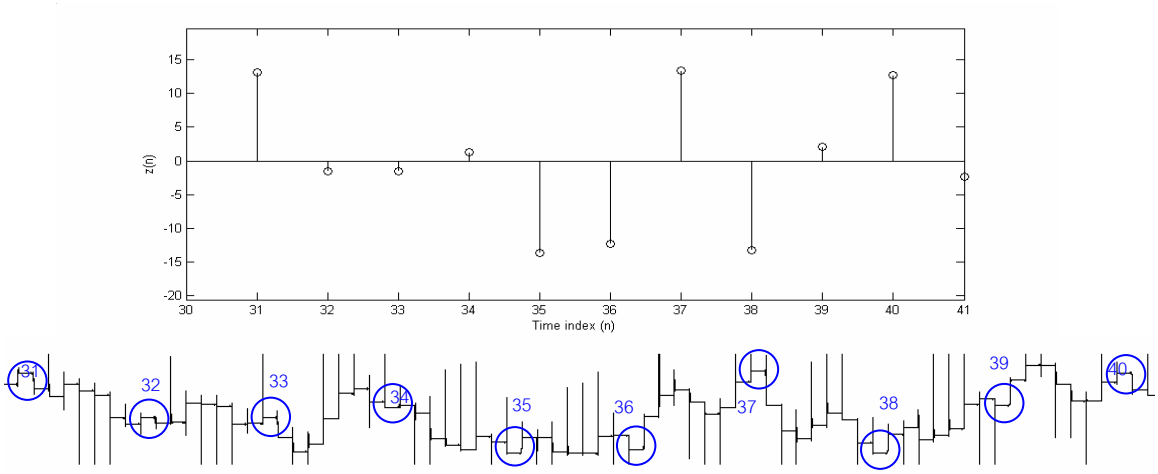
(ข)

รูปที่ 34 เอาต์พุตของดีเทกเตอร์ MOE 8 แท็ป ที่ได้จากการจำลองการทำงานโดยใช้ MATLAB
รูป (ก) ดีเทกเตอร์ MOE แบบดั้งเดิม
รูป (ข) ดีเทกเตอร์แบบ Sign MOE (1bit ADC and 6 bit DAC)

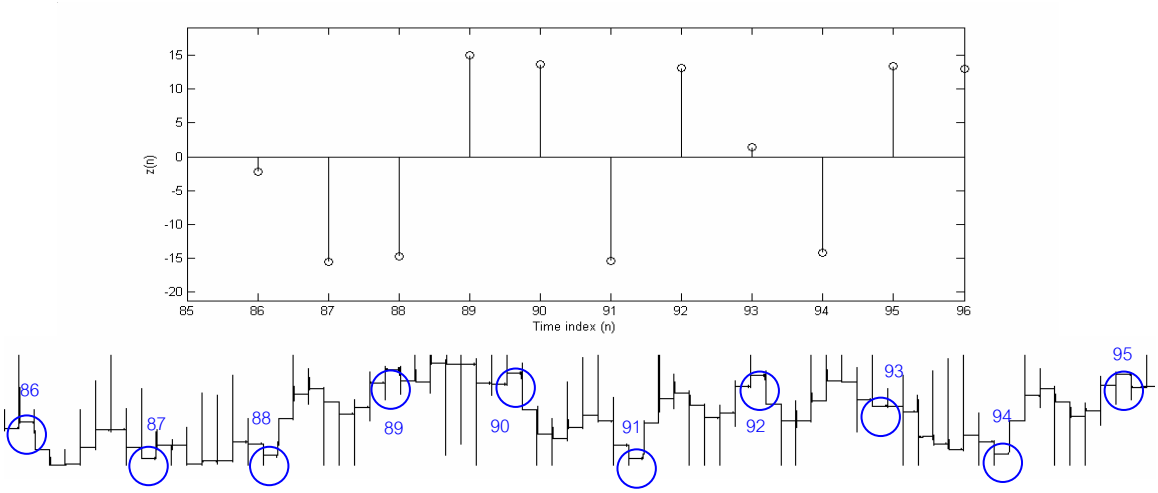
ในส่วนของการจำลองการทำงานระดับทรานส์ซิสเตอร์ เพื่อที่จะแสดงให้เห็นว่าการจำลองการทำงานในระดับบล็อกโดยใช้โปรแกรม MATLAB และการจำลองการทำงานในระดับทรานส์ซิสเตอร์ที่ใช้โปรแกรม Cadence มีผลเอาต์พุตที่ได้ตรงกันจริง จึงทำการเปรียบเทียบผลการจำลองการทำงานของวงจรออกเป็น 3 ช่วง ช่วงละ 10 ค่า แสดงดังรูปที่ 35 ซึ่งมีค่าตรงกันตามที่คาดไว้



(ก)



(ข)



(ค)

รูปที่ 35 เปรียบเทียบการทำงานในระดับทรานส์ซิสเตอร์ (ใช้โปรแกรม Cadence) กับการทำงานในระดับบล็อก (ใช้โปรแกรม MATLAB)

รูป (35ก) ช่วงที่ 1 : ค่าที่ 1-10 (MATLAB) เวลาที่ 0 μS -18.25 μS (Cadence)

รูป (35ข) ช่วงที่ 2 : ค่าที่ 31-40 (MATLAB) เวลาที่ 60.25 μS -78.25 μS (Cadence)

รูป (35ค) ช่วงที่ 3 : ค่าที่ 86-95 (MATLAB) เวลาที่ 170.25 μS -188.25 μS (Cadence)

5.4 ผลการวิจัยที่ตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

ผลงานวิจัยในส่วนการใช้งานวงจรชักตัวอย่างและคงค่าที่ต่อรวมอยู่กับวงจรคูณ ได้รับการตีพิมพ์ในวารสารระดับนานาชาติ IEICE Transaction on Fundamentals of Electronics, Communication and Computer Sciences, Special Issue on New System Paradigms for Integrated Electronics Vol. E87-C, No.11, pp. 1903 -1909, Nov. 2004 ในชื่อเรื่อง Low power switched-current FIR core for modern wireless transceivers [12]

5.5 ผลงานวิจัยอื่นที่เกี่ยวข้อง

นอกเหนือไปจากการเผยแพร่ผลงานวิจัยนี้ลงในวารสารนานาชาติ ดังที่กล่าวในหัวข้อ 5.4 แล้ว ผลงานวิจัยบางส่วน ได้ถูกนำเสนอในการประชุมระดับนานาชาติ IEEE ISCAS 2003 Vol.1, pp. I-765 - I-768, Bangkok, Thailand, May 2003 ในชื่อเรื่อง An Efficient Mixed-Signal Architecture for Minimum Output Energy Blind Multiuser Detection [5]

วงจรบางส่วนที่เป็นผลลัพธ์จากการวิจัยตามโครงการนี้ ได้ถูกนำไปประยุกต์ใช้วงจรส่วนอื่นของระบบโทรศัพท์เคลื่อนที่ได้ เช่น วงจรคอร์รีเลเตอร์สำหรับเครื่องรับโทรศัพท์เคลื่อนที่ โดยได้รับการตีพิมพ์ในวารสารระดับนานาชาติ IEE Electronics Letters, Vol.40, No.11, pp.639-640, May 2004 [13]

องค์ความรู้ด้านวงจร ได้ถูกนำไปวิจัยต่อยอดในการออกแบบสร้างวงจรกรองด้วยเทคนิคสวิตช์กระแส โดยได้ถูกนำเสนอในการประชุมระดับนานาชาติ IEEE ISCIT 2004, Sapporo, Japan, October 2004 ในชื่อเรื่อง Implementation of Switched-Current FIR Filter Using Distributed Arithmetic Technique: Exploitation of digital concept in analogue domain [14]

องค์ความรู้ด้านการประมวลสัญญาณ ได้ถูกนำไปร่วมวิจัยต่อยอดในด้านสร้างเครื่องรับสัญญาณซีดีเอ็มเอ สำหรับโทรศัพท์เคลื่อนที่ยุคที่สาม โดยถูกนำเสนอในการประชุมระดับนานาชาติ IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2004), Hiroshima, July 2004 ในชื่อเรื่อง Subspace-based Interference Suppression Technique for Long-Code Downlink CDMA Adaptive Receiver [15] และต่อมาได้รับการตีพิมพ์ในวารสารระดับนานาชาติ IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 3 , March 2005, pp. 676-684 ในชื่อเรื่องเดียวกัน [16]

6. สรุป

โครงงานนี้นำเสนอวงจรรวมที่ใช้สำหรับการดีเทกหลายผู้ใช้แบบบลายด์ ในระบบ DS-CDMA โดยใช้อัลกอริธึมแบบ Sign MOE เพื่อช่วยลดความซับซ้อนของระบบ และยังคงมีสมรรถนะเพียงพอในการใช้งาน โครงสร้างของวงจรรวม แบ่งออกเป็น 2 ส่วน คือ ส่วนแอนะลอกและส่วนดิจิตอล โดยส่วนแอนะลอกเป็นวงจรกรองแบบ FIR ที่อาศัยเทคนิคสวิตช์กระแส คลาสเอบี แบบคาสโคด ซึ่งสามารถทำงานที่ความถี่สูง, มีการสูญเสียกำลังงานต่ำ, พื้นที่ชิปเล็ก ในส่วนของภาคดิจิตอล ได้ทำการออกแบบส่วนคำนวณที่ใช้อัลกอริธึม Sign MOE เพื่อทำหน้าที่ปรับแต่งค่าสัมประสิทธิ์ของวงจรกรอง โดยอาศัยโปรแกรม VHDL นอกจากนี้ยังได้พัฒนาโครงสร้างวงจรกรอง FIR ที่เหมาะสมสำหรับการสร้างจริงด้วยเทคนิค SI และยังได้นำเสนอวงจรที่สามารถรวมเอากระบวนการชักตัวอย่างและคงค่า กับกระบวนการคูณ ซึ่งเป็นการคำนวณมูลฐานของระบบดีเทกเตอร์ เข้าไว้ในวงจรเดียวกันได้ ทำให้สามารถลดการสูญเสียกำลังงานลงได้ครึ่งหนึ่ง ประสิทธิภาพของเทคนิคที่พัฒนา ถูกนำเสนอผ่านวงจรดีเทกเตอร์แบบ MOE 8 แท็ป ที่อัตราการข้อมูล 3.84 เมกกะเฮิร์ซ ที่ได้ออกแบบและจำลองการทำงาน ทั้งในระดับระบบ และระดับทรานส์ซิสเตอร์ และยังได้ทำการเลย์เอาต์วงจรรวม บนเทคโนโลยี CMOS 0.35 ไมครอน ทั้งในส่วนแอนะลอกและดิจิตอลเพื่อความสมบูรณ์ของโครงงานอีกด้วย ซึ่งจากผลการจำลองการทำงานของวงจรต่างๆ ที่ได้นำเสนอสามารถยืนยันได้ว่าดีเทกเตอร์ที่นำเสนอสามารถทำงานได้จริงและมีประสิทธิภาพตามที่ได้กล่าวมา

7. เอกสารอ้างอิง

[1] S. Verdu*, Multiuser Detection*, Cambridge University Press, 1998.

[2] S. Rajagopal, G. Xu and J. R. Cavallaro, “Implementation of Channel Estimation and Multiuser Detection Algorithms for W-CDMA on Digital Signal Processors,” in *TI DSPSFEST*, Houston,TX, August 1999.

[3] M. Honig, U. Madhow and S. Verdu, “Blind Adaptive Multiuser Detection,” *IEEE Trans. Inform. Theory*, vol.41 pp. 944-960, July 1995.

[4] A. Carusone and D. A. Johns, “Analogue adaptive filters,” in *Design of High Frequency Integrated Analogue Filters* ed., IEE 2002.

[5] P. Sirisuk, A. Worapishet and S. Tanoi, “An Efficient Mixed-Signal Architecture for Minimum Output Energy Blind Multiuser Detection”, *Proceedings of IEEE ISCAS*, 2003.

[6] J. B. Hughes and A. Worapishet, “Switched-capacitors or switched-currents, which will Succeed?”, Chapter 11, in C. Toumazou, and G. Moschytz, (Eds.): *Understanding Trade-Offs in Analogue Design*, Kluwer Academic Publisher.

[7] A. Worapishet, R. Sithikorn and J. B. Hughes, “Low-power complex channel filtering using cascoded class AB switched-currents”, *Proceedings of IEEE ISCAS*, 2002.

[8] O. Oloaei, P. Loumeau and H. Aboushady, “A switched-current class AB delta-sigma modulators”, *Proceedings of IEEE ISCAS*, pp. 393-396, June 1997.

[9] A. Worapishet, High Frequency Low Power Switched-Current Technique, Doctor of Philosophy of the University of London, 2000.

[10] H. C. Yang, T. S. Fiez and D. J. Allstot, “Current-feedthrough effects and cancellation techniques in switched-current circuits,” *Proceedings of IEEE ISCAS*, pp. 3186-3189, December 1988.

[11] J. B. Hughes, A. Worapishet and C. Toumazou, ” Switched-Capacitors versus Switched-Currents: A Theoretical Comparison”, *Proceedings of IEEE ISCAS*, pp. 409-412, 2000.

[12] A. Worapishet and P. Sirisuk, “Low power switched-current FIR core for modern wireless transceivers,” *IEICE Trans. Electronics, Special Section on New System Paradigm for Integrated Electronics*, Vol. E87-C, No.11, pp. 1903 -1909, Nov. 2004.

[13] A. Worapishet, P. Sirisuk and S. Tanoi “High-speed switched-current matched filter for WCDMA receivers,” *IEE Electronics Letters*, Vol.40, No.11, pp.639-640, May 2004.

[14] P. Sirisuk, A. Worapishet, S. Chanyavilas, and K. Dejhan, “Implementation of Switched-Current FIR Filter Using Distributed Arithmetic Technique: Exploitation of digital concept in analogue domain,” in *Proc. IEEE ISCIT 2004*, Sapporo, Japan, October 2004.

[15] S. Phrompichai, P. Yuvapoositanon, and P. Sirisuk, *Subspace-based Interference Suppression Technique for Long-Code Downlink CDMA Adaptive Receiver*, *in Proc. of The IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2004)*, Hiroshima, July 2004.

[16] S. Phrompichai, P. Yuvapoositanon, and P. Sirisuk, *Subspace-based Interference Suppression Technique for Long-Code Downlink CDMA Adaptive Receiver*, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E88-A, No. 3 , March 2005, pp. 676-684.

ภาคผนวก

กิจกรรมอื่น ๆ ที่เกี่ยวข้อง

กิจกรรมที่เกี่ยวข้องกับการวิจัยประกอบด้วย

1. เป็นผู้ทรงคุณวุฒิพิจารณาบทความ สำหรับการประชุมวิชาการวิศวกรรมไฟฟ้า (EECON) สาขาการประมวลสัญญาณ ตั้งแต่ครั้งที่ 24 (2544) - ปัจจุบัน November 2003,
2. เป็นกรรมการพิจารณาบทความสำหรับ IEE Electronics Letters ตั้งแต่ปี 2545 - ปัจจุบัน
3. เป็น Technical Committee ของการประชุมระดับนานาชาติ IEEE APCC 2004
4. เป็นกรรมการพิจารณาบทความ (Reviewer) สำหรับการประชุมนานาชาติ IEEE ISCAS 2005
5. เป็นกรรมการพิจารณาบทความ (Reviewer) สำหรับวารสารวิศวสารลาดกระบัง ตั้งแต่ปี 2547 - ปัจจุบัน
6. เป็นกรรมการสอบวิทยานิพนธ์ ระดับปริญญาเอก ที่บัณฑิตศึกษา สาขาวิศวกรรมไฟฟ้า จุฬาลงกรณ์มหาวิทยาลัย ตั้งแต่ปี 2547 - ปัจจุบัน
7. เป็นกรรมการสอบวิทยานิพนธ์ ระดับปริญญาโท ที่บัณฑิตศึกษา สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง ตั้งแต่ปี 2547 - ปัจจุบัน
8. เป็น วิทยากรบรรยายพิเศษ ในเรื่อง Channel Equalisation using Adaptive Filters, สำหรับรายวิชา 2102-797 Statistical Digital Signal Processing, บัณฑิตศึกษา สาขาวิศวกรรมไฟฟ้า จุฬาลงกรณ์มหาวิทยาลัย ในเดือนมกราคม 2547 และ มกราคม 2549
9. เป็น วิทยากรบรรยายพิเศษ ในเรื่อง Time Signal Processing: Towards the implementation of smart antennas using CMA ที่ห้องปฏิบัติการวิจัยสายอากาศ บัณฑิตศึกษา สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง ในเดือนกรกฎาคม 2546
10. มีการเชื่อมโยงกับเครือข่ายนักวิจัยด้านวงจรและระบบทั้งในและต่างประเทศ